

TOSHIBA

**32 ビット RISC マイクロコントローラ
TX03 シリーズ**

TMPM380FYFG

TMPM380FWFG

TMPM380FYDFG

TMPM380FWDFG

TMPM382FWFG

TMPM382FSFG

株式会社 **東芝** セミコンダクター社

改定履歴

日付	版	改定理由
2011年3月17日	正式版 第1版	新規

ARM, ARM Powered, AMBA, ADK, ARM9TDMI, TDMI, PrimeCell, RealView, Thumb, Cortex, Coresight, ARM9, ARM926EJ-S, Embedded Trace Macrocell, ETM, AHB, APB, and KEIL はARM LimitedのEUおよびその他の国における登録商標または商標です。



機能比較表

	TMPM382FWFG TMPM382FSFG	TMPM380FYFG/DFG TMPM380FWFG/DFG
(1) プロセッサコア	ARM Cortex-M3	
(2) 割り込み機能	- 内部 55 要因 - 外部 8 要因 INT0/1/2/3/4/5/8/F	- 内部 77 要因 - 外部 16 要因 INT0-F
(3) 入出力ポート	48 pins -入出力: 47 端子 -出力: 1 端子	84 pins -入出力: 83 端子 -出力: 1 端子
(4) ウォッチドッグタイマ(WDT)	1 チャンネル	
(5) パワーオンリセット回路(POR)	1 チャンネル	
(6) 電圧検出回路(VLTD)	1 チャンネル	
(7) 周波数検知回路(OFD)	1 チャンネル	
(8) DMA コントローラ	2 チャンネル	
(9) エンコーダ入力回路(ENC)	—	2 チャンネル
(10) 16ビット多目的タイマ(MPT)	1 チャンネル ch0	3 チャンネル ch0-2
(11) 16ビットタイマ(TMRB)	8 チャンネル ch0-7 (ch3,5:16ビットインタバル タイマ機能のみ)	8 チャンネル ch0-7
(12) リアルタイムクロック(RTC)	1 チャンネル	
(13) シリアルチャンネル(UART/SIO)	3 チャンネル ch0/1/4	5 チャンネル ch0-4
(14) シリアルバスインタフェース(I2C/SIO)	1 チャンネル ch0	2 チャンネル ch0-1
(15) 同期式シリアルインタフェース(SSP)	1 チャンネル ch0	2 チャンネル ch0-1
(16) リモコン判定機能	1 チャンネル	
(17) 12ビット A/D コンバータ(ADC)	1 ユニット - 10 チャンネル ch0-9	1 ユニット - 18 チャンネル ch0-17
(18) スタンバイ機能	- スタンバイモード: IDLE, SLEEP, STOP - サブクロック動作 (32.768KHz): SLOW, SLEEP	
(19) クロックジェネレータ(CG)	1 チャンネル	
(20) エンディアン	リトルエンディアン	
(21) 最大動作周波数	40MHz	
(22) 動作電圧範囲	4.0V~5.5V (内蔵レギュレータ使用)	
(23) 温度範囲	-40°C~85°C (Flash W/E 及び Debug 時以外) 0°C~70°C (Flash W/E 及び Debug 時)	

32 ビット RISC マイクロコントローラ TX03 シリーズ

TMPM380FYFG, TMPM380FWFG

TMPM380FYDFG, TMPM380FWDFG

TMPM382FWFG, TMPM382FSFG

TX03 シリーズは、ARM 社製 Cortex™-M3 コアを内蔵した 32 ビット RISC マイクロコントローラです。

製品名	内蔵 Flash ROM	内蔵 RAM	パッケージ
TMPM380FYFG	256 Kbyte	16 Kbyte	LQFP100 - P - 1414 - 0.50H
TMPM380FYDFG **	256 Kbyte	16 Kbyte	QFP100 - P - 1420 - 0.65Q
TMPM380FWFG **	128 Kbyte	12 Kbyte	LQFP100 - P - 1414 - 0.50H
TMPM380FWDFG **	128 Kbyte	12 Kbyte	QFP100 - P - 1420 - 0.65Q
TMPM382FWFG **	128 Kbyte	12 Kbyte	QFP64 - P - 1414 - 0.80C
TMPM382FSFG **	64 Kbyte	8 Kbyte	QFP64 - P - 1414 - 0.80C

1.1 機能概要

** : 開発中

(1) ARM 社製 Cortex-M3 コアを使用

Thumb®-2 命令で、コード効率の向上を実現

- プログラムフロー改善のための新しい 16 ビット命令
- 性能とコードサイズ向上のための新しい 32 ビット命令
- 32 ビット命令 / 16 ビット命令の切り替えをコンパイラが自動で実行

高性能化と低消費電力化を同時に実現

- 高性能化
 - 32 ビット乗算 ($32 \times 32 = 32$ ビット) を 1 クロックで実行
 - 除算を 2~12 クロックで実行
- 低消費電力化
 - 低消費電力ライブラリを使用した最適化設計
 - コアの動作を停止させるスタンバイ機能

リアルタイム制御に向けた高速割り込み応答

- 実行時間の長い命令は割り込みで中断可能
- スタックへの PUSH をハードウェアで自動的に実行

(2) 割り込み機能

- 内部 77 要因 … 7 レベルの優先順位設定可能 (NMI を除く)
- 外部 16 要因 … 7 レベルの優先順位設定可能

(3) 入出力ポート 84 端子

- 入出力 : 83 端子 出力 : 1 端子

(4) ウォッチドッグタイマ(WDT) : 1 チャンネル

- バイナリカウンタ

(5) パワーオンリセット回路(POR)

- (6) 電圧検出回路(VLTD)
- (7) 周波数検知回路(OFD)
- (8) DMA コントローラ：2チャンネル
 - Incr to Incr / Incr to No-Incr / No-Incr to Incr / No-Incr to No-Incr
 - 4word FIFO 内蔵
 - Scatter/gather 機能
- (9) エンコーダ入力回路(ENC)：2チャンネル
 - インクリメンタル形エンコーダ対応(AB 信号/ABZ 信号)
 - 回転方向検出回路
 - 絶対位置検出カウンタ
 - 位置コンペア回路
 - ノイズフィルタ内蔵
 - 3相センサ入力対応
- (10) 16ビット多目的タイマ(MPT)：3チャンネル
チャンネル 0/1: モータ制御回路(PMD)、IGBT 制御、16ビットタイマ
チャンネル 2: IGBT 制御、16ビットタイマ

モータ制御回路(PMD)：2チャンネル
 - 3相 相補 PWM 出力
 - A/D コンバータを連動させる同期トリガ生成
 - 緊急停止保護機能IGBT 制御
 - 16ビット PPG 出力(2端子出力)
 - 外部トリガスタート/ストップ
 - 緊急停止保護機能16ビットタイマ
 - 16ビットインタバルタイマモード
 - 16ビットイベントカウンタモード
 - 16ビット PPG 出力(1端子出力)
 - 16ビットインプットキャプチャモード
- (11) 16ビットタイマ(TMRB)：8チャンネル
 - 16ビットインタバルタイマモード
 - 16ビットイベントカウンタモード
 - 16ビット PPG 出力モード
 - 外部トリガ PPG 出力モード
 - タイマ同期モード
 - インプットキャプチャ機能
- (12) リアルタイムクロック(RTC)
 - 時計機能 (時間、分、秒)
 - カレンダー機能 (月日、週、うるう年)
 - アラーム機能 (アラーム出力)
 - アラーム割り込み発生
- (13) シリアルチャンネル(UART/SIO)：5チャンネル
 - UART/同期式モード選択可能(4byte FIFO 内蔵)
- (14) シリアルバスインタフェース(I2C/SIO)：2チャンネル
 - I2C バスモード/クロック同期式モード選択可能
- (15) 同期式シリアルインタフェース(SSP)：2チャンネル
 - SPI フレームフォーマット/SSI フレームフォーマット/Microwire フレームフォーマット
 - 16byte FIFO(16bit 幅 8 段)

- (16) リモコン判定機能
 - 72bit まで一括受信
- (17) 12ビット A/D コンバータ(ADC) : 1 ユニット(アナログ入力 18 チャンネル)
 - トリガスタート機能 : TMRB 割り込み/PMD トリガによるスタート可能
 - プログラムによりトリガ要因、ソフトウェア、常時変換のチャンネル設定可能
 - AD 変換格納レジスタ 12ch
 - AD 変換結果監視機能 2ch
 - 変換時間 2.0usec (ADC 変換クロック 40MHz 時)
- (18) スタンバイ機能
 - スタンバイモード : IDLE、SLEEP、STOP
 - サブクロック動作 (32.768kHz) : SLOW、SLEEP
- (19) クロックジェネレータ(CG)
 - 外部発振器(高速発振周波数 10MHz 水晶発振子/セラミック発振子)or 内蔵発振器(9MHz)
 - 外部発振器(低速発振周波数 32.768kHz 水晶発振子)
 - PLL 内蔵 (4 通倍)
 - クロックギア機能: 高速クロックを 1/1, 1/2, 1/4, 1/8,1/16 に分周可能
- (20) エンディアン
 - リトルエンディアン
- (21) 最大動作周波数
 - 40MHz
- (22) 動作電圧範囲
 - 4.0V~5.5V (内蔵レギュレータ使用)
- (23) 温度範囲
 - -40 ~85 (Flash W/E 及び Debug 時以外)
 - 0 ~70 (Flash W/E 及び Debug 時)

1.2 ブロック図

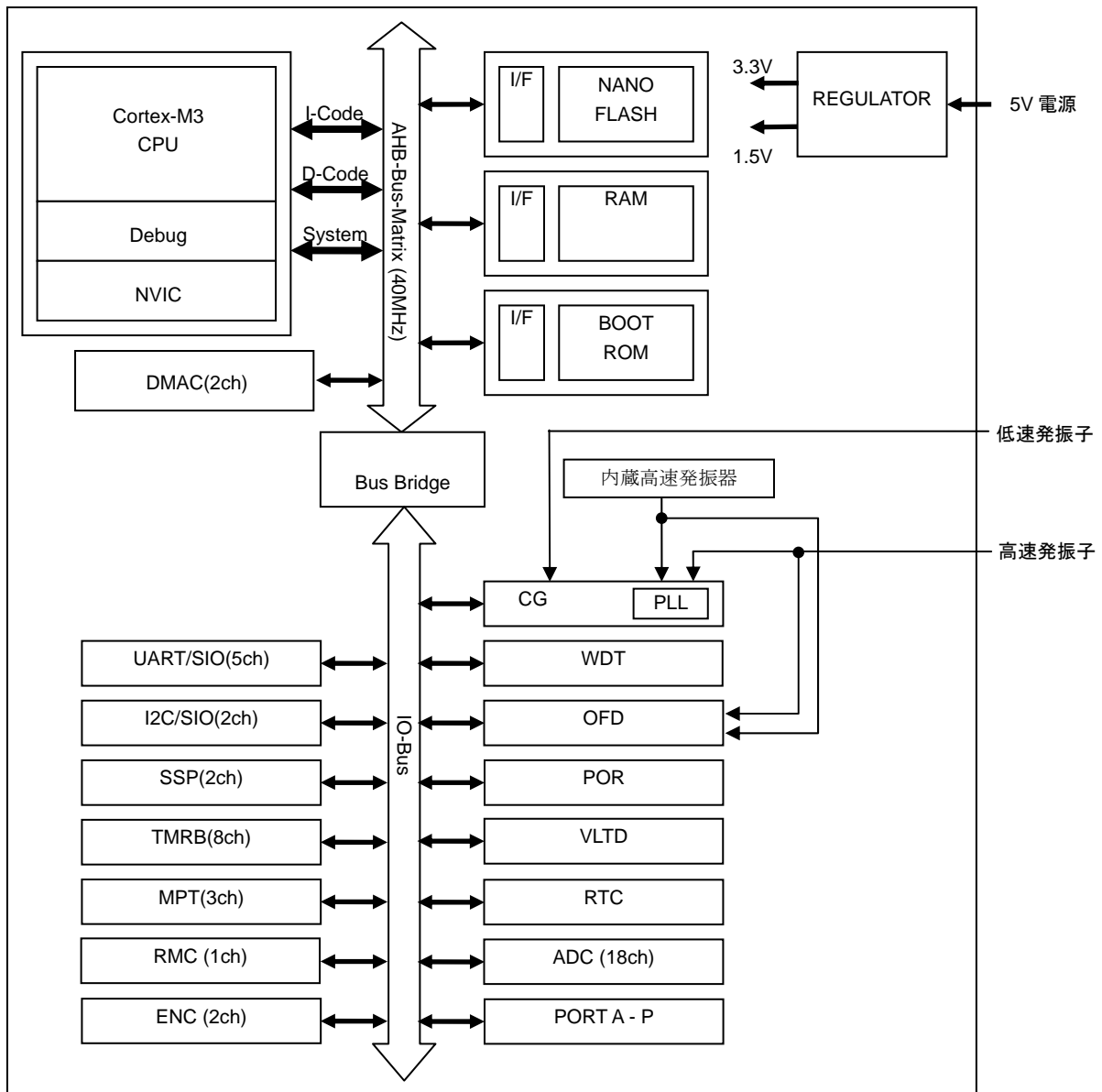


図 1-1 TMPM380 ブロック図

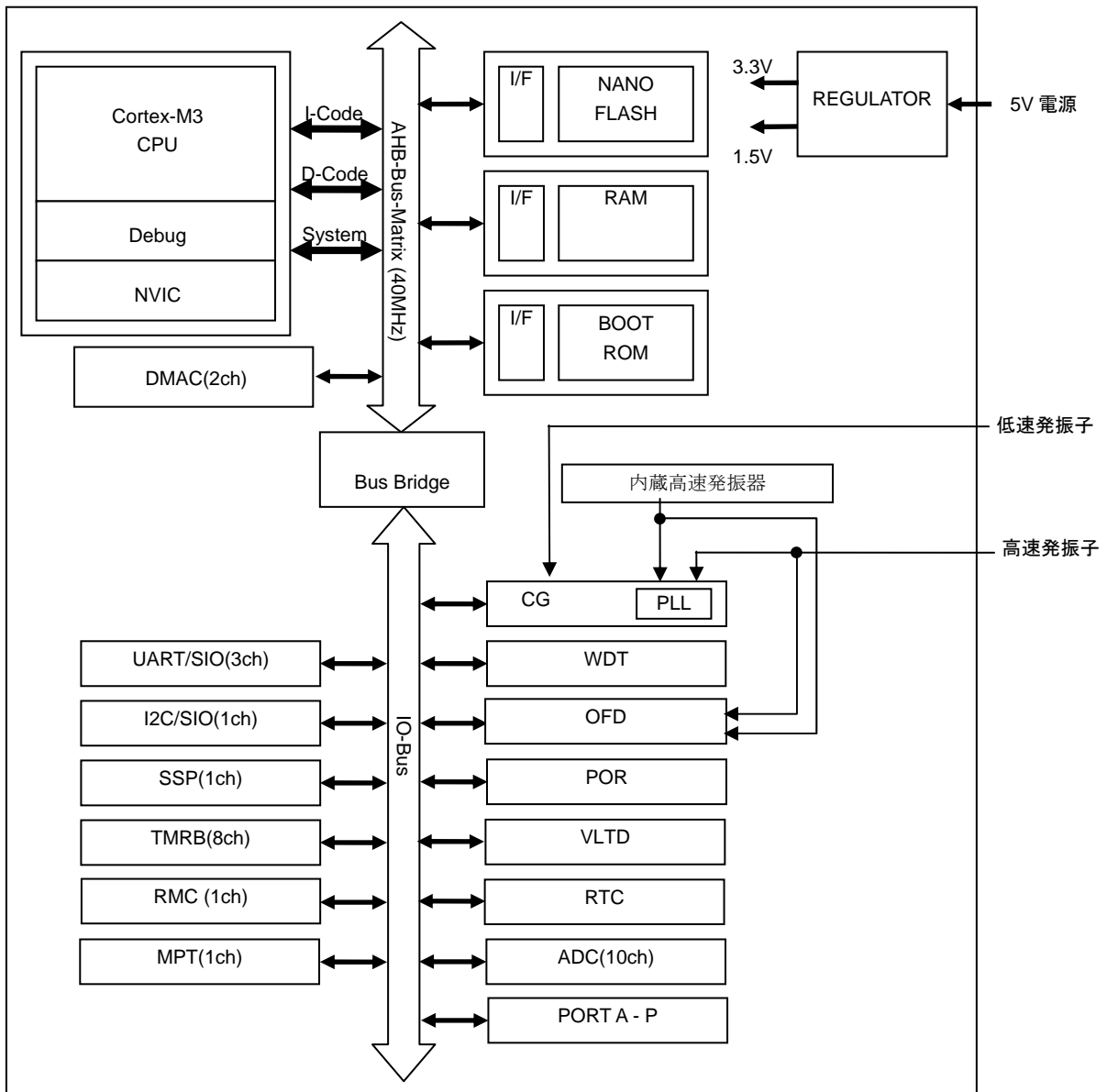


図 1-2 TMPM382 ブロック図

2 ピン配置とピン機能

TMPM380FYFG/TMPM380FWFG, TMPM380FYDFG/TMPM380FWDFG, TMPM382FWFG/TMPM382FSFG のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図 (Top view)

図 2-1 にTMPM380FYFG/TMPM380FWFGのピン配置図を示します。

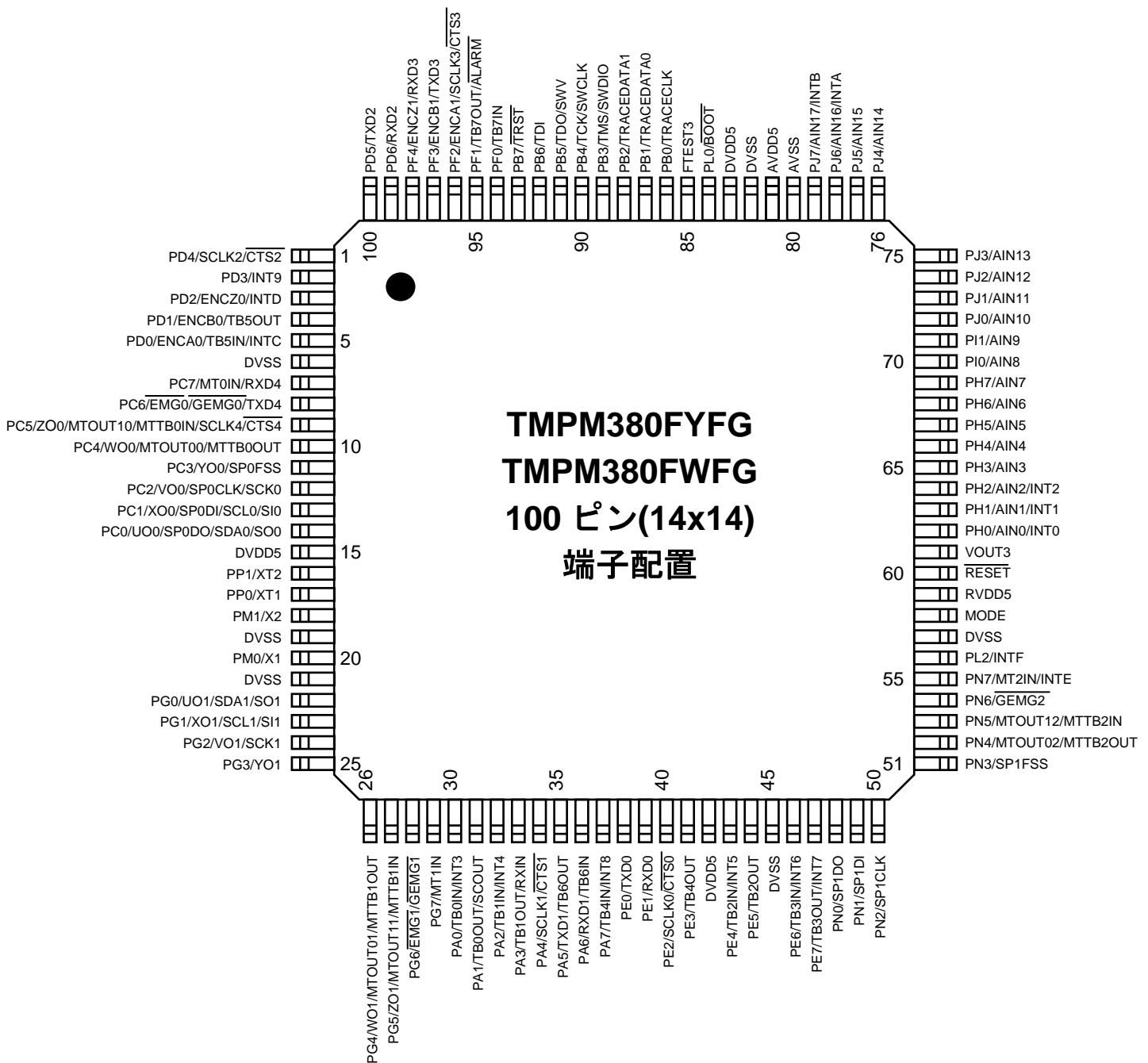


図 2-1 ピン配置図 (TMPM380FxFG)

図 2-2 にTMPM380FYDFG/TMPM380FWDFGのピン配置図を示します。

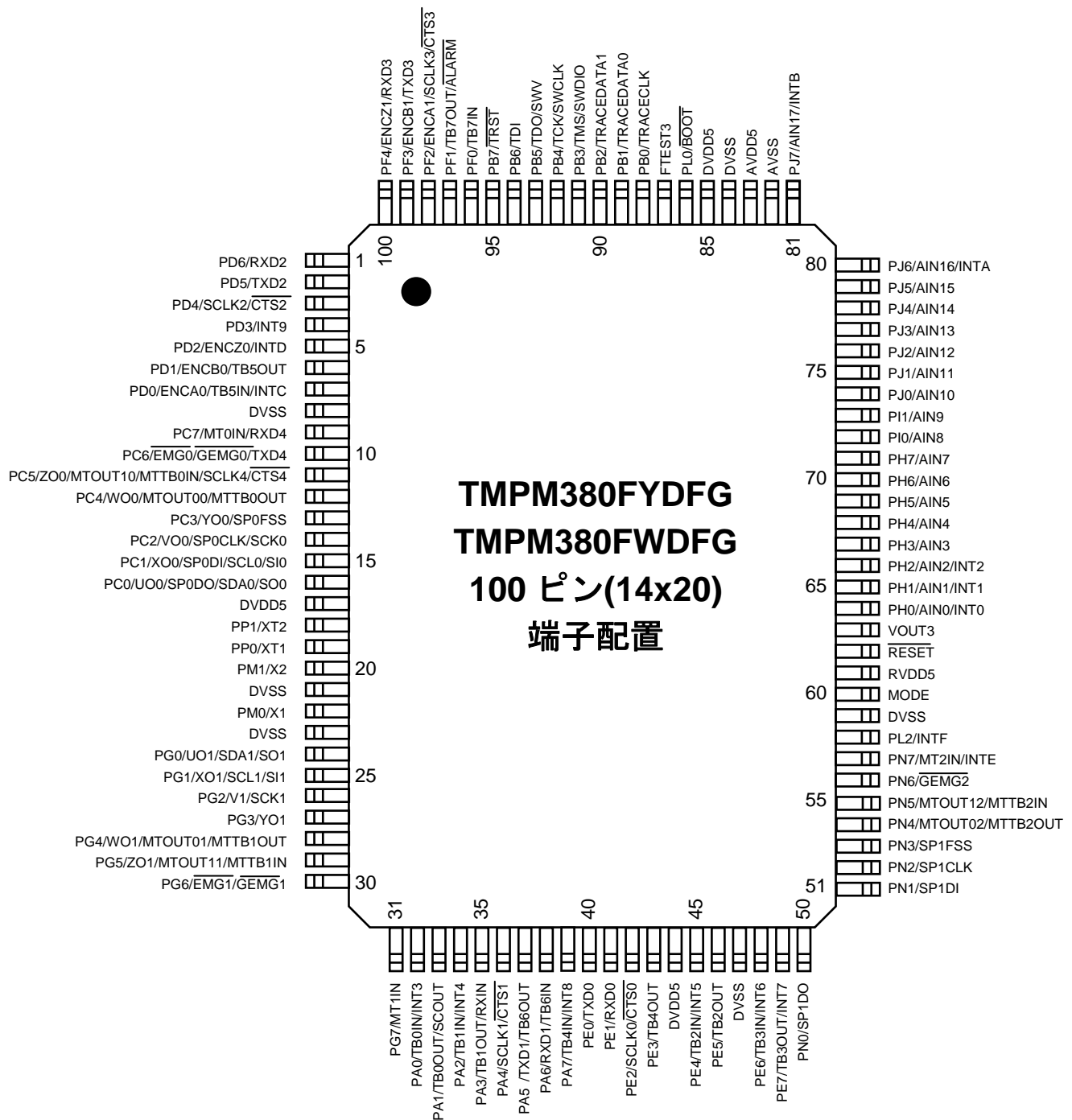


図 2-2 ピン配置図 (TMPM380FxDfG)

図 2-3 にTMPM382FWFG/TMPM382FSFGのピン配置図を示します。

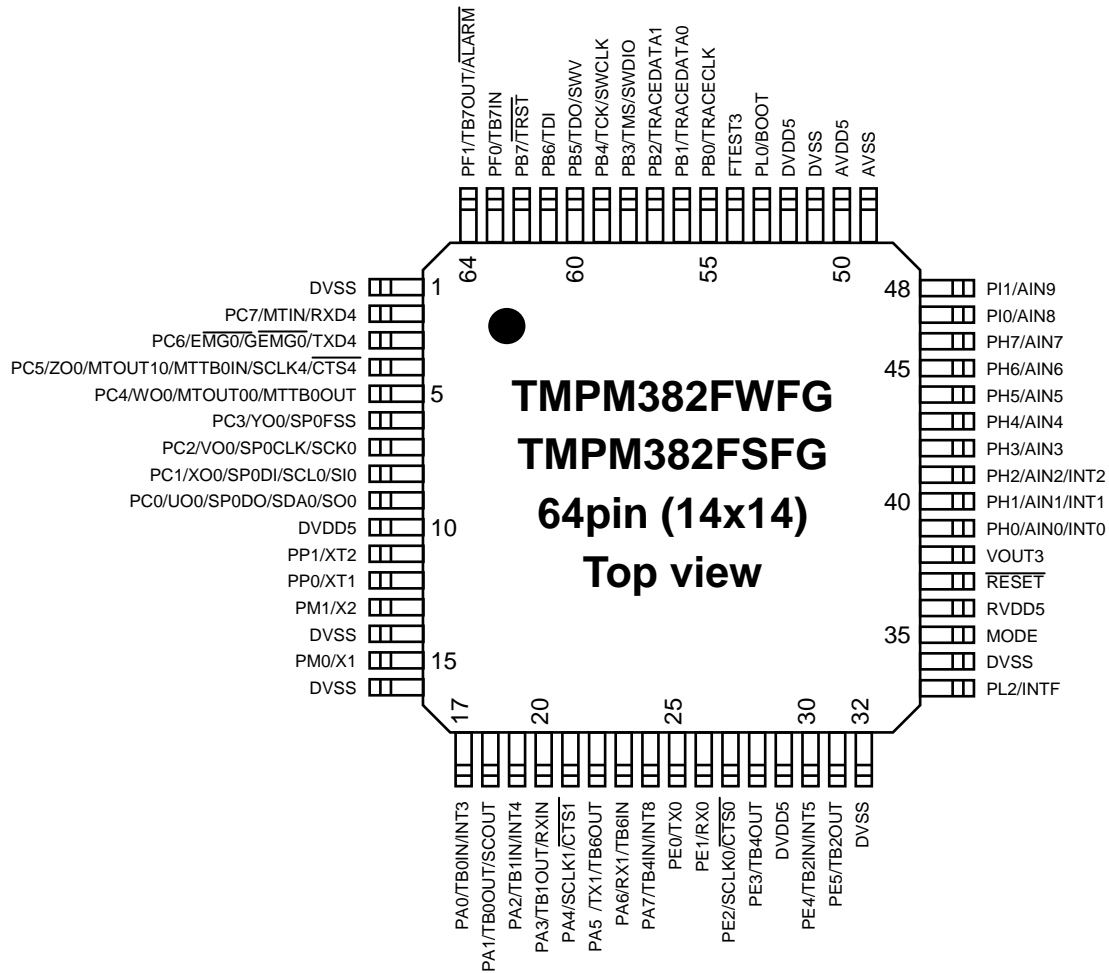


図 2-3 ピン配置図 (TMPM382FxFG)

2.2 端子機能

TMPM380FxFG/DFGの端子機能を表 2-1、ピン名称と電源供給端子を表 2-3、ピン名称と電源範囲を表 2-4 に示します。

表 2-1 端子機能 (1/5)

M380FxDFG QFP100 Pin No.	M380FxFG LQFP100 Pin No.	端子名	Reset 中 出力	SCHIMITT (O:有り)	Open Drain 動作
3	1	PD4 SCLK2 CTS2	Hi-Z	O	O
4	2	PD3 INT9	Hi-Z	O	O
5	3	PD2 ENCZ0 INTD	Hi-Z	O	O
6	4	PD1 ENCB0 TB5OUT	Hi-Z	O	O
7	5	PD0 ENCA0 TB5IN INTC	Hi-Z	O	O
8	6	DVSS			
9	7	PC7 MT0IN RXD4	Hi-Z	O	O
10	8	PC6 EMG0 GEMG0 TXD4	Hi-Z	O	O
11	9	PC5 ZO0 MTOU10 MTTB0IN SCLK4 CTS4	Hi-Z	O	O
12	10	PC4 WO0 MTOU00 MTTB0OUT	Hi-Z	O	O
13	11	PC3 YO0 SP0FSS	Hi-Z	O	O
14	12	PC2 VO0 SP0CLK SCK0	Hi-Z	O	O
15	13	PC1 XO0 SP0DI SCL0 / SIO	Hi-Z	O	O

表 2-1 端子機能 (2/5)

M380FxDFG QFP100 Pin No.	M380FxFG LQFP100 Pin No.	端子名	Reset 中 出力	SCHMITT (O:有り)	Open Drain 動作
16	14	PC0 UO0 SP0DO SDA0 / SO0	Hi-Z	O	O
17	15	DVDD5			
18	16	PP1 XT2	Hi-Z	O	O
19	17	PP0 XT1	Hi-Z	O	O
20	18	PM1 X2	Hi-Z	O	O
21	19	DVSS			
22	20	PM0 X1	Hi-Z	O	O
23	21	DVSS			
24	22	PG0 UO1 SDA1 / SO1	Hi-Z	O	O
25	23	PG1 XO1 SCL1 / SI1	Hi-Z	O	O
26	24	PG2 VO1 SCK1	Hi-Z	O	O
27	25	PG3 YO1	Hi-Z	O	O
28	26	PG4 WO1 MTOUT01 MTTB1OUT	Hi-Z	O	O
29	27	PG5 ZO1 MTOUT11 MTTB1IN	Hi-Z	O	O
30	28	PG6 $\overline{\text{EMG1}}$ $\overline{\text{GEMG1}}$	Hi-Z	O	O
31	29	PG7 MT11IN	Hi-Z	O	O
32	30	PA0 TB0IN INT3	Hi-Z	O	O
33	31	PA1 TB0OUT SCOUT	Hi-Z	O	O
34	32	PA2 TB1IN INT4	Hi-Z	O	O
35	33	PA3 TB1OUT RXIN	Hi-Z	O	O

表 2-1 端子機能 (3/5)

M380FxDG QFP100 Pin No.	M380FxFG LQFP100 Pin No.	端子名	Reset 中 出力	SCHIMITT (O:有り)	Open Drain 動作
36	34	PA4 SCLK1 CTS1	Hi-Z	O	O
37	35	PA5 TXD1 TB6OUT	Hi-Z	O	O
38	36	PA6 RXD1 TB6IN	Hi-Z	O	O
39	37	PA7 INT8 TB4IN	Hi-Z	O	O
40	38	PE0 TXD0	Hi-Z	O	O
41	39	PE1 RXD0	Hi-Z	O	O
42	40	PE2 SCLK0 CTS0	Hi-Z	O	O
43	41	PE3 TB4OUT	Hi-Z	O	O
44	42	DVDD5			
45	43	PE4 TB2IN INT5	Hi-Z	O	O
46	44	PE5 TB2OUT	Hi-Z	O	O
46	45	DVSS			
48	46	PE6 TB3IN INT6	Hi-Z	O	O
49	46	PE7 TB3OUT INT7	Hi-Z	O	O
50	48	PN0 SP1DO	Hi-Z	O	O
51	49	PN1 SP1DI	Hi-Z	O	O
52	50	PN2 SP1CLK	Hi-Z	O	O
53	51	PN3 SP1FSS	Hi-Z	O	O
54	52	PN4 MTOUT02 MTTB2OUT	Hi-Z	O	O
55	53	PN5 MTOUT12 MTTB2IN	Hi-Z	O	O
56	54	PN6 GEMG2	Hi-Z	O	O

表 2-1 端子機能 (4/5)

M380FxDFG QFP100 Pin No.	M380FxFG LQFP100 Pin No.	端子名	Reset 中 出力	SCHMITT (O:有り)	Open Drain 動作
57	55	PN7 MT2IN INTE	Hi-Z	O	O
58	56	PL2 INTF	Hi-Z	O	O
59	57	DVSS			
60	58	MODE	Hi-Z	O	
61	59	RVDD5			
62	60	RESET	Pull UP	O	
63	61	VOUT3	VOUT3		
64	62	PH0 AIN0 INT0	Hi-Z	O	O
65	63	PH1 AIN1 INT1	Hi-Z	O	O
66	64	PH2 AIN2 INT2	Hi-Z	O	O
67	65	PH3 AIN3	Hi-Z	O	O
68	66	PH4 AIN4	Hi-Z	O	O
69	67	PH5 AIN5	Hi-Z	O	O
70	68	PH6 AIN6	Hi-Z	O	O
71	69	PH7 AIN7	Hi-Z	O	O
72	70	PI0 AIN8	Hi-Z	O	O
73	71	PI1 AIN9	Hi-Z	O	O
74	72	PJ0 AIN10	Hi-Z	O	O
75	73	PJ1 AIN11	Hi-Z	O	O
76	74	PJ2 AIN12	Hi-Z	O	O
77	75	PJ3 AIN13	Hi-Z	O	O
78	76	PJ4 AIN14	Hi-Z	O	O
79	77	PJ5 AIN15	Hi-Z	O	O
80	78	PJ6 AIN16 INTA	Hi-Z	O	O
81	79	PJ7 AIN17 INTB	Hi-Z	O	O

表 2-1 端子機能 (5/5)

M380FxDFG QFP100 Pin No.	M380FxFG LQFP100 Pin No.	端子名	Reset 中 出力	SCHMITT (O:有り)	Open Drain 動作
82	80	AVSS			
83	81	AVDD5			
84	82	DVSS			
85	83	DVDD5			
86	84	PL0 <u>BOOT</u>	Pull Up		○
87	85	FTEST3	Hi-Z(Note)		
88	86	PB0 TRACECLK	Hi-Z	○	○
90	87	PB1 TRACEDATA0	Hi-Z	○	○
90	88	PB2 TRACEDATA1	Hi-Z	○	○
91	90	PB3 TMS SWDIO	Pull Up	○	○
92	90	PB4 TCK SWCLK	Pull Down	○	○
93	91	PB5 TDO SWV	Hi-Z	○	○
94	92	PB6 TDI	Pull Up	○	○
95	93	PB7 <u>TRST</u>	Pull Up	○	○
96	94	PF0 TB7IN	Hi-Z	○	○
97	95	PF1 TB7OUT <u>ALARM</u>	Hi-Z	○	○
98	96	PF2 ENCA1 SCLK3 <u>CTS3</u>	Hi-Z	○	○
99	97	PF3 ENCB1 TXD3	Hi-Z	○	○
100	98	PF4 ENCZ1 RXD3	Hi-Z	○	○
1	99	PD6 RXD2	Hi-Z	○	○
2	100	PD5 TXD2	Hi-Z	○	○

(注)端子の処理は必ず OPEN にして下さい。この端子は内部テストのみに使用します。

TMPM382FxFGの端子機能を表 2-2、ピン名称と電源供給端子を表 2-3、ピン名称と電源範囲を表 2-4 に示します。

表 2-2 端子機能 (1/4)

M382FxFG QFP64 Pin No.	端子名	Reset 中 出力	SCHMITT (O:有り)	Open Drain 動作
1	DVSS			
2	PC7 MTIN RXD4	Hi-Z	○	○
3	PC6 EMG0 GEMG0 TXD4	Hi-Z	○	○
4	PC5 ZO0 MTOU10 MTTB0IN SCLK4 CTS4	Hi-Z	○	○
5	PC4 WO0 MTOU00 MTTB0OUT	Hi-Z	○	○
6	PC3 YO0 SP0FSS	Hi-Z	○	○
7	PC2 VO0 SP0CLK SCK0	Hi-Z	○	○
8	PC1 XO0 SP0DI SCL0 / SIO	Hi-Z	○	○
9	PC0 UO0 SP0DO SDA 0/ SO0	Hi-Z	○	○
10	DVDD5			
11	PP1 XT2	Hi-Z	○	○
12	PP0 XT1	Hi-Z	○	○
13	PM1 X2	Hi-Z	○	○
14	DVSS			
15	PM0 X1	Hi-Z	○	○
16	DVSS			

表 2-2 端子機能 (2/4)

M382FxFG QFP64 Pin No.	端子名	Reset 中 出力	SCHMITT (O:有り)	Open Drain 動作
17	PA0 TB0IN INT3	Hi-Z	O	O
18	PA1 TB0OUT SCOUT	Hi-Z	O	O
19	PA2 TB1IN INT4	Hi-Z	O	O
20	PA3 TB1OUT RXIN	Hi-Z	O	O
21	PA4 SCLK1 CTS1	Hi-Z	O	O
22	PA5 TXD1 TB6OUT	Hi-Z	O	O
23	PA6 RXD1 TB6IN	Hi-Z	O	O
24	PA7 INT8 TB4IN	Hi-Z	O	O
25	PE0 TXD0	Hi-Z	O	O
26	PE1 RXD0	Hi-Z	O	O
27	PE2 SCLK0 CTS0	Hi-Z	O	O
28	PE3 TB4OUT	Hi-Z	O	O
29	DVDD5			
30	PE4 TB2IN INT5	Hi-Z	O	O
31	PE5 TB2OUT	Hi-Z	O	O
32	DVSS			

表 2-2 端子機能 (3/4)

M382FxFG QFP64 Pin No.	端子名	Reset 中 出力	SCHMITT (O:有り)	Open Drain 動作
33	PL2 INTF	Hi-Z	○	○
34	DVSS			
35	MODE	Hi-Z	○	
36	RVDD5			
37	$\overline{\text{RESET}}$	Pull UP	○	
38	VOUT3	VOUT3		
39	PH0 AIN0 INT0	Hi-Z	○	○
40	PH1 AIN1 INT1	Hi-Z	○	○
41	PH2 AIN2 INT2	Hi-Z	○	○
42	PH3 AIN3	Hi-Z	○	○
43	PH4 AIN4	Hi-Z	○	○
44	PH5 AIN5	Hi-Z	○	○
45	PH6 AIN6	Hi-Z	○	○
46	PH7 AIN7	Hi-Z	○	○
47	PI0 AIN8	Hi-Z	○	○
48	PI1 AIN9	Hi-Z	○	○

表 2-2 端子機能 (4/4)

M382FxFG QFP64 Pin No.	端子名	Reset 中 出力	SCHMITT (O:有り)	Open Drain 動作
49	AVSS			
50	AVDD5			
51	DVSS			
52	DVDD5			
53	PL0 BOOT	Pull Up		O
54	FTEST3	Hi-Z(Note)		
55	PB0 TRACECLK	Hi-Z	O	O
56	PB1 TRACEDATA0	Hi-Z	O	O
57	PB2 TRACEDATA1	Hi-Z	O	O
58	PB3 TMS SWDIO	Pull Up	O	O
59	PB4 TCK SWCLK	Pull Down	O	O
60	PB5 TDO SWV	Hi-Z	O	O
61	PB6 TDI	Pull Up	O	O
62	PB7 TRST	Pull Up	O	O
63	PF0 TB7IN	Hi-Z	O	O
64	PF1 TB7OUT ALARM	Hi-Z	O	O

(注)端子の処理は必ず OPEN にして下さい。この端子は内部テストのみに使用します。

表 2-3 ピン名称と電源供給端子

ピン名称	電源	説明
PM0,PM1 X1,X2	DVDD5 内部 1.5V	外部回路で生成したクロックを X1 端子に入れないで下さい。
PP0,PP1 XT1,XT2	DVDD5 内部 1.5V	外部回路で生成したクロックを XT1 端子に入れないで下さい。
$\overline{\text{RESET}}$	DVDD5	必ず GND へ接続してください。
MODE		
PA ~ PG,PL,PN I/O		
PH,PI,PJ AIN0 ~ AIN17	AVDD5(VREFH)	

表 2-4 ピン名称と電源範囲

ピン名称	電圧範囲	説明
RVDD5	4.0~5.5V	内部回路へ電源を供給する端子です。
DVDD5		入出力ポートへ電源を供給する端子です。
AVDD5		AD コンバータへ電源を供給する端子です。
VOUT3	2.7~3.6V	内部電源の安定化コンデンサ接続端子です。 DVSS との間にコンデンサ 1~4.7 μF を接続してください。
DVSS	GND	
AVSS		

注意: 外部回路への電源供給はできません。

3 プロセッサコア

3.1 コアに関する情報

TX03 シリーズには、高性能 32 ビットプロセッサコア (ARM 社 Cortex-M3 コア) が内蔵されています。プロセッサコアの動作については、“Cortex-M3 テクニカルリファレンスマニュアル”を参照してください。ここでは、製品固有の情報について説明します。

TMPM380/M382 で使用している Cortex-M3 コアのリビジョンは以下のとおりです。コアのリビジョンによる動作の違いについては、ARM 社の発行するドキュメントを参照してください。

製品名	コアリビジョン
TMPM380	r2p0-00rel0
TMPM382	r2p0-00rel0

3.2 構成可能なオプション

Cortex-M3 コアは、一部のオプションブロックについて実装するかどうかを選択することができます。TMPM380/M382 の構成は以下のとおりです。

構成可能なオプション	実装
FPB	あり
DWT	あり
ITM	あり
MPU	なし
ETM TM	あり
AHB-AP	あり
AHB トレースマクロセル インタフェース	あり
TPIU	あり
WIC	なし

3.3 イベント

TMPM380/M382 は、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

3.4 電力管理

TMPM380/M382 は、SLEEPDEEP 信号は使用していません。SLEEPDEEP ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。

電力管理については、『クロック/モード制御』の章を参照してください。

3.5 排他アクセス

TMPM380/M382 は、DCode バスの排他アクセスを使用していません。

3.6 リセット動作

3.6.1 リセット入力前状態

電源投入時は、製品の状態は不定です。全ての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの期間、内部回路は不確定であり、レジスタの設定や各端子の状態は不定となります。

3.6.2 リセット期間

本デバイスはパワーオンリセットを内蔵しており、電源投入時にパワーオンリセット信号を発生します。詳細は『パワーオンリセット回路』を参照してください。

また、外部からリセットをかける場合は、電源電圧が動作範囲内であり、かつ、高周波発振器の発振が安定した状態で、**RESET** 端子入力を少なくとも 12 システムクロック間 (1.2 μ s@10MHz 発振子接続時) ローレベル"L"にしてください。

3.6.3 リセット解除後

リセット解除後は、Cortex-M3 コアの制御レジスタや内蔵 I/O レジスタは初期化されます。なお、リセット解除後は PLL 通倍回路が停止しているため、PLL 通倍回路を使用する場合は CGOSCCR および CGPLLSEL にて設定が必要です。詳細は『クロック/モード制御』を参照してください。

リセット例外処理を行った後、プログラムはリセットの割り込みサービスルーチンへ分岐します。リセットの割り込みサービスルーチン先頭アドレスは、0x0000_0004H 番地に格納します。

注 1) RESET 端子を"L"にした状態で電源投入することも可能です。 注 2) リセット動作により、内蔵 RAM のデータは保証できなくなります。
--

4 デバッグインタフェース

4.1 仕様概要

TMPM380/M382は デバッグツールと接続するためのデバッグインタフェースとして SWJ-DP(Serial Wire JTAG Debug Port)ユニット、および内部プログラムをトレース出力するための ETM™(Embedded Trace Macrocell)ユニットを搭載しています。トレース出力はマイコン内部の TPIU(Trace Port Interface Unit)を通じてデバッグ用端子(TRACEDATA0~1, SWV) に出力されます。

SWJ-DP、ETM、TPIU の詳細につきましてはARM社からリリースされる“Cortex-M3 テクニカル リファレンスマニュアル”を参照してください。

4.2 SWJ-DPの特長

シリアルワイヤデバッグポート(SWDCK,SWDIO) と、JTAGデバッグポート(TDI,TDO,TMS,TCK, TRST)をサポートしています。

4.3 ETMの特長

データ信号 2pin (TRACEDATA0~1)と クロック信号 1pin(TRACECLK) および、シリアルワイヤ ビューア信号 1pin(SWV) によるSWVトレース出力をサポートしています。

4.4 端子情報

デバッグインタフェース端子は汎用ポートと兼用しています。

デバッグインタフェース端子と兼用の汎用ポートのうち、PB3/PB4はJTAGデバッグポート機能とシリアルワイヤデバッグポート機能、PB5はJTAGデバッグポート機能およびSWVトレース出力機能と兼用しています。

表 4-1 SWJ-DP、ETMデバッグ機能

SWJ-DP 端子名	汎用 ポート名	JTAGデバッグ機能		SWデバッグ機能	
		I/O	説明	I/O	説明
TMS/SWDIO	PB3	Input	JTAG Test Mode Selection	I/O	Serial Wire Data Input/Output
TCK/SWCLK	PB4	Input	JTAG Test Check	Input	Serial Wire Clock
TDO/SWV	PB5	Output	JTAG Test Data Output	— (Output) (注)	(Serial Wire Viewer Output)
TDI	PB6	Input	JTAG Test Data Input	—	—
TRST	PB7	Input	JTAG Test RESET	—	—
TRACECLK	PB0	Output	TRACE Clock Output		
TRACEDATA0	PB1	Output	TRACE DATA Output0		
TRACEDATA1	PB2	Output	TRACE DATA Output1		

(注)SWV機能を許可した場合

リセット解除後、PB3/ PB4/ PB5/ PB6/ PB7はデバッグインタフェース端子となりますが、その他のデバッグインタフェース端子は汎用ポート設定です。必要に応じてデバッグインタフェースを使用する設定を行ってください。また、使用しないデバッグインタフェース端子は汎用ポートとして使用可能です。

表4-2はデバッグインタフェースの端子情報とリセット解除後のポートの設定です。

表4-2 デバッグインタフェース/汎用ポート兼用端子のリセット解除後設定値

初期設定	ポート (ビット名)	デバッグ機能	ポート制御レジスタの設定値				
			機能 (PBFR)	入力 (PBIE)	出力 (PBCR)	プルアップ (PBPUP)	プルダウン (PBPDN)
ポート	PB0	TRACECLK	0	0	0	0	0
ポート	PB1	TARCE DATA0	0	0	0	0	0
ポート	PB2	TRACEDATA1	0	0	0	0	0
デバッグ	PB3	TMS/SWDIO	1	1	1	1	0
デバッグ	PB4	TCK/SWCLK	1	1	0	0	1
デバッグ	PB5	TDO/SWV	1	0	1	0	0
デバッグ	PB6	TDI	1	1	0	1	0
デバッグ	PB7	$\overline{\text{TRST}}$	1	1	0	1	0

低消費電力モードを使用する場合には以下の注意事項に留意してください。

- (注1) PB3/PB5がデバッグインタフェース設定の場合、CGSTBYCR<DRVE>の設定によらず、STOPモード中も出力が有効な状態で保持されます。
- (注2) PB4がデバッグインタフェース設定の場合、STOPモードで十分な低消費電力効果が得られません。デバッグインタフェースとして使用しない場合は、PB4をポート設定にしてください。

4.5 デバッグツールとの接続

4.5.1 接続方法

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインタフェース端子はプルアップ/プルダウン抵抗を内蔵していますので、外部にプルアップ/プルダウン抵抗を接続する場合には注意してください。

4.5.2 デバッグインタフェース端子を汎用ポートとして使用する場合

デバッグ時に、リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御が受け付けられず、デバッグツールを使用してデバッグできなくなる場合があります。デバッグインタフェース端子の使用状況に合わせて、設定を変える場合は注意してください。

表 4-3 デバッグインタフェース端子の使用例

デバッグインタフェースの 組み合わせ(例)	使用するデバッグインタフェース端子							
	$\overline{\text{TRST}}$	TDI	TDO/ SWV	TCK/ SWCLK	TMS/ SWDIO	TRACE DATA1	TARCE DATA0	TRACE CLK
JTAG+SW (リセット解除時)						×	×	×
JTAG+SW (TRST 無し)	×					×	×	×
JTAG+TRACE								
SW	×	×	×			×	×	×
SW+SWV	×	×				×	×	×
デバッグ機能ディセーブル	×	×	×	×	×	×	×	×

: イネーブル、×: ディセーブル (汎用ポートとして使用)

4.6 ホールトモード中の周辺機能（プログラム実行の一時停止時）

デバッグ機能にて、ブレーク時、Coretex-M3 コアがホールトモードに入ると、ウォッチドッグタイマ(WDT)のカウントが自動的に停止します。その他の周辺機能は動作を続けます。

16 ビットタイマ(TMRB)、16 ビット多目的タイマ(MPT)は設定によって動作が異なります。設定に関しては『16 ビットタイマ(TMRB)』、『16 ビット多目的タイマ(MPT)』の章を参照してください。

5 メモリマップ

TMPM380/M382 のメモリマップは、ARM Cortex-M3 コアのメモリマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリマップの Code 領域、内蔵 RAM 領域は SRAM 領域、内蔵 IO 領域は Peripheral 領域に割り付けられています。SRAM 領域、内蔵 IO 領域はすべてビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、“Cortex-M3 テクニカルリファレンスマニュアル”を参照してください。

“Fault” と記載された領域は、アクセスするとメモリフォールトが有効な場合にはメモリフォールト、無効な場合にはハードフォールトが発生します。また、ベンダ固有領域はアクセスしないでください。

内蔵 IO 領域の詳細については、『特殊機能レジスタ』を参照してください。

5.1 TMPM380FYメモリマップ

TMPM380FYのメモリマップを図 5-1 に示します。

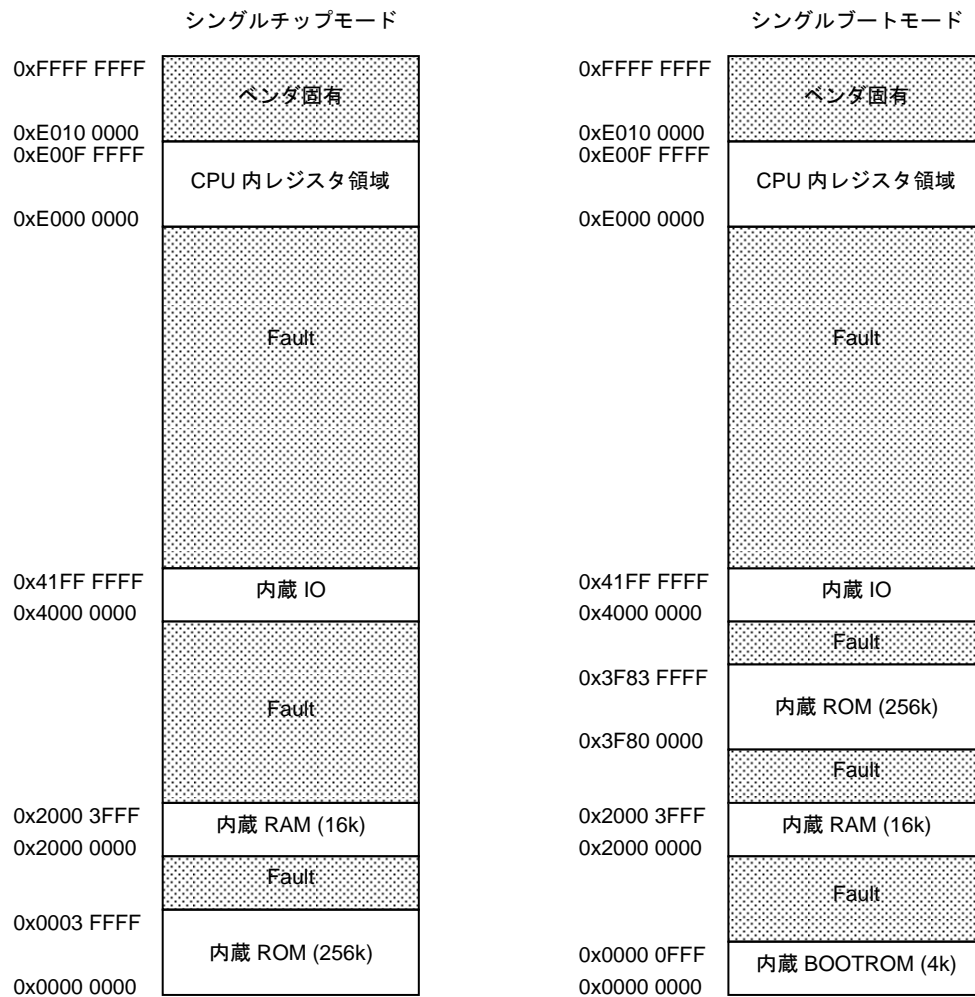


図 5-1 メモリマップ

5.2 TMPM380FW/M382FWメモリマップ

TMPM380FW/M382FWのメモリマップを 図 5-2 に示します。

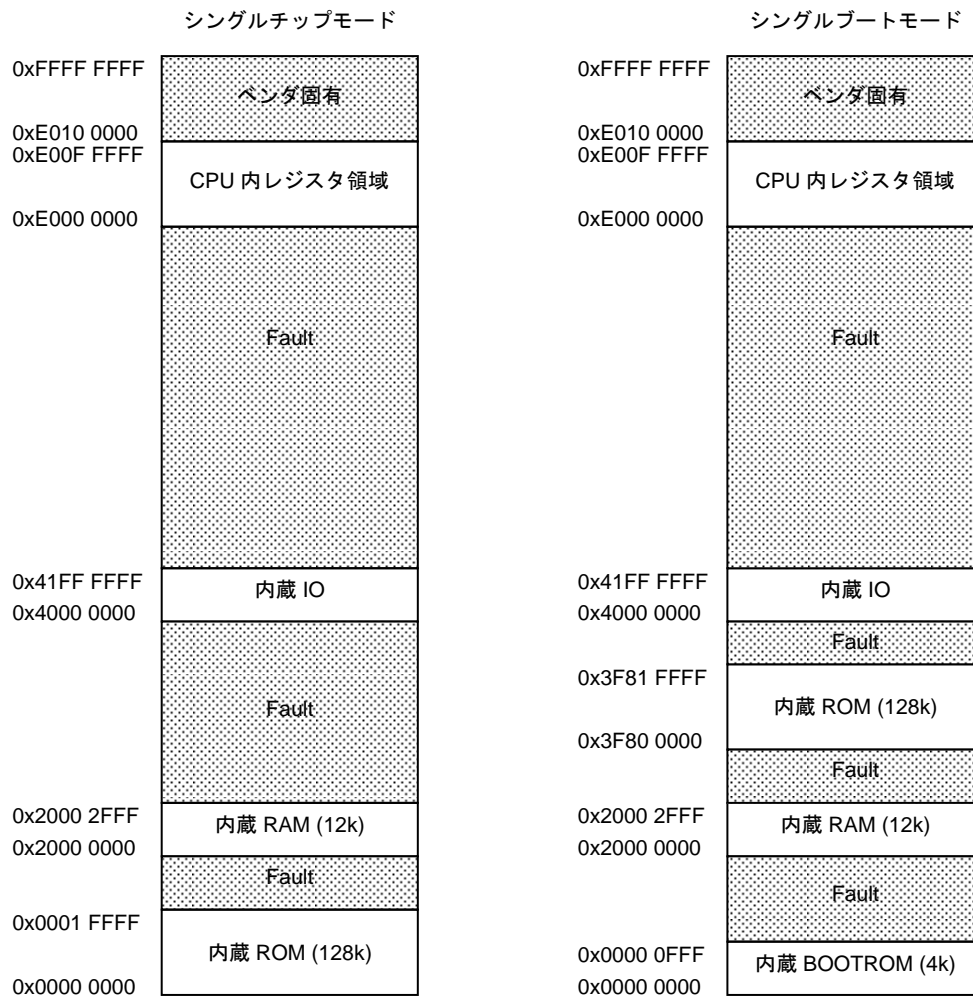


図 5-2 メモリマップ

5.3 TMPM382FSメモリマップ

TMPM382FSのメモリマップを図 5-3 に示します。

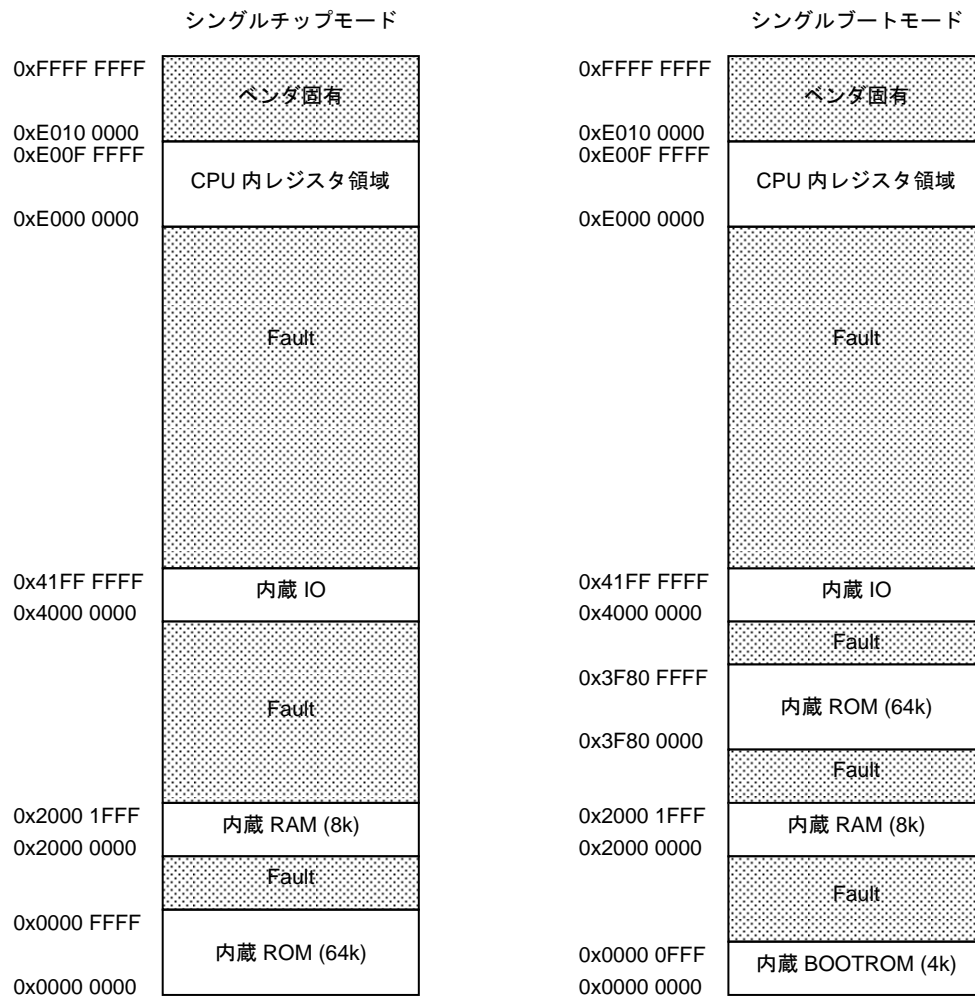


図 5-3 メモリマップ

6 クロック/モード制御

6.1 特長

クロック/モード制御ブロックでは、発振器のオン/オフ、クロックギアやプリスケールクロックの選択、PLL（逡倍回路）や発振器のウォーミングアップ等を設定します。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えます。

本章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- 発振器の制御
- システムクロックの制御
- プリスケールクロックの制御
- クロック逡倍回路（PLL）の制御
- ウォーミングアップタイマの制御

また、動作モードとして **NORMAL** モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

6.2 レジスタ説明

6.2.1 レジスタ一覧

CG関連のレジスタとアドレスを表 6-1 に示します。

表 6-1 CG 関連レジスタ一覧

レジスタ名		アドレス
システムコントロールレジスタ	CGSYSCR	0x4004_0200
発振コントロールレジス	CGOSCCR	0x4004_0204
スタンバイコントロールレジスタ	CGSTBYCR	0x4004_0208
PLL セレクトレジスタ	CGPLLSEL	0x4004_020C
システムクロックセレクトレジスタ	CGCKSEL	0x4004_0210

6.2.2 レジスタ詳細

6.2.2.1 システムコントロールレジスタ(CGSYSCR)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR2	GEAR1	GEAR0
Read/Write	R				R/W			
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます					高速クロック(fgear)のギア選択 000: fc 100: fc/2 001: reserved 101: fc/4 010: reserved 110: fc/8 011: reserved 111: fc/16		
	15	14	13	12	11	10	9	8
bit symbol	-	-	FPSEL1	FPSELO	-	PRCK2	PRCK1	PRCK0
Read/Write	R		R/W		R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	fperiph 選択 00:fgear 01:fc 1*:fs		リードすると"0"が読めます	プリスケラック(T0)選択 000: fperiph 100: fperiph/16 001: fperiph/2 101: fperiph/32 010: fperiph/4 110: Reserved 011: fperiph/8 111: Reserved			
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	FCSTOP	-	-	SCOSEL1	SCOSEL0
Read/Write	R/W	R		R/W	R		R/W	R/W
リセット後	0	0	0	0	0	0	0	1
機能	"0"を書いてください	リードすると"0"が読めます	ADC へのクロック 0:許可 1:停止		リードすると"0"が読めます	SCOUT 出力選択 00: fs 01: fsys/2 10: fsys 11: T0		
	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

- <Bit 2:0><GEAR 2:0> : 高速クロック (fgear) のギアを選択します。
 <Bit 10:8><PRCK 2:0> : 周辺 I/O に供給するプリスケラック (T0) を選択します。
 <Bit 13:12><FPSEL1:0> : fperiph のソースクロックを選択します。
 <Bit 17:16><SCOSEL1:0> : SCOUT 端子から設定したクロックを出力することが可能です。
 <Bit 20><FCSTOP> : ADC への FCLK 供給の制御
 <Bit 23> : "0" を書いてください

6.2.2.2 発振コントロールレジスタ(CGOSCCR)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	PLLON	WUEF	WUEON
Read/Wite	R/W				R/W	R/W	R	W
リセット後	0	0	1	1	0	0	0	0
機能	"0011"を書いてください				ウォーミングアップタイム(WUP)のクロック 0: 高速 (WUPSEL2 参照) 1: 低速	PLL 動作 0: 停止 1: 動作	ウォーミングアップタイム(WUP)ステータス 0: WUP 終了 1: WUP 中	ウォーミングアップタイム(WUP)制御 0: Don't Care 1: WUP スタート
	15	14	13	12	11	10	9	8
bit symbol	WUODR1	WUODR0	-	-	-	-	XTEN	XEN1
Read/Write	R/W		R/W		R		R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	ウォーミングアップタイム Bit1:0 の設定値 (高速発振選択時は "00")		"0"を書いてください		リードすると"0"が読めます		外部低速発振器 0: 停止 1: 発振	外部高速発振器(OSC1) 0: 停止 1: 発振
	23	22	21	20	19	18	17	16
bit symbol	WUODR5	WUODR4	WUODR3	WUODR2	WUPSEL2	HOSCON	OSCSEL	XEN2
Read/Write	R/W				R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	1
機能	ウォーミングアップタイム Bit5:2 の設定値				ウォーミングアップタイム(WUP)のクロック 0: 内部 (OSC2) 1: 外部 (OSC1)	PORT M/外部高速発振器選択 0: PORT M 1: X1/X2 (OSC1)	高速発振器の切り替え 0: 内部(OSC2) 1: 外部(OSC1)	内部高速発振器 0: 停止 1: 発振
	31	30	29	28	27	26	25	24
bit symbol	WUODR13	WUODR12	WUODR11	WUODR10	WUODR9	WUODR8	WUODR7	WUODR6
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	ウォーミングアップタイム Bit13:6 の設定値							

- <Bit 0><WUEON> : ウォーミングアップタイムをスタートします。
リードすると "0" が読めます。
- <Bit 1><WUEF> : ウォーミングアップタイムの状態を確認できます。
- <Bit 2><PLLON> : PLL (逡倍回路) の動作を選択します。
リセット解除後は "停止" 状態ですので設定が必要です。

注) 内蔵発振を使用するときは、PLL は使用しないでください。

- <Bit 3><WUPSEL1> : ウォーミングアップタイムのクロックソースを選択します。
高速クロックを選択した場合は、<WUPSEL2>を参照してください。
- <Bit 8><XTEN> : 外部高速発振器(OSC1)の動作を選択します。
- <Bit 9><XTEN> : 外部低速発振器の動作を選択します。
- <Bit 16><XEN2> : 内部高速発振器(OSC2)の動作を選択します。
- <Bit 17><OSCSEL> : 高速発振を内部から外部へ切り替えます。外部発振器切り替え後、OFD 機能を使用しない場合は、消費電力を抑えるために内蔵発振器を停止する事をお勧めします。また、外部発振器に切り替え後は、内蔵発振器に切り替えしないでください。
- <Bit 18><HOSCON> : 外部高速発振器(X1/X2)とポート M のどちらを使用するか選択します。外部発振器として選択する場合は、ポート M について、PMCR/PMPUP/PMPDN/PMIE=disable に設定してください(リセット後は、全て disable)。

<Bit 19><WUPSEL2> : ウォーミングアップタイムのクロックソースを選択します。STOP/SLEEP モードを使用する場合、STOP/SLEEP モードに移行する前に<OSCSEL>で選択したクロックと同じクロックを設定してください。

<Bit 31:24, 23:20, 15:14><WUODR 13:0> : ウォーミングアップタイムの時間を設定します。
※高速クロック動作する場合、<Bit 15:14><WUODR 1:0> は "00" になります。

<Bit 7:4> : "0011" を書いてください

<Bit 13:12> : "00" を書いてください

6.2.2.3 スタンバイコントロールレジスタ(CGSTBYCR)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY2	STBY1	STBY0
Read/Write	R					R/W	R/W	R/W
リセット後	0	0	0	0	0	0	1	1
機能	リードすると"0"が読めます					低消費電力モード選択 000: Reserved 001: STOP 010: SLEEP(注) 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved		
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	RXTEN	RXEN
Read/Write	R						R/W	R/W
リセット後	0	0	0	0	0	0	0	1
機能	リードすると"0"が読めます						STOPモード解除後の自動低速発振 0: 停止 1: 発振	STOPモード解除後の自動高速発振 0: 停止 1: 発振
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	DRVE
Read/Write	R					R/W		R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます					"000"を書いてください		STOPモード中の端子状態制御 0: 端子をドライブしません 1: 端子をドライブします
	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

<Bit 2:0><STBY2:0> : 低消費電力モードを選択します。

SLOW モードに移行する前には必ず低速発振を発生させてください。ウォーミングアップタイムで低速発振が安定するまで待つようにソフトウェアを作成してください。そして周辺機能用クロック (fperiph) で fs (CGSYSCR<FPSEL>="1*") を選択してください。

<Bit 8><RXEN> : STOPモード解除後の高速発振器動作を選択します。
 <Bit 9><RXTEN> : STOPモード解除後の低速発振器動作を選択します。
 <Bit 16><DRVE> : STOPモード中の端子ドライブ状態を選択します。
 <Bit 19:17> : "000"を書いてください

6.2.2.4 PLLセレクトレジスタ(CGPLLSEL)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PLLSEL
Read/Write	R/W							R/W
リセット後	0	0	0	1	1	1	1	0
機能	"0001111"を書いてください							PLL 出力選 択 0 : fosc 1 : fPLL (通倍後)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R/W				R	R/W		
リセット後	0	1	1	1	0	0	1	0
機能	"0111"を書いてください				リ ー ド す る と "0" が 読 め ま す	"010"を書いてください		
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

<Bit 0><PLLSEL> : PLLにて通倍されたクロックの使用可否を選択します。リセット解除後は“fosc”選択ですので、PLLを使用する場合は設定が必要です。

<Bit 7:1> : “0001111”を書いてください

<Bit 10:8> : “010”を書いてください

<Bit 15:12> : “0111”を書いてください

6.2.2.5 システムクロックセレクトレジスタ(CGCKSEL)

	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	YSCK	YSCKFLG
Read/Write	R						R/W	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます						システム クロック選 択 0: 高速(fc) 1: 低速(fs)	システム クロック ステータス 0: 高速(fc) 1: 低速(fs)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

- <Bit 0><SYSCKFLG> : システムクロック選択の状態を示します。
 <SYSCK>にて発振器の切り替えをおこなった場合、切り替え完了には時間差が発生します。<SYSCK>で選択した発振器が<SYSCKFLG>にて読み出されれば、発振器の切り替えが完了している状態です。
- <Bit 1><SYSCK> : システムクロックを選択します。
 <SYSCK>の切り替えをおこなう場合は、使用するシステムクロックに応じて、事前にCGOSCCR<XEN1>,<XEN2>,<XTEN>を"1"に設定する必要があります。

6.3 クロック制御

6.3.1 クロック系統図

クロック系統図を図 6-1 に示します。各クロックの定義は以下のとおりです。

fosc1	: 外部高速発振器 (X1/X2 端子) より入力されるクロック
fosc2	: 内蔵発振器より入力されるクロック
fs	: 外部低速発振器 (XT1/XT2 端子) より入力されるクロック
fosc	: fosc1 または fosc2 のどちらか選択されたクロック
fpll	: PLL により逡倍 (4 逡倍) されたクロック
fc	: CGPLLSEL<PLLSEL>で選択されたクロック (高速クロック)
fgear	: CGSYSCR<GEAR2:0>で選択されたクロック
fsys	: fgear と同一クロック (システムクロック)
fperiph	: CGSYSCR<FPSEL1:0>で選択されたクロック
T0	: CGSYSCR<PRCK2:0>で選択されたクロック (プリスケーククロック)

高速クロックギア fgear と、プリスケーククロック T0 は分周することが可能です。

高速クロックギア	: fc, fc/2, fc/4, fc/8, fc/16
プリスケーククロック	: fperiph, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32

6.3.2 リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

内蔵高速発振器	: ON (発振)
外部高速発振器	: OFF (停止) X1, X2
外部低速発振器	: OFF (停止) XT1, XT2
PLL (逡倍回路)	: OFF (停止)
高速クロックギア	: fc (分周無し)

リセット動作により、全てのクロックの設定が fosc2 と同じになります。

fc	= fosc2
fsys	= fc (=fosc2)
fperiph	= fc (=fosc2)
T0	= fperiph (=fosc2)

リセット時は内蔵高速発振器(OSC2)が選択されます。

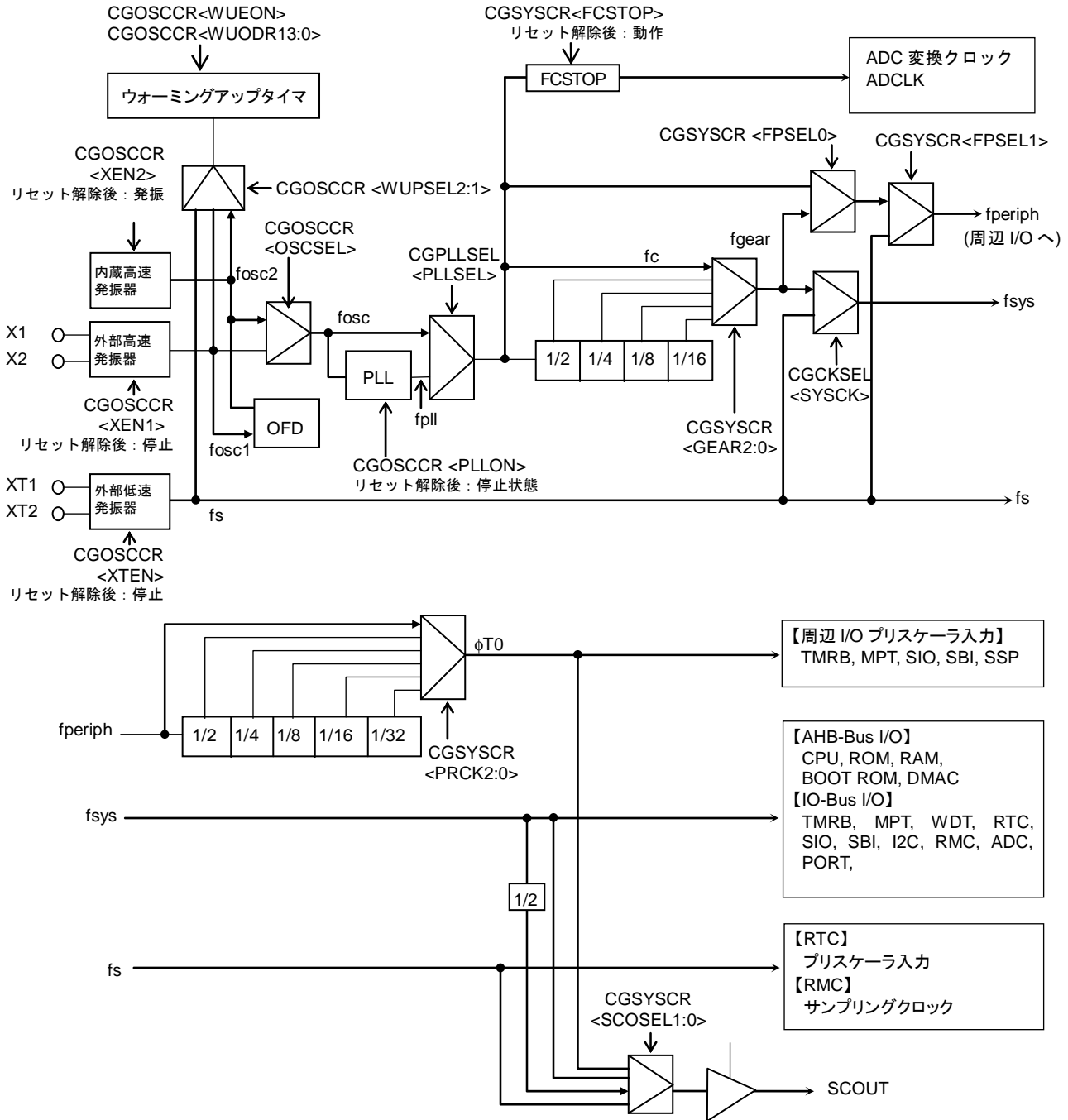


図 6-1 クロック関連ブロック図

- (注 1) セレクタに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。
- (注 2) OFD は fosc1 (外部発振器) の周波数を検知します。

6.3.3 クロック逡倍回路 (PLL)

高速発振器の出力クロック f_{osc} を 4 逡倍した f_{pll} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

PLL はリセット解除後、ディセーブル状態です。PLL を有効にするためには、CGOSCCR<PLLON>を“1”に設定します。また、PLL の動作が安定するまでの時間をウォーミングアップ機能等を用いて確保する必要があります。

(注) PLL の安定時間は、約 200 μ s です。

6.3.4 ウォーミングアップ機能

ウォーミングアップ機能は、ウォーミングアップタイマを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。

ウォーミングアップ機能はまた、STOP/SLEEP モードからの復帰の際にも使用されます。この場合には低消費電力モードからの復帰割り込みが発生すると自動的にタイマがカウントを開始し、設定された時間のカウント終了後、システムクロックが出力され CPU が動作を開始します。

STOP/SLEEP モードでは PLL がディセーブルになるため、復帰の際には発振の安定のほか、PLL の安定時間も考慮してウォーミングアップ時間を設定してください。

ウォーミングアップ機能の設定方法を説明します。

まずウォーミングアップタイマのカウントアップクロックを CGOSCCR<WUPSEL2:1>で選択します。

ウォーミングアップ時間は CGOSCCR<WUODR 13:0>により設定できます。このウォーミングアップタイマのスタートおよび終了確認は、CGOSCCR<WUEON><WUEF>を使用してソフトウェア (命令) により行います。

(注) ウォーミングアップタイマは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

以下に、ウォーミングアップ機能の設定例を示します。

<例> PLL の安定時間確保 (高速外部発振(OSC1)の場合)

CGOSCCR<WUPSEL1> = "0" : ウォーミングアップタイムクロック選択 1

CGOSCCR<WUPSEL2> = "1" : ウォーミングアップタイムクロック選択 2

CGOSCCR<WUPODR 13:0> = "ウォーミングアップ時間" / (1/fosc1) / 4

: ウォーミングアップ時間設定

CGOSCCR<WUEON> = "1" : ウォーミングアップタイム (WUP) スタート

CGOSCCR<WUEF> リード : "0" (WUP 終了) になるまでウェイト

(注) ウォーミングアップタイムのカウントアップクロックに高速発振選択時(<WUPSEL2:1> = "0*"), <WUPODR 13:0> の下位 2bit は "0" になります。

6.3.5 システムクロック

システムクロックは2種類の高速クロックと低速クロックを選択できます。2種類の高速クロックは、内蔵発振器と外部発振器のどちらかを選択して使用します。リセット解除時は内蔵発振器が有効(発振)となっており、外部発振器は停止しています。高速クロックは分周することが出来ます。

6.3.5.1 高周波クロック

- X1,X2 入力周波数 : 8MHz~10MHz
- 内蔵発振入力周波数 : 10MHz
- クロックギア : 1/1, 1/2, 1/4, 1/8, 1/16 (リセット後は 1/1 分周)

表 6-2 高速クロック範囲 (単位は MHz)

入力周波数	最小動作周波数	最大動作周波数	リセット後 (PLL=OFF, CG=1/1)	クロックギア(CG) PLL=ON時 (MHz)					クロックギア(CG) PLL=OFF時 (MHz)					
				1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16	
OSC1	8MHz	1MHz	40MHz	8MHz	32	16	8	4	2	8	4	2	1	—
	10MHz			10MHz	40	20	10	5	2.5	10	5	2.5	1.25	—
OSC2	10MHz			10MHz	40	20	10	5	2.5	10	5	2.5	1.25	—

(注1) PLL=ON/OFFはCGOSCCR<PLLON>で設定します。

(注2) クロックギア(CG)はCGSYSCR<GEAR2:0>にて設定できます。

書き込み後、実際に切り替わるまで若干の時間を要します。

(注3) PLL=OFF時、クロックギアの1/16は設定しないでください。

(注4) — : Reserved

内蔵高速発振器(OSC2)から外部高速発振器(OSC1)への切り替え手順を以下に示します。

- ①ポートMについて、PMCR/PMPUP/PMPDN/PMIE=disableとする(リセット後は、全てdisable)。
- ②CGOSCCR<WUODR13~2>にウォーミングアップ時間を設定する。
- ③CGOSCCR<HOSCON> = "1" (外部発振器使用:PM0,PM1 ⇒ X1,X2)
- ④CGOSCCR<XEN1> = "1" (外部高速発振の開始)
- ⑤CGOSCCR<WUPSEL2> = "1" (高速ウォーミングアップタイマソースクロック=外部発振)
- ⑥CGOSCCR<WUEON> = "1" (高速ウォーミングアップ開始)

その後、OSCCR<WUEF> = "1⇒0" (高速ウォーミングアップ終了)を待つ、

- ⑦CGOSCCR<OSCSEL> = "1" (外部発振器を高速発振器として選択)

なお、CGOSCCR<HOSCON> = "1" と設定したあとはポートMの全てのレジスタのアクセスが禁止されるため、ポートMの設定値を変更する事はできません。

6.3.5.2 低周波クロック

- XT1, XT2 入力周波数

表 6-3 低速クロック範囲

入力周波数範囲	最大動作周波数	最低動作周波数
30 ~ 34 (kHz)	34 kHz	30 kHz

6.3.6 プリスケーラクロック

周辺機能には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック $\phi T0$ は、CGSYSCR<FPSEL1:0>から選択されたクロック fperiph を更に CGSYSCR<PRCK2:0>の設定で分周することが可能です。リセット後の $\phi T0$ は fperiph が選択されます。

(注) クロックギアを使用する場合、周辺 I/O の各ブロックのプリスケーラ出力 ϕTn は、 $\phi Tn < f_{sys}$ を満足するように時間設定 (Tn が f_{sys} よりも遅くなるように) してください。また、タイマカウンタなどの周辺 I/O 動作中にクロックギアを切り替えないようにしてください。

6.3.7 システムクロックの端子出力機能

本製品には、システムクロックの端子出力機能があります。出力可能なクロックとして、低速クロック fs、システムクロックの 2 分周 fsys/2、システムクロック fsys、プリスケーラクロック T0 を PA1/SCOUT 端子から出力できます。ポート A 関連レジスタ PACR<PA1C>= “1”, PAFR1<PA1F1>= “1” に設定することにより、PA1/SCOUT 端子は SCOUT 出力端子になります。出力クロックの選択は CGSYSCR<SCOSEL1:0>によって設定します。

表 6-4 に SCOUT 端子を SCOUT 出力に設定した場合のモード別端子状態を示します。

表 6-4 モード別 SCOUT 出力状態

SCOUT 選択 CGSYSCR	モード	NORMAL	SLOW	低消費電力モード		
				IDLE	SLEEP	STOP
<SCOSEL1:0>= “00”		fs クロックを出力します				
<SCOSEL1:0>= “01”		fsys/2 クロックを出力します				
<SCOSEL1:0>= “10”		fsys クロックを出力します				
<SCOSEL1:0>= “11”		T0 クロックを出力します				“0” または “1” に固定されます

(注) SCOUT から出力されるシステムクロックは、内部クロックとの位相差 (AC タイミング) は保証できません。

6.4 モードとモード遷移

6.4.1 モード状態遷移

動作モードとして、システムクロックに高速クロックを使用する場合と低速クロックを使用する場合があります、それぞれを **NORMAL** モード、**SLOW** モードと呼びます。

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、**IDLE** モード、**SLEEP** モード、**STOP** モードがあります。

低速クロックを使用しない場合は **SLOW**/ **SLEEP** モードは使用できません。

図 6-2 に状態遷移図を示します。

Sleep-on-exit については、“Cortex-M3 テクニカルリファレンスマニュアル”を参照してください。

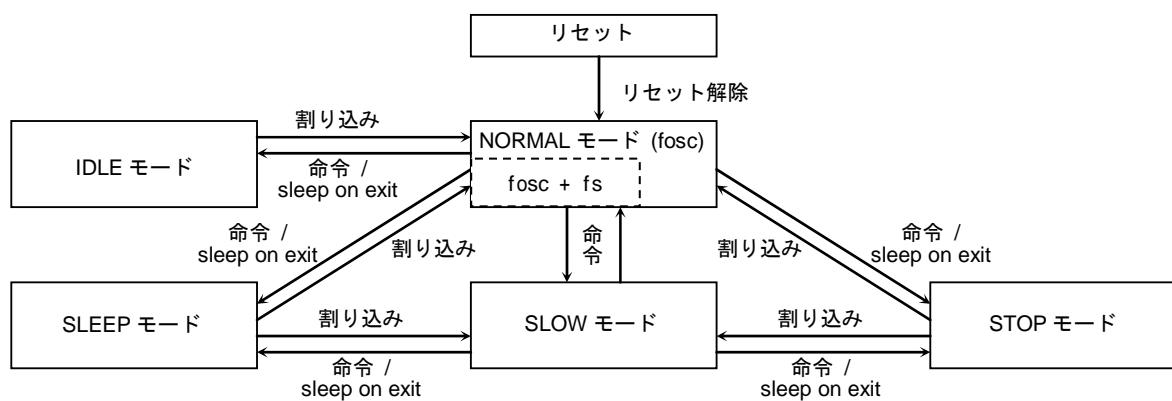


図 6-2 モード状態遷移図

6.5 動作モード

動作モードにはNORMALモードとSLOWモードがあります。NORMAL, SLOWモードの特長は次の通りです。

6.5.1 NORMALモード

CPUコアおよび周辺ハードウェアを高速クロックで動作させるモードです。リセット解除後は、NORMALモードになります。低速クロックを動作させることも可能です。

6.5.2 SLOWモード

高速クロックを停止させ、CPUコア、周辺ハードウェアを低速クロックで動作させるモードです。NORMALモードに比べ消費電力を低減することができます。

SLOWモードでは動作可能な周辺機能が限られます。使用できる周辺機能は、I/Oポート、リアルタイムクロック(RTC)、タイマ(TMRB、MPT(TMRBモード))、リモコン判定機能です。

(注1) CPU、リアルタイムクロック(RTC)、I/Oポート、タイマ(TMRB、MPT(TMRBモード))、リモコン判定機能以外の内蔵周辺機能はSLOWモードへ遷移する前に停止してください。

(注2) SLOWモードでは、Cortex-M3コアのNVICレジスタのアプリケーション割り込みおよびリセットレジスタ<SYSRESETREQ>によるリセットは使用しないでください。

6.5.3 低消費電力モード

低消費電力モードには、IDLE, SLEEP, STOPモードがあります。低消費電力モードに移行するには、システムコントロールレジスタCGSTBYCR<STBY2:0>にてモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は例外の章の割り込みを参照してください。

(注1) 本製品ではイベントによる復帰はサポートしていないため、WFE(Wait For Event)による低消費電力モードへの移行は行わないでください。

(注2) 本製品は、Cortex-M3コアのSLEEPDEEPによる低消費電力モードはサポートしていません。システム制御レジスタのSLEEPDEEPビットは設定しないでください。

IDLE, SLEEP, STOPモードの特長は次の通りです。

6.5.4 IDLEモード

CPUのみ停止するモードです。周辺機能は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを1ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移した時の状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16ビットタイマ/イベントカウンタ (TMRB)
- 16ビット多目的タイマ(PMD 動作を除く)
- シリアルチャネル (SIO)
- シリアルバスインタフェース (SBI)
- ADコンバータ(ADC)
- ウォッチドッグタイマ (WDT)
- PLL

6.5.5 SLEEPモード

内部低速発振器と RTC、リモコン判定機能が動作します。

SLEEP モードが解除されると、SLEEP モードへ移行する直前の動作モードへ復帰し、動作を開始します。

(注) PB4 がデバッグインタフェース設定の場合、十分な低消費電力効果が得られません。デバッグ機能を使用しないときは、PB4 をポート設定にしてください。

6.5.6 STOPモード

STOP モードでは、内蔵発振器も含めてすべての内部回路が停止します。

STOP モードが解除されると、STOP モードへ移行する直前の動作モードへ復帰し、動作を開始します。

STOPモードでは、CGSTBYCR<DRVE>の設定により端子の状態を設定することができます。STOPモード時の端子状態を表 6-5 に示します。

(注) PB4 がデバッグインタフェース設定の場合、十分な低消費電力効果が得られません。デバッグ機能を使用しないときは、PB4 をポート設定にしてください。

表 6-5 STOP モード時の端子状態

機能	ピン名称	入力/出力	<DRVE>=0	<DRVE>=1	
制御端子	RESET, MODE	入力	○	○	
発振器 (PxIE<n>=0) (PxCR<n>=0)	X1, XT1	入力	×	×	
	X2, XT2	出力	“H”レベル出力	“H”レベル出力	
汎用ポート (PxFR<n>=0)	Pxn	入力	×	(PxIE<n>)に従う	
		出力	×	(PxCR<n>)に従う	
兼用機能選択時 (PxFR<n>=1)	デバッグ インタフェース	TMS/SWDIO	入力	×	(PxIE<n>)に従う
		TDO/SWV	出力	●	●
	外部割込み	INTx	入力	(PxIE<n>)に従う	(PxIE<n>)に従う
	SSP	SPxCLK, SPxFSS, SPxD0	出力	×	●
	MPT <IGBTモード>	GEMGx, MTxIN	入力	×	(PxIE<n>)に従う
		MTOUT0x, MTOUT1x	出力	●	●
	MPT <PMDモード>	EMGx	入力	×	(PxIE<n>)に従う
		U0x, V0x, W0x, X0x, Y0x, Z0x	出力	●	●
	他の機能		入力	×	(PxIE<n>)に従う
			出力	×	(PxCR<n>)に従う

○： 入力または出力がイネーブルであることを示します。

×

： 選択した兼用機能の OE 信号(内部)がイネーブルかつ(PxCR<n>=1)の場合に出力します。

n： ビット番号

6.5.7 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY2:0>の設定で選択されます。

表 6-6 に<STBY2:0>の設定より選択されるモードを示します。

表 6-6 低消費電力モードと設定

モード	CGSTBYCR <STBY2:0>
STOP	001
SLEEP	010
IDLE	011

(注) 上記の設定以外は行わないでください。

6.5.8 各モードにおける動作状態

各モードにおける動作状態を表 6-7 に示します。

IOポートについては「○」は入出力の有効、「×」は無効を、その他の機能については「○」はクロックが供給されていることを、「×」は供給されていないことを示します。

表 6-7 各動作モードにおける動作状態

ブロック	NORMAL	SLOW	IDLE	SLEEP	STOP
プロセッサコア			×	×	×
IOポート					(注3)
SSP		×(注1)	×	×	×
ADC		×(注1)	モジュール ごとに動作/ 停止選択可 能	×	×
SIO		×(注1)		×(注1)	×(注1)
SBI		×(注1)		×(注1)	×(注1)
WDT		×(注1)		×(注1)	×(注1)
TMRB				×(注1)	×(注1)
MPT(TMRB)				×(注1)	×(注1)
MPT(IGBT)		×(注1)		×	×
MPT(PMD)		×(注1)		×	×
RMC					×
RTC					×
CG					×
PLL		×		×	×
OFD	(注4)	×	(注4)	×	×
高速発振器 1 (fosc1)		×(注2)		×	×
高速発振器 2 (fosc2)		×(注2)		×	×
低速発振器 (fs)					×

: 動作 × : 停止

- (注1) SLOW モードでは ADC, SIO, SBI, SSP, MPT(IGBT, PMD), WDT は使用できないので停止してください。
- (注2) NORMAL モードから SLOW モードに移行した場合、高速発振器（外部：OSC1，内蔵：OSC2）は自動では発振停止しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振停止してください。SLOW モードから NORMAL モードに移行する前に、高速発振器（外部：OSC1，内蔵：OSC2）は自動では発振開始しないため、CGOSCCR<XEN1>または<XEN2>を設定して発振開始してください。
- (注3) CGSYSCR<DRVE>ビットの設定によります。
- (注4) 高速発振に fosc2（内蔵発振器）を選択した場合、OFD は使えません。

6.5.9 低消費電力モードの解除

低消費電力モードからの解除は、割り込み、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。詳細を 低消費電力モード に示します。

表 6-8 解除ソースと解除可能なモード

低消費電力モード		IDLE	SLEEP	STOP	
解除 ソース	割り 込み	INT0~INTF (注1)			
		INTRTC			×
		INTRMCRX			×
		INTSSP0,1	×	×	×
		INTSBI0,1		×	×
		INTRX0~4/ INTTX0~4		×	×
		INTADPD0,1/ INTADCP0,1		×	×
		INTADTMR/ INTADSFT		×	×
		INTPMD0,1/ INTEMG0,1		×	×
		INTMTTB00~02		×	×
		INTMTTB10~12		×	×
		INTMTCAP00~20/ 01~21		×	×
		INTMTEMG0,1,2		×	×
		INTTB00~70/ 01~71		×	×
		INTCAP00~70/ 01~71		×	×
		INTENC0,1		×	×
INTDMACERR/ INTDMACTC		×	×		
NMI (INTWDT)			×	×	
NMI (INTVLTD)					
RESET					

： 解除後、割り込み処理を開始します (RESET は LSI を初期化します)。

×： 解除に使用できません。

(注1) レベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前にレベルを変化させた場合は、正しい割り込み処理を開始できません。

(注2) 低消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していないと復帰要因以外の割り込みで解除が行われる場合があります。

割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP モードの解除に使用する割り込みは、CPU の設定のほか、クロックジェネレータで割り込み検出の設定を行う必要があります。

NMI による解除

NMI の要因には、WDT 割り込み (INTWDT) と VLTD 割り込み (INTVLTD) があります。INTWDT は IDLE モードでのみ使用可能です。

リセットによる解除

RESET 端子によるリセットですべての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードで全てのレジスタが初期化された状態になります。

割り込みの詳細に関しては 『例外 (割り込み)』 参照してください。

6.5.10 ウォーミングアップ

モード遷移の際には発振の安定のためウォーミングアップが必要です。

STOP モードから NORMAL/SLOW モードへの遷移および、SLEEP モードから NORMAL モードへの遷移では、自動的にウォーミングアップ用カウンタが起動され、設定されているウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP/SLEEP モードに移行する命令を実行する前に CGOCCCR<WUPSEL2:1>でウォーミングアップする発振器の選択および、<WUODR13:0>でウォーミングアップ時間の設定を行ってください。

(注) STOP/SLEEP モードでは PLL がディセーブルになるため、復帰の際には発振の安定のほか、PLL の安定時間も考慮してウォーミングアップ時間を設定してください。
PLL の安定時間は、約 200 μ s です。

NORMAL モードから SLOW/SLEEP モードの遷移の場合、低速クロックがディセーブルの状態であれば低速クロックをイネーブルにした上で発振器の安定のためのウォーミングアップが必要になります。この場合、ソフトウェアでウォーミングアップを起動してください。

同様に、SLOW モードから NORMAL モードの遷移の場合で高速クロックがディセーブルの場合、高速クロックをイネーブルにし、ウォーミングアップを起動してください。

各動作モード遷移時におけるウォーミングアップ有無を表 6-9 に示します。

表 6-9 各動作モード遷移時のウォーミングアップ

動作モード遷移	ウォーミングアップ
NORMAL IDLE	不要
NORMAL SLEEP	(注1)
NORMAL SLOW	(注1)
NORMAL STOP	不要
IDLE NORMAL	不要
SLEEP NORMAL	自動ウォーミングアップ
SLEEP SLOW	不要
SLOW NORMAL	(注2)
SLOW SLEEP	不要
SLOW STOP	不要
STOP NORMAL	自動ウォーミングアップ
STOP SLOW	自動ウォーミングアップ

(注1) 低速クロックがディセーブルの場合、イネーブルにした上でソフトウェアでウォーミングアップを起動する必要があります。

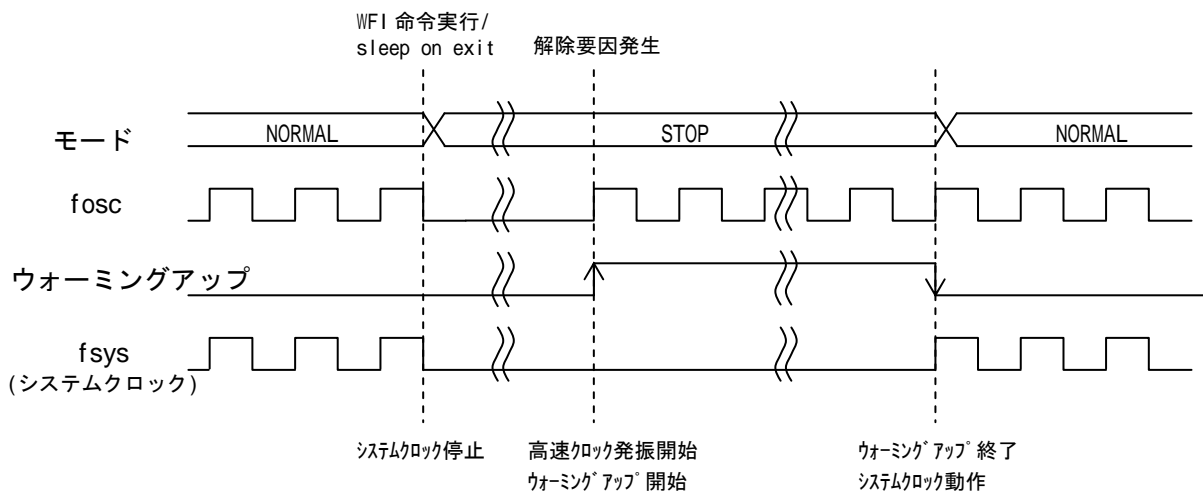
(注2) 高速クロックがディセーブルの場合、イネーブルにした上でソフトウェアでウォーミングアップを起動する必要があります。

6.5.11 モード遷移によるクロック動作

モード遷移の際の、クロック動作について 6.5.11.1~6.5.11.4 に示します。

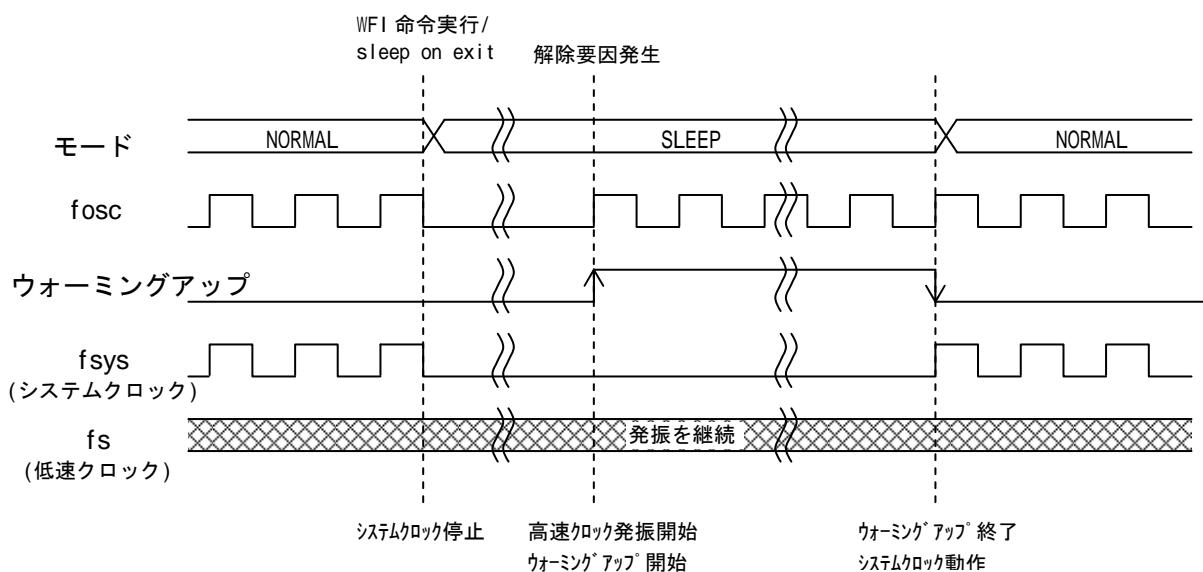
6.5.11.1 NORMAL STOP NORMAL動作モード遷移

STOP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP モードへ遷移する前にウォーミングアップ時間の設定と CGOSCCR<OSCSSEL>で選択したクロックとウォーミングアップタイマのクロックが同じクロックになるように設定を行ってください。



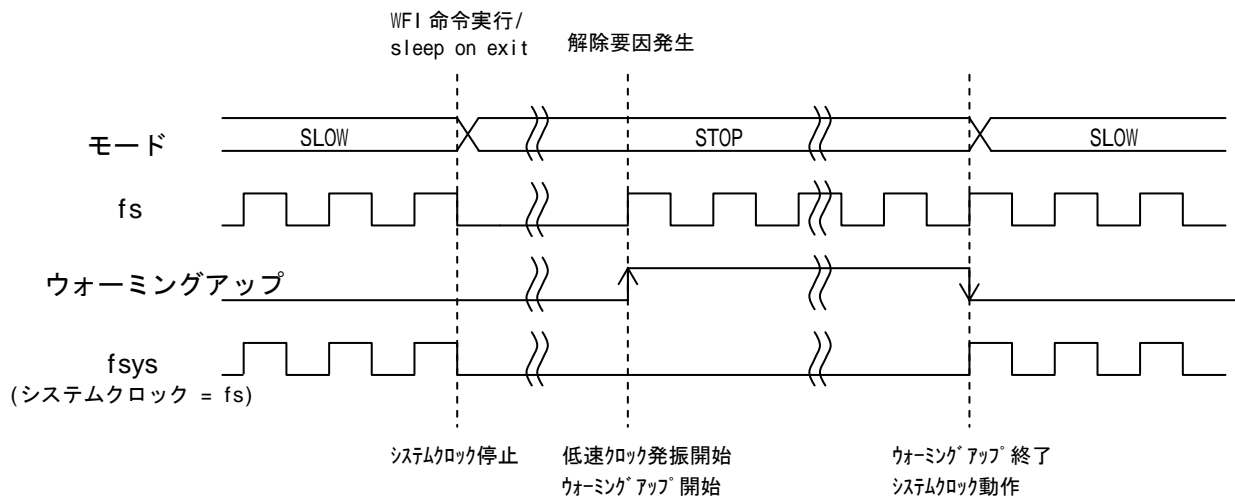
6.5.11.2 NORMAL SLEEP NORMAL動作モード遷移

SLEEP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。SLEEP モードへ遷移する前にウォーミングアップ時間の設定と CGOSCCR<OSCSSEL>で選択したクロックとウォーミングアップタイマのクロックが同じクロックになるように設定を行ってください。



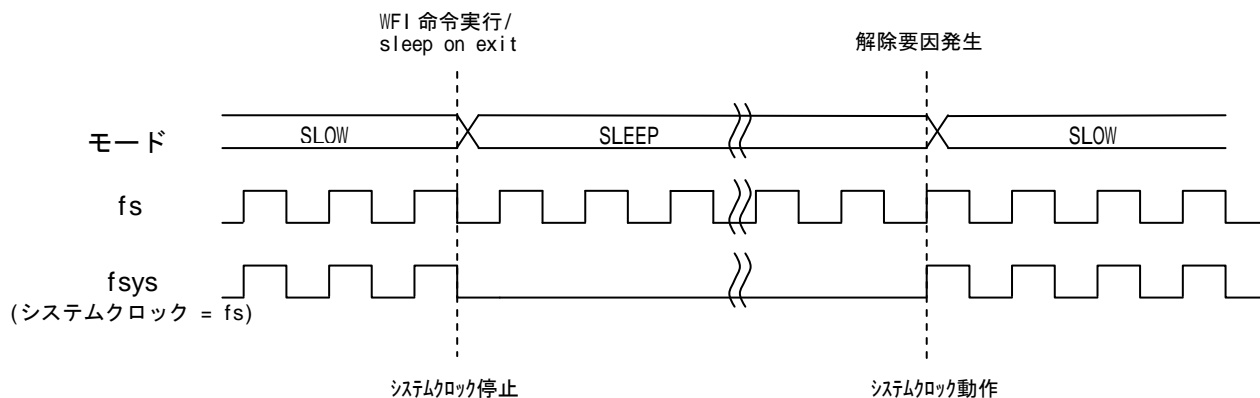
6.5.11.3 SLOW STOP SLOW動作モード遷移

ウォーミングアップは自動的に起動します。STOP モードへ遷移する前にウォーミングアップ時間の設定を行ってください。



6.5.11.4 SLOW SLEEP SLOW動作モード遷移

低速クロックは SLEEP モード中も継続して発振しているため、ウォーミングアップの必要はありません。



7 例外

本章では、例外の特徴、種類、処理について概略を説明します。

例外は CPU のアーキテクチャと深くかかわる部分ですので、必要に応じて **Cortex-M3** テクニカルリファレンスマニュアルもご覧ください。

7.1 概要

例外は CPU に対し現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや例外を発生する命令を実行したときに発生するものと、外部端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

全ての例外は優先度にしたがって CPU 内にあるネスト型ベクタ割り込みコントローラ (NVIC) によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。



7.1.1 種類

例外には以下のようなものがあります。



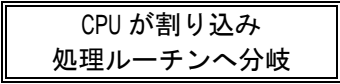
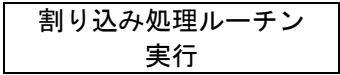
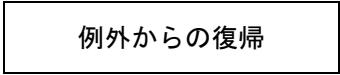
それぞれの例外の詳細な内容は、“**Cortex-M3** テクニカルリファレンスマニュアル” をご覧ください。

- リセット
- マスク不能割り込み (NMI)
- ハードフォールト
- メモリ管理
- バスフォールト
- 用法フォールト
- SVCaII (スーパーバイザコール)
- デバッグモニタ
- PendSV
- SysTick
- 外部割り込み

7.1.2 処理の流れ

例外／割り込みの処理の流れの概略を以下に示します。以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の章で説明します。

処理	内容	説明
 CG/CPU が例外を検出	CG/CPU が例外要求を検出します。	7.1.2.1章
 CPU が例外を処理	CPU が例外処理を行います。	7.1.2.2章
 CPU が割り込み処理ルーチンへ分岐	検出した例外に応じた割り込み処理ルーチンへ分岐します。	
 割り込み処理ルーチン実行	必要な処理を行います。	7.1.2.3章
 例外からの復帰	別の割り込み処理ルーチンまたはもとのプログラムに復帰します。	7.1.2.4章

7.1.2.1 例外要求と検出

(1) 例外要求の発生

例外は、CPU の命令実行、メモリアクセス、外部割込み端子や周辺機能からの割り込み要求などにより発生します。

CPU の命令実行による例外の要求は、例外を発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

外部割込みは、外部割込み端子からの信号入力や周辺機能から発生します。スタンバイ解除に使用する割り込みの場合、クロックジェネレータの設定も必要になります。詳細は「7.5 割り込み」の項で説明します。

(2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度にしたがって最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。“構成可能”と記載された例外は、優先度を設定することができます。また、メモリ管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 7-1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	リセット端子、WDT、POR、SYSRESETREQ
2	マスク不能割り込み	-2	WDT、VLTD
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリ管理	構成可能	MPU(メモリ保護ユニット)からの例外 (注1) 実行不可(XN)(Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリマップの Hard Fault 領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7-10	予約		
11	SVCa11	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニタ	構成可能	コアがフォールト中でないときのデバッグモニタ
13	予約		
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマからの通知
16-	外部割り込み	構成可能	外部割り込み端子や周辺機能 (注2)

(注1) 本製品は MPU を搭載していません。

(注2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「7.5.1.4 要因一覧」を参照してください。

(3) 優先度の設定

外部割り込みの優先度は、割り込み優先度レジスタで、それ以外の例外はシステムハンドラ優先度レジスタで設定します。

優先度レジスタは、構成を変更することが可能になっており、優先度設定のためのビット数は製品により 3 ビット～8 ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8 ビットの構成の場合、優先度は 0～255 のレベルを設定できます。最も高い優先度は 0 です。

複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

(注) 本製品では、割り込み優先度レジスタとシステムハンドラ優先度レジスタの優先度設定領域は 3 ビットの構成になっています。

7.1.2.2 例外の処理と割り込み処理ルーチンへの分岐（横取り）

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を“横取り”と呼びます。

（１）レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- プログラムカウンタ（PC）
- プログラムステータスレジスタ（xPSR）
- r0 ～ r3
- r12
- リンクレジスタ（LR）

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。

前の SP	以前の内容
	xPSR
	PC
	LR
	r12
	r3
	r2
	r1
SP	r0

（２）割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクタテーブルに準備しておきます。ベクタテーブルはリセット後、コード領域の 0x0000_0000 番地に置かれます。ベクタテーブルは、ベクタテーブルオフセットレジスタを設定することでコード空間または SRAM 空間の任意のアドレスに置くことができます。

ベクタテーブルにはまた、メインスタックの初期値を設定します。

(3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPU は優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPU は新たに検出された例外の割り込み処理ルーチンのフェッチを改めて行い、分岐しますが、再度レジスタの内容を退避することはありません。

(4) ベクタテーブルの構成

ベクタテーブルの構成は以下のとおりです。

最初の4ワード（スタックの先頭アドレス、リセット、NMI、ハードフォールトの割り込み処理ルーチンアドレス）は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

オフセット	例外	内容	備考
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリ管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約		
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニタ	割り込み処理ルーチンアドレス	任意
0x34	予約		
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

7.1.2.3 割り込み処理ルーチンの実行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「7.5 割り込み」の項で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPUは現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

7.1.2.4 例外からの復帰

(1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン

保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。

このとき、スタックの退避と復帰は省略されます。この動作をテールチェインと呼びます。

- 処理が中断されている割り込み処理ルーチンへ復帰

保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。

- 元のプログラムへ復帰

保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

(2) 復帰処理

CPUは、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスタの復帰

退避していた8つのレジスタ（PC、xPSR、r0～r3、r12、LR）を復帰しSPを調整します。

- 割り込み番号のロード

退避していたxPSRから現在有効な割り込み番号をロードします。この割り込み番号によってCPUはどの割り込みに復帰するかを制御します。

- SP の選択

例外（ハンドラモード）へ復帰する場合、SP は SP_main です。スレッドモードへ復帰する場合、SP は SP_main または SP_process です。

7.2 リセット例外

リセット例外には、以下の 3 種類の要因があります。

リセットの要因を確認するためには、クロックジェネレータレジスタのリセットフラグレジスタ (CGRSTFLG) を参照してください。

・外部リセット端子

外部リセット端子を“L”にしたのち、“H”にすることによりリセット例外が発生します。

・POR によるリセット例外

POR にリセットを発生する機能があります。詳細は POR の章をご覧ください。

・WDT によるリセット例外

WDT にリセットを発生する機能があります。詳細は WDT の章をご覧ください。

・OFD によるリセット例外

OFD にリセットを発生する機能があります。詳細は OFD の章をご覧ください。

・SYSRESETREQ によるリセット例外

NVIC レジスタの、アプリケーション割り込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることで、リセットを発生させることができます。

7.3 マスク不能割り込み (NMI)

マスク不能割り込みには、以下の 2 種類の要因があります。

マスク不能割り込みの要因を確認するためには、クロックジェネレータレジスタの NMI フラグレジスタ (CGNMIFLG) を参照してください。

・WDT によるマスク不能割り込み

WDT にマスク不能割り込みを発生する機能があります。詳細は WDT の章をご覧ください。

・VLTD によるマスク不能割り込み

VLTD にマスク不能割り込みを発生する機能があります。詳細は VLTD の章をご覧ください。

7.4 SysTick

SysTick は、CPU の持つシステムタイマを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能をイネーブルにすると、リロード値レジスタに設定された値が SysTick タイマへロードされカウントダウンを開始します。タイマが“0”に到達すると SysTick 例外が発生します。また、例外を保留しフラグでタイマが“0”に到達したことを確認することもできます。

SysTick 較正值レジスタには、システムタイマで 10ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正值レジスタに設定されている値も異なります。

(注) 本製品では、システムタイマのカウントクロックとして X1 端子または内蔵発振回路から入力されるクロックを 32 分周したクロックが使用されます。
較正值レジスタには、X1 から 8MHz のクロックを入力した場合に 10ms を計測可能な値 (0x9C4) が設定されています。10MHz のクロックを入力した場合にはリロードレジスタの設定値を 0xC35 に変更すると 10ms を計測することができます。

7.5 割り込み

この章では、割り込みの伝わる経路、要因、必要な設定について説明します。

割り込みは、割り込み要因ごとの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

スタンバイ解除に使用する割り込み要因は、クロックジェネレータを経由して割り込みコントローラに要因が伝わるため、クロックジェネレータの設定も必要です。

7.5.1 要因

7.5.1.1 経路

割り込み要求の経路を図 7-1 に示します。

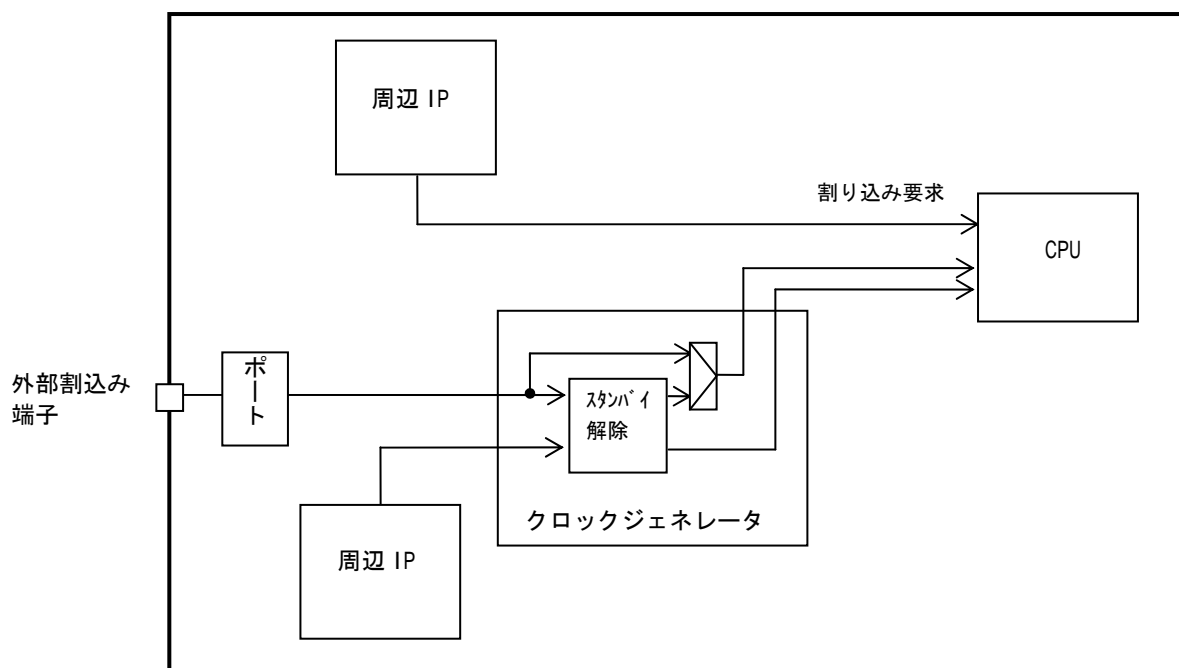


図 7-1 割り込みの経路

7.5.1.2 割り込み要因の発生

割り込み要求は、割り込み要因に割り当てられた外部端子、周辺 IP から発生します。

・外部端子からの割り込み

外部割り込み端子を使用する場合、ポートの制御レジスタで端子を割り込み機能に設定します。

・周辺 IP の割り込み

周辺 IP の割り込みを使用する場合、使用する周辺 IP で割り込みが出力されるよう設定する必要があります。

詳細は各周辺 IP の章をご覧ください。

7.5.1.3 割り込み要因の伝達

外部端子／周辺 IP から発生した割り込み要求のうち、スタンバイ解除要因にならないものは直接 CPU に接続されます。

スタンバイ解除要因として使用できる割り込みは、クロックジェネレータを経由して割り込みコントローラに接続されるため、クロックジェネレータの設定が必要です。ただし、外部割り込みについてはスタンバイ解除要因として使用しない場合はクロックジェネレータの設定なしで使用することもできます。

7.5.1.4 要因一覧

割り込みの要因一覧を表 7-2に示します。

表 7-2 ハードウェア割り込み要因一覧(1/2)

INT 番号	要因	アクティブレベル (スタンバイ解除時)	CG 割り込みモード コントロールレジスタ		
0	INT0	割り込み端子 (PH0/AIN0/INT0)	IMCGA		
1	INT1	割り込み端子 (PH1/AIN1/INT1)			
2	INT2	割り込み端子 (PH2/AIN2/INT2)			
3	INT3	割り込み端子 (PA0/TB0IN/INT3)			
4	INT4	割り込み端子 (PA2/TB1IN/INT4)			
5	INT5	割り込み端子 (PE4/TB2IN/INT5)			
6	INTRX0	シリアル受信 (channel.0)			
7	INTTX0	シリアル送信 (channel.0)			
8	INTRX1	シリアル受信 (channel.1)			
9	INTTX1	シリアル送信 (channel.1)			
10	INTSSP0	同期式シリアルインターフェース 0			
11	INTSSP1	同期式シリアルインターフェース 1 (注 1)			
12	INTEMG0	PMD0 EMG 割り込み			
13	INTEMG1	PMD1 EMG 割り込み (注 1)			
14	INTSB10	シリアルバスインターフェース 0			
15	INTSB11	シリアルバスインターフェース 1 (注 1)			
16	INTADPD0	ADC PMD0 トリガ同期変換終了			
17	INTRTC	時計タイマ		「↓」エッジ	IMCGE
18	INTADPD1	ADC PMD1 トリガ同期変換終了			
19	INTRMCRX	リモコン受信		「↑」/エッジ	IMCGE
20	INTTB00	16bitTMRB0 コンペアー致 0/オーバーフロー			
21	INTTB01	16bitTMRB0 コンペアー致 1			
22	INTTB10	16bitTMRB1 コンペアー致 0/オーバーフロー			
23	INTTB11	16bitTMRB1 コンペアー致 1			
24	INTTB40	16bitTMRB4 コンペアー致 0/オーバーフロー			
25	INTTB41	16bitTMRB4 コンペアー致 1			
26	INTTB50	16bitTMRB5 コンペアー致 0/オーバーフロー			
27	INTTB51	16bitTMRB5 コンペアー致 1			
28	INTPMD0	PMD0 PWM 割り込み			
29	INTPMD1	PMD1 PWM 割り込み (注 1)			
30	INTCAP00	16bitTMRB0 インプットキャプチャ 0			
31	INTCAP01	16bitTMRB0 インプットキャプチャ 1			
32	INTCAP10	16bitTMRB1 インプットキャプチャ 0			
33	INTCAP11	16bitTMRB1 インプットキャプチャ 1			
34	INTCAP40	16bitTMRB4 インプットキャプチャ 0			
35	INTCAP41	16bitTMRB4 インプットキャプチャ 1			
36	INTCAP50	16bitTMRB5 インプットキャプチャ 0			
37	INTCAP51	16bitTMRB5 インプットキャプチャ 1			
38	INT6 端子	割り込み端子 (PE6/TB3IN/INT6) (注 1)	「H」/「L」レベル	IMCGB	
39	INT7 端子	割り込み端子 (PE7/TB3OUT/INT7) (注 1)	「↑」/「↓」エッジ 選択可		
40	INTRX2	シリアル受信 (channel.2) (注 1)			
41	INTTX2	シリアル送信 (channel.2) (注 1)			
42	INTADCP0	ADC 監視割り込み 0			
43	INTADCP1	ADC 監視割り込み 1			
44	INTRX4	シリアル受信 (channel.4) (注 1)			
45	INTTX4	シリアル送信 (channel.4) (注 1)			

表 7-2 ハードウェア割り込み要因一覧(2/2)

番号	要因	アクティブレベル (スタンバイ解除時)	CG 割り込みモード コントロールレジスタ	
46	INTTB20	16bitTMRB2 コンペアー一致 0/オーバーフロー		
47	INTTB21	16bitTMRB2 コンペアー一致 1		
48	INTTB30	16bitTMRB3 コンペアー一致 0/オーバーフロー		
49	INTTB31	16bitTMRB3 コンペアー一致 1		
50	INTCAP20	16bitTMRB2 インพุットキャプチャ 0		
51	INTCAP21	16bitTMRB2 インพุットキャプチャ 1		
52	INTCAP30	16bitTMRB3 インพุットキャプチャ 0		
53	INTCAP31	16bitTMRB3 インพุットキャプチャ 1		
54	INTADSFT	ADC ソフトスタート変換終了		
55	予約	予約		
56	INTADTMR	ADC タイマ同期変換終了		
57	予約	予約		
58	INT8	割り込み端子 (PA7/TB4IN/INT8)	「H」/「L」レベル 「↑」/「↓」エッジ 選択可	IMCGC
59	INT9	割り込み端子 (PD3/INT9) (注 1)		
60	INTA	割り込み端子 (PJ6/AIN6/INTA) (注 1)		
61	INTB	割り込み端子 (PJ7/AIN7/INTB) (注 1)		
62	INTENC0	エンコーダ入力 0 割り込み (注 1)		
63	INTENC1	エンコーダ入力 1 割り込み (注 1)		
64	INTRX3	シリアル受信 (channel.3) (注 1)		
65	INTTX3	シリアル送信 (channel.3) (注 1)		
66	INTTB60	16bitTMRB6 コンペアー一致 0/オーバーフロー		
67	INTTB61	16bitTMRB6 コンペアー一致 1		
68	INTTB70	16bitTMRB7 コンペアー一致 0/オーバーフロー		
69	INTTB71	16bitTMRB7 コンペアー一致 1		
70	INTCAP60	16bitTMRB6 インพุットキャプチャ 0		
71	INTCAP61	16bitTMRB6 インพุットキャプチャ 1		
72	INTCAP70	16bitTMRB7 インพุットキャプチャ 0		
73	INTCAP71	16bitTMRB7 インพุットキャプチャ 1		
74	INTC	割り込み端子 (PD0/ENCA0/TB5IN/INTC) (注 1)	「H」/「L」レベル 「↑」/「↓」エッジ 選択可	IMCGD
75	INTD	割り込み端子 (PD2/ENCZ0/INTE) (注 1)		
76	INTE	割り込み端子 (PN2/MT2IN/INTE) (注 1)		
77	INTF	割り込み端子 (PL2/INTF)		
78	INTDMACERR	DMA 転送エラー割り込み		
79	INTDMACTC	DMA 転送終了割り込み		
80	INTMTTB00	16-bit MPT0 コンペアー一致 0/オーバーフロー、 IGBT 周期割り込み		
81	INTMTTB01	16-bit MPT0 コンペアー一致 1、 IGBT トリガスタート割り込み		
82	INTMTTB10	16-bit MPT1 コンペアー一致 0/オーバーフロー、 IGBT 周期割り込み (注 1)		
83	INTMTTB11	16-bit MPT1 コンペアー一致 1、 IGBT トリガスタート割り込み (注 1)		
84	INTMTTB20	16-bit MPT2 コンペアー一致 0/オーバーフロー、 IGBT 周期割り込み (注 1)		
85	INTMTTB21	16-bit MPT2 コンペアー一致 1、 IGBT トリガスタート割り込み (注 1)		
86	INTMTCAP00	16-bit MPT0 インพุットキャプチャ 0		
87	INTMTCAP01	16-bit MPT0 インพุットキャプチャ 1		
88	INTMTCAP10	16-bit MPT1 インพุットキャプチャ 0 (注 1)		
89	INTMTCAP11	16-bit MPT1 インพุットキャプチャ 1 (注 1)		
90	INTMTCAP20	16-bit MPT2 インพุットキャプチャ 0 (注 1)		
91	INTMTCAP21	16-bit MPT2 インพุットキャプチャ 1 (注 1)		
92	INTMTEMGO	16-bit MPT0 EMG 割り込み		

93	INTMTEMG1	16-bit MPT1 EMG 割り込み (注1)		
94	INTMTEMG2	16-bit MPT2 EMG 割り込み (注1)		

(注1) TMPM382 にはこの割り込みはありません。

7.5.1.5 アクティブレベル

アクティブレベルはどのような信号変化を割り込み要因と見なすかを示しています。CPU は割り込み信号が「L」から「H」に変化することで割り込み要因とみなします。各種 IP から CPU へ直接割り込み信号が伝わるものは、割り込み要求として「H」パルスを出力するようになっています。

スタンバイ解除要因となる割り込みについては、外部割り込み端子からの割り込み要求のみです。クロックジェネレータに設定するアクティブレベルは、「H」レベル、「L」レベル、立ち上がり（「↑」）エッジ、立ち下がり（「↓」）エッジから選ぶことができます。

スタンバイ解除要因となる割り込みを使用するときにはクロックジェネレータレジスタの CGIMCGx<INTEN>ビットを有効にし、CGIMCGx<EMCG2:0>ビットにアクティブレベルを設定します。

クロックジェネレータで検出された割り込みは、「H」レベル信号で CPU に通知されます。

外部割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合には、クロックジェネレータの設定をせずに使用することも可能です。ただし、CPU が割り込み要因として検出するためには、「H」パルスまたは「H」レベルの信号を入力する必要があります。

7.5.2 処理詳細

7.5.2.1 処理の流れ

割り込みの処理の流れを以下に示します。

以下の説明で、 はハードウェアによる処理を、 はソフトウェアによる処理を示しています。

処理	内容	説明
<div style="border: 1px solid black; padding: 5px; margin-bottom: 5px;">検出のための準備</div> <div style="border: 1px solid black; padding: 5px;">要因発生のための準備</div>	<p>割り込みを検出するための設定を、CPU レジスタで行います。スタンバイ解除要因となる割り込みは、クロックジェネレータの設定も必要です。</p> <ul style="list-style-type: none"> ○共通 <ul style="list-style-type: none"> CPU レジスタの設定 ○スタンバイ解除の設定 <ul style="list-style-type: none"> クロックジェネレータの設定 <p>割り込み要因発生のための設定を行います。割り込みの種類により設定内容が異なります。</p> <ul style="list-style-type: none"> ○外部割り込み <ul style="list-style-type: none"> ポートの設定 ○各 IP からの割り込み <ul style="list-style-type: none"> 各 IP の設定（使用する IP の章を参照ください） 	<div style="border: 1px solid black; padding: 5px; width: 80px; margin: 0 auto;">7.5.2.2 準備</div>
<div style="border: 1px dashed black; padding: 5px; width: 150px; margin: 0 auto;">ハードウェア割り込み 要因の発生</div>	<p>ハードウェア割り込みの要因が発生します</p>	
<div style="border: 1px solid black; padding: 5px; margin-bottom: 5px;">スタンバイ解除 要因以外</div> <div style="border: 1px solid black; padding: 5px; margin-bottom: 5px;">スタンバイ解除 要因</div> <div style="border: 1px solid black; padding: 5px;">CG がハードウェア 割り込みを検出 (スタンバイ解除要因)</div>	<p>スタンバイ解除要因となる割り込みは、クロックジェネレータを経由して CPU に接続されています。</p>	<div style="border: 1px solid black; padding: 5px; width: 80px; margin: 0 auto;">7.5.2.3 検出 (CG)</div>

処理	内容	説明
<p style="text-align: center;">↓</p> <div style="border: 1px solid black; padding: 5px; text-align: center;">CPU が割り込みを検出</div>	<p>CPU が割り込みを検出します。</p> <p>複数の割り込み要因を検出した場合、優先順位に従って最も優先度の高い割り込み要因を選択します。</p>	<p>7.5.2.4 検出 (CPU)</p>
<p style="text-align: center;">↓</p> <div style="border: 1px solid black; padding: 5px; text-align: center;">CPU が割り込みを処理</div>	<p>CPU が割り込み処理を行います。</p> <p>スタックにレジスタの内容を退避し、割り込みサービスルーチンへ分岐します。</p>	<p>7.5.2.5 CPU の 処理</p>
<p style="text-align: center;">↓</p> <div style="border: 1px solid black; padding: 5px; text-align: center;">割り込み サービスルーチン実行</div>	<p>必要な処理をプログラミングしてください。 必要に応じて割り込み要因の取り下げを行ってください。</p>	<p>7.5.2.6 割り込み サービス ルーチン</p>
<p style="text-align: center;">↓</p> <div style="border: 1px solid black; padding: 5px; text-align: center;">元のプログラムへ復帰</div>	<p>割り込みサービスルーチンから通常の処理プログラムに復帰します。</p>	

7.5.2.2 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路で CPU から遠いところから設定を行い、最後に CPU で割り込みを許可します。

クロックジェネレータの設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう、クロックジェネレータ内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

- (1) CPU 割り込み禁止
- (2) CPU 割り込み設定
- (3) 要因の準備①（外部割り込み）
- (4) 要因の準備②（IP からの割り込み）
- (5) クロックジェネレータの設定
- (6) CPU 割り込み許可

(1) CPU割り込み禁止

CPU を割り込み禁止状態にするには、Interrupt Clear-Enable レジスタの該当するビットに「1」を書きます。このレジスタは、1 ビットずつ各割り込み要因に割り当てられており、初期状態は割り込み禁止状態「0」になっています。

CPU レジスタ		
Interrupt Clear-Enable<m>		「1」（割り込み禁止）

(注) 「m」は該当ビットを示します。

(2) CPU割り込み設定

CPU レジスタの Interrupt Priority レジスタで優先度の設定を行います。

このレジスタは、8 ビットごとに各割り込み要因に割り当てられており、「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。

CPU レジスタ		
Interrupt Priority<m>		「優先度」

(注) 「m」は該当ビットを示します。

(3) 要因の準備① (外部割込み)

外部割込みを使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、該当するポートのファンクションレジスタ PnmFRx に「1」を、ポートを入力として使用するために PnmIE を「1」に設定します。

●ポートレジスタ		
PnFRx<PnmFRx>		「1」
PnIE<PnmIE>		「1」

(注) 「n」は該当ポート番号、「m」は該当ビット、「x」はファンクションレジスタ番号を示します。

(4) 要因の準備② (IPからの割り込み)

IPからの割り込みを使用する場合、設定方法はIPによって異なります。各IPの章をご覧ください。

(5) クロックジェネレータの設定

スタンバイ解除要因となる割り込みは、クロックジェネレータの CGIMCG レジスタでアクティブレベルと割り込み許可の設定を行います。CGIMCG レジスタは要因ごとの設定レジスタです。

割り込み許可の前に、不要な割り込み発生を防止するため割り込み要求のクリアをCGICRCGレジスタで行います。CGICRCGレジスタは、要因に対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。具体的な値は、「7.6.3.6 CG割り込み要求クリアレジスタ」を参照してください。

割り込み端子からの割り込み要求をスタンバイ解除要因として使用しない場合、クロックジェネレータの設定を行わずに使用することもできます。ただし、CPUが割り込み要因として検出するためには、「H」パルスまたは「H」レベルの信号を入力する必要があります。

●クロックジェネレータレジスタ		
CGIMCGn<EMCGm>		アクティブレベル
CGICRCG<ICRCG4-0>		使用する要因に対応する値
CGIMCGn<INTmEN>		「1」 (割り込み許可)

(注) 「n」はレジスタ番号、「m」は割り込み要因固有の番号を示します。

(6) CPU割り込み許可

最後に CPU の割り込み許可の設定をします。

Interrupt Clear-Pending レジスタで保留状態の割り込みをクリアし、**Interrupt Set-Enable** レジスタで割り込みを許可します。これらのレジスタは1ビットずつ各割り込み要因に割り当てられています。

Clear-Pending レジスタの該当する割り込みのビットに「1」を書くことで保留されている要因をクリアすることができ、**Set-Enable** レジスタの該当する割り込みのビットに「1」を書くことで割り込みを許可することができます。

CPU レジスタ		
Interrupt Clear-Pending<m>		「1」
Interrupt Set-Enable<m>		「1」

(注) 「m」は該当ビットを示します。

7.5.2.3 検出 (クロックジェネレータ)

スタンバイ解除要因となる割り込みは、クロックジェネレータに設定されたアクティブレベルにしたがって検出され CPU に伝えられます。

アクティブレベルが立ち上がりまたは立下りエッジの割り込み要因は、検出された後クロックジェネレータで要因が保持されますが、「H」レベルまたは「L」レベル設定の割り込み要因は、アクティブレベルから変化すると割り込み要因がなくなったとみなされるため、割り込み検出までレベルを保つ必要があります。

クロックジェネレータは割り込みを検出すると「H」レベルの割り込み信号を CPU に出力します。CPU は、割り込み信号が「L」から「H」に変化することで割り込み要因としてみなすため、再度割り込みを発生させるためにはクロックジェネレータで保持されている要因を CGICRCG レジスタで解除する必要があります。

7.5.2.4 検出 (CPU)

CPU は優先順位に従って最も優先度の高い割り込み要因を検出します。

7.5.2.5 CPUの処理

割り込みが検出されると、CPU はスタックへ PC、PSR、r0-r3、r12、LR を退避し、検出した割り込みの割り込みサービスルーチンへ分岐します。

7.5.2.6 割り込みサービスルーチンでの処理（要因の取り下げ）

割り込みサービスルーチンではアプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因の取り下げについて説明します。

（１）割り込みサービスルーチンでの処理

通常、割り込みサービスルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に PC、PSR、r0-r3、r12、LR をスタックへ退避するため、これらのレジスタをユーザプログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込みサービスルーチン実行中でも、より高い優先度の割り込みや NMI などの例外は受け付けられます。そのため書き換わる可能性のある、汎用レジスタを退避することを推奨します。

（２）割り込み要因の取り下げ

スタンバイ解除要因となる割り込みについては、クロックジェネレータの CGICRCG レジスタで割り込み要求を解除する必要があります。

アクティブレベルがレベル検出の割り込みの場合、要因そのものを取り下げない限り割り込み要求は存在し続けるため、まず要因を取り下げる必要があります。レベル検出の場合は、要因が取り下げられるとクロックジェネレータからの割り込み要求信号は自動的に取り下げられます。

エッジ検出の場合は CGICRCG レジスタに該当する割り込みの値を設定することで要因は取り下げられ、再度有効なエッジが発生したときに改めて要因として認識されます。

7.6 例外/割り込み関連レジスタ

以下に、クロックジェネレータレジスタとアドレスを示します。

7.6.1 レジスタ一覧

NVIC レジスタ	
SysTick 制御およびステータスレジスタ	0xE000_E010
SysTick リロード値レジスタ	0xE000_E014
SysTick 現在値レジスタ	0xE000_E018
SysTick 較正值レジスタ	0xE000_E01C
割り込みイネーブルセットレジスタ 1	0xE000_E100
割り込みイネーブルセットレジスタ 2	0xE000_E104
割り込みイネーブルセットレジスタ 3	0xE000_E108
割り込みイネーブルクリアレジスタ 1	0xE000_E180
割り込みイネーブルクリアレジスタ 2	0xE000_E184
割り込みイネーブルクリアレジスタ 3	0xE000_E188
割り込み保留セットレジスタ 1	0xE000_E200
割り込み保留セットレジスタ 2	0xE000_E204
割り込み保留セットレジスタ 3	0xE000_E208
割り込み保留クリアレジスタ 1	0xE000_E280
割り込み保留クリアレジスタ 2	0xE000_E284
割り込み保留クリアレジスタ 3	0xE000_E288
割り込み優先度レジスタ	0xE000_E400-0xE000_E45C
ベクタテーブルオフセットレジスタ	0xE000_ED08
システムハンドラ優先度レジスタ	0xE000_ED18, 0xE000_ED1C, 0xE000_ED20
システムハンドラ制御および状態レジスタ	0xE000_ED24

●クロックジェネレータレジスタ		
CGICRCG	CG 割り込み要求クリアレジスタ	0x4004_0214
CGNMIFLG	NMI フラグレジスタ	0x4004_0218
CGRSTFLG	リセットフラグレジスタ	0x4004_021C
CGIMCGA	CG 割り込みモードコントロールレジスタ A	0x4004_0220
CGIMCGB	CG 割り込みモードコントロールレジスタ B	0x4004_0224
CGIMCGC	CG 割り込みモードコントロールレジスタ C	0x4004_0228
CGIMCGD	CG 割り込みモードコントロールレジスタ D	0x4004_022C
CGIMCGE	CG 割り込みモードコントロールレジスタ E	0x4004_0230

7.6.2 NVICレジスタ

7.6.2.1 SysTick制御およびステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol						CLK SOURCE	TICKINT	ENABLE
Read/Write	R					R/W	R/W	R/W
リセット後	0					0	0	0
機能	リードすると"0"が読めます					0:外部参照 クロック 1:コアクロ ック	0: SysTick を保留しな い 1: SysTick を保留する	0: ディセー ブル 1: イネーブ ル
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								COUNT FLAG
Read/Write	R							R/W
リセット後	0							0
機能	リードすると"0"が読めます							0: タイマは 0になっ ていな い 1: タイマが 0になっ た
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

- <bit0> <ENABLE> 1 = リロード値レジスタの値をカウンタにロードし、動作を開始します。
0 = タイマは禁止されています。
- <bit1> <TICKINT> 1 = SysTick 例外を保留します。
0 = SysTick 例外を保留しません。
- <bit2> <CLKSOURCE> 0 = 外部参照クロック
1 = コアクロック
- <bit16> <COUNTFLAG> 1 = 最後の読み出しの後にタイマが"0"になったことを示します。
このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。

7.6.2.2 SysTickリロード値レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RELOAD							
Read/Write	R/W							
リセット後	不定							
機能	リロード値							
	15	14	13	12	11	10	9	8
bit Symbol	RELOAD							
Read/Write	R/W							
リセット後	不定							
機能	リロード値							
	23	22	21	20	19	18	17	16
bit Symbol	RELOAD							
Read/Write	R/W							
リセット後	不定							
機能	リロード値							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

<bit23:0> <RELOAD> タイマが“0”になったときに SysTick 現在値レジスタにロードする値を設定します。

(注) 本製品では、カウントクロックとして X1 端子または内蔵発振回路から入力されるクロックを 32 分周したクロックが使用されます。

7.6.2.3 SysTick現在値レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	CURRENT							
Read/Write	R/W							
リセット後	不定							
機能	[リード] SysTick タイマ現在値 [ライト] クリア							
	15	14	13	12	11	10	9	8
bit Symbol	CURRENT							
Read/Write	R/W							
リセット後	不定							
機能	[リード] SysTick タイマ現在値 [ライト] クリア							
	23	22	21	20	19	18	17	16
bit Symbol	CURRENT							
Read/Write	R/W							
リセット後	不定							
機能	[リード] SysTick タイマ現在値 [ライト] クリア							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると "0" が読めます							

<bit23:0> <CURRENT> [リード] SysTick タイマ現在値です。

[ライト] 任意の値を書き込むとタイマカウントがクリアされます。
このレジスタをクリアすることで、SysTick 制御およびステータスレジスタの COUNTFLAG ビットもクリアされます。

7.6.2.4 SysTick較正值レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TENMS							
Read/Write	R							
リセット後	1	1	0	0	0	1	0	0
機能	較正值 (注)							
	15	14	13	12	11	10	9	8
bit Symbol	TENMS							
Read/Write	R							
リセット後	0	0	0	0	1	0	0	1
機能	較正值 (注)							
	23	22	21	20	19	18	17	16
bit Symbol	TENMS							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	較正值 (注)							
	31	30	29	28	27	26	25	24
bit Symbol	NOREF	SKEW						
Read/Write	R	R	R					
リセット後	0	0	0					
機能	0: 参照クロックあり 1: 参照クロックなし	0: 較正值は10ms 1: 較正值は10msでない	リードすると"0"が読めます					

<bit23:0> < TENMS > 10ms をカウントするために使用するリロード値 (0x9C4) です。(注)

<bit30> <SKEW> 1 = 較正值は正確に 10ms でないことを示します。

<bit31> <NOREF> 1 = カウントクロックが提供されていないことを示します。

(注) 本製品では、カウントクロックとして X1 端子または内蔵発振回路から入力されるクロックを 32 分周したクロックが使用されます。
較正值レジスタには、X1 から 8MHz のクロックを入力した場合に 10ms を計測可能な値が設定されています。10MHz のクロックを入力した場合にはリロードレジスタの設定値を 0xC35 に変更すると 10ms を計測することができます。

7.6.2.5 割り込みイネーブルセットレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 7 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 6 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 5 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 4 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 3 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 2 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 1 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 0 [ライト] 1:許可 [リード] 0:禁止 1:許可
	15	14	13	12	11	10	9	8
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 15 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 14 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 13 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 12 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 11 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 10 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 9 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 8 [ライト] 1:許可 [リード] 0:禁止 1:許可
	23	22	21	20	19	18	17	16
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 23 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 22 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 21 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 20 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 19 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 18 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 17 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 16 [ライト] 1:許可 [リード] 0:禁止 1:許可
	31	30	29	28	27	26	25	24
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 31 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 30 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 29 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 28 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 27 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 26 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 25 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 24 [ライト] 1:許可 [リード] 0:禁止 1:許可

<bit31:0> <SETENA> 割り込みを許可、またはどの割り込みが許可されているかを確認できます。
 “1”をライトすることで該当する割り込みを許可します。“0”の書き込みは意味を持ちません。
 リードの場合、該当する割り込みが以下の状態であることを示します。
 0 = 禁止
 1 = 許可

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.6 割り込みイネーブルセットレジスタ 2

	7	6	5	4	3	2	1	0
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 39 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 38 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 37 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 36 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 35 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 34 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 33 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 32 [ライト] 1:許可 [リード] 0:禁止 1:許可
	15	14	13	12	11	10	9	8
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 47 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 46 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 45 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 44 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 43 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 42 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 41 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 40 [ライト] 1:許可 [リード] 0:禁止 1:許可
	23	22	21	20	19	18	17	16
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 55 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 54 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 53 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 52 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 51 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 50 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 49 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 48 [ライト] 1:許可 [リード] 0:禁止 1:許可
	31	30	29	28	27	26	25	24
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 63 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 62 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 61 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 60 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 59 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 58 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 57 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 56 [ライト] 1:許可 [リード] 0:禁止 1:許可

<bit31:0> <SETENA> 割り込みを許可、またはどの割り込みが許可されているかを確認できます。
 “1”をライトすることで該当する割り込みを許可します。“0”の書き込みは意味を持ちません。
 リードの場合、該当する割り込みが以下の状態であることを示します。
 0 = 禁止
 1 = 許可

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.7 割り込みイネーブルセットレジスタ 3

	7	6	5	4	3	2	1	0
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 71 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 70 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 69 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 68 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 67 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 66 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 65 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 64 [ライト] 1:許可 [リード] 0:禁止 1:許可
	15	14	13	12	11	10	9	8
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 79 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 78 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 77 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 76 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 75 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 74 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 73 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 72 [ライト] 1:許可 [リード] 0:禁止 1:許可
	23	22	21	20	19	18	17	16
bit Symbol	SETENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 87 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 86 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 85 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 84 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 83 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 82 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 81 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 80 [ライト] 1:許可 [リード] 0:禁止 1:許可
	31	30	29	28	27	26	25	24
bit Symbol		SETENA						
Read/Write	R	R/W						
リセット後	0	0	0	0	0	0	0	0
機能	リードする と "0" が 読めます	割り込み 番号 94 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 93 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 92 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 91 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 90 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 89 [ライト] 1:許可 [リード] 0:禁止 1:許可	割り込み 番号 88 [ライト] 1:許可 [リード] 0:禁止 1:許可

<bit30:0> <SETENA> 割り込みを許可、またはどの割り込みが許可されているかを確認できます。
 “1”をライトすることで該当する割り込みを許可します。“0”の書き込みは意味を持ちません。
 リードの場合、該当する割り込みが以下の状態であることを示します。
 0 = 禁止
 1 = 許可

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.8 割り込みイネーブルクリアレジスタ 1

	7	6	5	4	3	2	1	0	
bit Symbol	CLRENA								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	割り込み 番号 7 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 6 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 5 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 4 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 3 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 2 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 1 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 0 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 0 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可
	15	14	13	12	11	10	9	8	
bit Symbol	CLRENA								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	割り込み 番号 15 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 14 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 13 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 12 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 11 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 10 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 9 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 8 [ライト] 1: 禁止許可 [リード] 0: 禁止 1: 許可	割り込み 番号 8 [ライト] 1: 禁止許可 [リード] 0: 禁止 1: 許可
	23	22	21	20	19	18	17	16	
bit Symbol	CLRENA								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	割り込み 番号 23 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 22 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 21 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 20 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 19 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 18 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 17 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 16 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 16 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可
	31	30	29	28	27	26	25	24	
bit Symbol	CLRENA								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	割り込み 番号 31 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 30 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 29 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 28 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 27 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 26 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 25 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 24 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 24 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可

<bit31:0> <CLRENA> 割り込みを禁止、またはどの割り込みが禁止されているかを確認できます。
 “1”をライトすることで該当する割り込みを禁止します。“0”の書き込みは意味を持ちません。
 リードの場合、該当する割り込みが以下の状態であることを示します。
 0 = 禁止
 1 = 許可

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.9 割り込みイネーブルクリアレジスタ 2

	7	6	5	4	3	2	1	0
bit Symbol	CLRENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 39 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 38 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 37 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 36 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 35 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 34 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 33 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 32 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可
	15	14	13	12	11	10	9	8
bit Symbol	CLRENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 47 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 46 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 45 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 44 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 43 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 42 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 41 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 40 [ライト] 1: 禁止許可 [リード] 0: 禁止 1: 許可
	23	22	21	20	19	18	17	16
bit Symbol	CLRENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 55 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 54 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 53 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 52 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 51 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 50 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 49 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 48 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可
	31	30	29	28	27	26	25	24
bit Symbol	CLRENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 63 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 62 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 61 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 60 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 59 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 58 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 57 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 56 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可

<bit31:0> <CLRENA> 割り込みを禁止、またはどの割り込みが禁止されているかを確認できます。
 “1”をライトすることで該当する割り込みを禁止します。“0”の書き込みは意味を持ちません。
 リードの場合、該当する割り込みが以下の状態であることを示します。
 0 = 禁止
 1 = 許可

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.10 割り込みイネーブルクリアレジスタ 3

	7	6	5	4	3	2	1	0
bit Symbol	CLRENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 71 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 70 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 69 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 68 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 67 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 66 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 65 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 64 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可
	15	14	13	12	11	10	9	8
bit Symbol	CLRENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 79 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 78 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 77 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 76 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 75 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 74 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 73 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 72 [ライト] 1: 禁止許可 [リード] 0: 禁止 1: 許可
	23	22	21	20	19	18	17	16
bit Symbol	CLRENA							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	割り込み 番号 87 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 86 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 85 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 84 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 83 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 82 [ライト] 1: 禁止許可 [リード] 0: 禁止 1: 許可	割り込み 番号 81 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 80 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可
	31	30	29	28	27	26	25	24
bit Symbol		CLRENA						
Read/Write	R	R/W						
リセット後	0	0	0	0	0	0	0	0
機能	リードする と "0" が 読めます	割り込み 番号 94 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 93 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 92 [ライト] 1: 禁止許可 [リード] 0: 禁止 1: 許可	割り込み 番号 91 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 90 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 89 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可	割り込み 番号 88 [ライト] 1: 禁止 [リード] 0: 禁止 1: 許可

<bit30:0> <CLRENA> 割り込みを禁止、またはどの割り込みが禁止されているかを確認できます。
 “1” をライトすることで該当する割り込みを禁止します。“0” の書き込みは意味を持ちません。
 リードの場合、該当する割り込みが以下の状態であることを示します。
 0 = 禁止
 1 = 許可

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.11 割り込み保留セットレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 7 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 6 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 5 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 4 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 3 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 2 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 1 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 0 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	15	14	13	12	11	10	9	8
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 15 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 14 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 13 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 12 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 11 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 10 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 9 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 8 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	23	22	21	20	19	18	17	16
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 23 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 22 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 21 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 20 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 19 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 18 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 17 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 16 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	31	30	29	28	27	26	25	24
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 31 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 30 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 29 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 28 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 27 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 26 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 25 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 24 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり

<bit31:0> <SETPEND> 割り込みを強制的に保留します。また、どの割り込みが保留されているかを確認できます。

“1”をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。“0”の書き込みは意味を持ちません。

リードの場合、該当する割り込みが以下の状態であることを示します。

0 = 保留されていない
1 = 保留されている

このレジスタのビットをクリアするには、割り込み保留クリアレジスタの該当するビットに“1”をセットします。

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.12 割り込み保留セットレジスタ 2

	7	6	5	4	3	2	1	0
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 39 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 38 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 37 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 36 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 35 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 34 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 33 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 32 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	15	14	13	12	11	10	9	8
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 47 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 46 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 45 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 44 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 43 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 42 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 41 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 40 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	23	22	21	20	19	18	17	16
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 55 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 54 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 53 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 52 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 51 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 50 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 49 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 48 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	31	30	29	28	27	26	25	24
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 63 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 62 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 61 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 60 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 59 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 58 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 57 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 56 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり

<bit31:0> <SETPEND> 割り込みを強制的に保留します。また、どの割り込みが保留されているかを確認できます。

“1”をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。“0”の書き込みは意味を持ちません。

リードの場合、該当する割り込みが以下の状態であることを示します。

0 = 保留されていない
1 = 保留されている

このレジスタのビットをクリアするには、割り込み保留クリアレジスタの該当するビットに“1”をセットします。

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.13 割り込み保留セットレジスタ 3

	7	6	5	4	3	2	1	0
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 71 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 70 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 69 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 68 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 67 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 66 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 65 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 64 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	15	14	13	12	11	10	9	8
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 79 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 78 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 77 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 76 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 75 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 74 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 73 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 72 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	23	22	21	20	19	18	17	16
bit Symbol	SETPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 87 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 86 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 85 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 84 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 83 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 82 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 81 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 80 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり
	31	30	29	28	27	26	25	24
bit Symbol		SETPEND						
Read/Write	R	R/W						
リセット後	0	不定						
機能	リードする と "0" が 読めます	割り込み 番号 94 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 93 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 92 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 91 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 90 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 89 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり	割り込み 番号 88 [ライト] 1: 保留する [リード] 0: 保留なし 1: 保留あり

<bit30:0> <SETPEND> 割り込みを強制的に保留します。また、どの割り込みが保留されているかを確認できます。

“1”をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。“0”の書き込みは意味を持ちません。

リードの場合、該当する割り込みが以下の状態であることを示します。

0 = 保留されていない
1 = 保留されている

このレジスタのビットをクリアするには、割り込み保留クリアレジスタの該当するビットに“1”をセットします。

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.14 割り込み保留クリアレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 7 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 6 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 5 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 4 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 3 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 2 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 1 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 0 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	15	14	13	12	11	10	9	8
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 15 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 14 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 13 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 12 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 11 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 10 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 9 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 8 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	23	22	21	20	19	18	17	16
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 23 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 22 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 21 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 20 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 19 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 18 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 17 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 16 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	31	30	29	28	27	26	25	24
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 31 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 30 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 29 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 28 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 27 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 26 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 25 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 24 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり

<bit31:0> <CLRPEND> 保留された割り込みをクリアします。また、読み出すと保留されているか確認できます。

“1”をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。“0”の書き込みは意味を持ちません。

リードの場合、該当する割り込みが以下の状態であることを示します。

0 = 保留されていない
1 = 保留されている

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.15 割り込み保留クリアレジスタ 2

	7	6	5	4	3	2	1	0
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 39 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 38 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 37 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 36 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 35 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 34 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 33 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 32 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	15	14	13	12	11	10	9	8
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 47 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 46 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 45 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 44 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 43 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 42 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 42 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 40 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	23	22	21	20	19	18	17	16
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 55 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 54 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 53 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 52 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 51 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 50 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 49 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 48 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	31	30	29	28	27	26	25	24
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 63 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 62 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 61 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 60 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 59 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 58 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 57 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 56 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり

<bit31:0> <CLRPEND> 保留された割り込みをクリアします。また、読み出すと保留されているか確認できます。

“1”をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。“0”の書き込みは意味を持ちません。

リードの場合、該当する割り込みが以下の状態であることを示します。

0 = 保留されていない
1 = 保留されている

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.16 割り込み保留クリアレジスタ 3

	7	6	5	4	3	2	1	0
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 71 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 70 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 69 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 68 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 67 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 66 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 65 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 64 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	15	14	13	12	11	10	9	8
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 79 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 78 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 77 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 76 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 75 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 74 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 73 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 72 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	23	22	21	20	19	18	17	16
bit Symbol	CLRPEND							
Read/Write	R/W							
リセット後	不定							
機能	割り込み 番号 87 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 86 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 85 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 84 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 83 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 82 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 81 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 80 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり
	31	30	29	28	27	26	25	24
bit Symbol		CLRPEND						
Read/Write	R	R/W						
リセット後	0	不定						
機能	リードする と "0" が 読めます	割り込み 番号 94 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 93 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 92 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 91 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 90 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 89 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり	割り込み 番号 88 [ライト] 1: 保留をク リアする [リード] 0: 保留なし 1: 保留あり

<bit30:0> <CLRPEND> 保留された割り込みをクリアします。また、読み出すと保留されているか確認できます。

“1”をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。“0”の書き込みは意味を持ちません。

リードの場合、該当する割り込みが以下の状態であることを示します。

0 = 保留されていない
1 = 保留されている

(注) 割り込みの内容と割り込み番号については、「7.5.1.4 要因一覧」を参照してください。

7.6.2.17 割り込み優先度レジスタ

割り込み優先度レジスタは、各割り込みに対し 8 ビットごとの構成になっています。
割り込み番号と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24	23	16	15	8	7	0
0xE000_E400		PRI_3		PRI_2		PRI_1		PRI_0
0xE000_E404		PRI_7		PRI_6		PRI_5		PRI_4
0xE000_E408		PRI_11		PRI_10		PRI_9		PRI_8
0xE000_E40C		PRI_15		PRI_14		PRI_13		PRI_12
0xE000_E410		PRI_19		PRI_18		PRI_17		PRI_16
0xE000_E414		PRI_23		PRI_22		PRI_21		PRI_20
0xE000_E418		PRI_27		PRI_26		PRI_25		PRI_24
0xE000_E41C		PRI_31		PRI_30		PRI_29		PRI_28
0xE000_E420		PRI_35		PRI_34		PRI_33		PRI_32
0xE000_E424		PRI_39		PRI_38		PRI_37		PRI_36
0xE000_E428		PRI_43		PRI_42		PRI_41		PRI_40
0xE000_E42C		PRI_47		PRI_46		PRI_45		PRI_44
0xE000_E430		PRI_51		PRI_50		PRI_49		PRI_48
0xE000_E434		PRI_55		PRI_54		PRI_53		PRI_52
0xE000_E438		PRI_59		PRI_58		PRI_57		PRI_56
0xE000_E43C		PRI_63		PRI_62		PRI_61		PRI_60
0xE000_E440		PRI_67		PRI_66		PRI_65		PRI_64
0xE000_E444		PRI_71		PRI_70		PRI_69		PRI_68
0xE000_E448		PRI_75		PRI_74		PRI_73		PRI_72
0xE000_E44C		PRI_79		PRI_78		PRI_77		PRI_76
0xE000_E450		PRI_83		PRI_82		PRI_81		PRI_80
0xE000_E454		PRI_87		PRI_86		PRI_85		PRI_84
0xE000_E458		PRI_81		PRI_80		PRI_89		PRI_88
0xE000_E45C		-		PRI_94		PRI_93		PRI_92

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると“0”が読め、ライトは無視されます。

	7	6	5	4	3	2	1	0
bit Symbol	PRI_0							
Read/Write	R/W			R				
リセット後	0			0				
機能	割り込み番号 0 優先度			リードすると "0" が読めます				
	15	14	13	12	11	10	9	8
bit Symbol	PRI_1							
Read/Write	R/W			R				
リセット後	0			0				
機能	割り込み番号 1 優先度			リードすると "0" が読めます				
	23	22	21	20	19	18	17	16
bit Symbol	PRI_2							
Read/Write	R/W			R				
リセット後	0			0				
機能	割り込み番号 2 優先度			リードすると "0" が読めます				
	31	30	29	28	27	26	25	24
bit Symbol	PRI_3							
Read/Write	R/W			R				
リセット後	0			0				
機能	割り込み番号 3 優先度			リードすると "0" が読めます				

<bit7:5> <PRI_0> 割り込み番号 0 の優先度

<bit15:13> <PRI_1> 割り込み番号 1 の優先度

<bit23:21> <PRI_2> 割り込み番号 2 の優先度

<bit31:29> <PRI_3> 割り込み番号 3 の優先度

7.6.2.18 ベクタテーブルオフセットレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TBLOFF							
Read/Write	R/W	R						
リセット後	0							
機能	オフセット値		リードすると"0"が読めず					
	15	14	13	12	11	10	9	8
bit Symbol	TBLOFF							
Read/Write	R/W							
リセット後	0							
機能	オフセット値							
	23	22	21	20	19	18	17	16
bit Symbol	TBLOFF							
Read/Write	R/W							
リセット後	0							
機能	オフセット値							
	31	30	29	28	27	26	25	24
bit Symbol			TBLBASE	TBLOFF				
Read/Write	R		R/W	R/W				
リセット後	0		0	0				
機能	リードすると"0"が読めず		テーブルベース	オフセット値				

<bit28:7> <TBLOFF> TBLBASE で指定した領域の先頭からのオフセット値を設定します。オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16 個までの割り込みが使える、最小のアライメントは 32 ワードになります。割り込みの数がより多い場合は、次の 2 のべき乗まで切り上げて、アライメントを調整する必要があります。

<bit29> <TBLBASE> ベクタテーブルを置くメモリ空間を指定します。
 0 = コード空間
 1 = SRAM 空間

7.6.2.19 システムハンドラ優先度レジスタ

システムハンドラ優先度レジスタは、各例外に対し 8 ビットごとの構成になっています。
例外と対応する割り込み優先度レジスタのアドレスは以下のとおりです。

	31	24	23	16	15	8	7	0
0xE000_ED18	PRI_7		PRI_6 (用法フォールト)		PRI_5 (バスフォールト)		PRI_4 (メモリ管理)	
0xE000_ED1C	PRI_11 (SVCall)		PRI_10		PRI_9		PRI_8	
0xE000_ED20	PRI_15 (SysTick)		PRI_14 (PendSV)		PRI_13		PRI_12 デバッグモニタ	

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。本製品では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号 0~3 の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると“0”が読め、ライトは無視されます。

	7	6	5	4	3	2	1	0
bit Symbol	PRI_4							
Read/Write	R/W			R				
リセット後	0			0				
機能	メモリ管理 優先度			リードすると“0”が読めます				
	15	14	13	12	11	10	9	8
bit Symbol	PRI_5							
Read/Write	R/W			R				
リセット後	0			0				
機能	バスフォールト 優先度			リードすると“0”が読めます				
	23	22	21	20	19	18	17	16
bit Symbol	PRI_6							
Read/Write	R/W			R				
リセット後	0			0				
機能	用法フォールト 優先度			リードすると“0”が読めます				
	31	30	29	28	27	26	25	24
bit Symbol	PRI_7							
Read/Write	R/W			R				
リセット後	0			0				
機能	予約			リードすると“0”が読めます				

7.6.2.20 システムハンドラ制御および状態レジスタ

	7	6	5	4	3	2	1	0
bit Symbol	SVCALL ACT				USGFAULT ACT		BUSFAULT ACT	MEMFAULT ACT
Read/Write	R/W	R			R/W	R	R/W	R/W
リセット後	0	0			0	0	0	0
機能	SVCaII 0:アクティ ブでない 1:アクティ ブ	リードすると"0"が読めます			用法フォー ルト 0:アクティ ブでない 1:アクティ ブ	リードする と"0"が 読めます	バスフォー ルト 0:アクティ ブでない 1:アクティ ブ	メモリ管理 0:アクティ ブでない 1:アクティ ブ
	15	14	13	12	11	10	9	8
bit Symbol	SVCALL PENDE	BUSFAULT PENDE	MEMFAULT PENDE	USGFAULT PENDE	SYSTICK ACT	PENDSV ACT		MONITOR ACT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット後	0	0	0	0	0	0	0	0
機能	SVCaII 0:保留なし 1:保留	バスフォー ルト 0:保留なし 1:保留	メモリ管理 0:保留なし 1:保留	用法フォー ルト 0:保留なし 1:保留	SysTick 0:アクティ ブでない 1:アクティ ブ	PendSV 0:アクティ ブでない 1:アクティ ブ	リードする と"0"が 読めます	デバッグモ ニタ 0:アクティ ブでない 1:アクティ ブ
	23	22	21	20	19	18	17	16
bit Symbol						USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
Read/Write	R					R/W	R/W	R/W
リセット後	0					0	0	0
機能	リードすると"0"が読めます					用法フォー ルト 0:禁止 1:許可	バスフォー ルト 0:禁止 1:許可	メモリ管理 0:禁止 1:許可
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

<bit0>	<MEMFAULTACT>	メモリ管理例外がアクティブな場合“1”となります。
<bit1>	<BUSFAULTACT>	バスフォールト例外がアクティブな場合“1”となります。
<bit3>	<USGFALACT>	用法フォールト例外がアクティブな場合“1”となります。
<bit7>	<SVCALLACT>	SVCaII 例外がアクティブな場合“1”となります。
<bit8>	<MONITORACT>	デバッグモニタ例外がアクティブな場合“1”となります。
<bit10>	<PENDSVACT>	PendSV 例外がアクティブな場合、“1”となります。
<bit11>	<SYSTICKACT>	SysTick 例外がアクティブな場合、“1”となります。
<bit12>	<USGFAULTPENDEDED>	用法フォールト例外が保留されている場合、“1”となります。
<bit13>	<MEMFAULTPENDEDED>	メモリ管理例外が保留されている場合、“1”となります。
<bit14>	<BUSFAULTPENDEDED>	バスフォールト例外が保留されている場合、“1”となります。
<bit15>	<SVCALLPENDEDED>	SVCaII 例外が保留されている場合、“1”となります。
<bit16>	<MEMFAULTENA>	メモリ管理例外を禁止する場合“0”、許可する場合“1”を設定します。
<bit17>	<BUSFAULTENA>	バスフォールト例外を禁止する場合“0”、許可する場合“1”を設定します。
<bit18>	<USGFAULTENA>	用法フォールト例外を禁止する場合“0”、許可する場合“1”を設定します。

(注) アクティブビットの書き替えは、スタックの内容の更新等行いませんので注意して行ってください。

7.6.3 クロックジェネレータレジスタ

7.6.3.1 CG割り込みモードコントロールレジスタA

外部割り込み INT0~INT3 のスタンバイ解除要求アクティブレベルの設定をします。

CG1MCGA
0x4004_0220

	7	6	5	4	3	2	1	0
bit Symbol		EMCG02	EMCG01	EMCG00	EMST01	EMST00		INT0EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT0 スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT0 スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT0 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCG12	EMCG11	EMCG10	EMST11	EMST10		INT1EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT1 スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT1 スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT1 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EMCG22	EMCG21	EMCG20	EMST21	EMST20		INT2EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT2 スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT2 スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT2 解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EMCG32	EMCG31	EMCG30	EMST31	EMST30		INT3EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT3 スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT3 スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT3 解除入力 0: ディセーブル 1: イネーブル

(注1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブレベルを確認することが出来ます。

(注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

7.6.3.2 CG割り込みモードコントロールレジスタB

外部割り込み INT4~INT7 のスタンバイ解除要求アクティブレベルの設定をします。

CGIMCGB
0x4004_0224

	7	6	5	4	3	2	1	0
bit Symbol		EMCG42	EMCG41	EMCG40	EMST41	EMST40		INT4EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT4スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT4スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT4解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCG52	EMCG51	EMCG50	EMST51	EMST50		INT5EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT5スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT5スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT5解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EMCG62	EMCG61	EMCG60	EMST61	EMST60		INT6EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT6スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT6スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT6解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EMCG72	EMCG71	EMCG70	EMST71	EMST70		INT7EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT7スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT7スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT7解除入力 0: ディセーブル 1: イネーブル

- (注 1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブレベルを確認することが出来ます。
- (注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- (注 3) INT 6/7 は、TMPM380 にのみ適用されます。TMPM382 の場合、[24][16]に"0"を、[30:28][22:20]に"010"を書いてください。

7.6.3.3 CG割り込みモードコントロールレジスタC

外部割り込み INT8~INTB のスタンバイ解除要求アクティブレベルの設定をします。

CGIMCGC
0x4004_0228

	7	6	5	4	3	2	1	0
bit Symbol		EMCG82	EMCG81	EMCG80	EMST81	EMST80		INT8EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT8 スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT8 スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT8 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCG92	EMCG91	EMCG90	EMST91	EMST90		INT9EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INT9 スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT9 スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INT9 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EMCGA2	EMCGA1	EMCGA0	EMSTA1	EMSTA0		INTAEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTA スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTA スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INTA 解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EMCGB2	EMCGB1	EMCGB0	EMSTB1	EMSTB0		INTBEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTB スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTB スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INTB 解除入力 0: ディセーブル 1: イネーブル

- (注 1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブレベルを確認することが出来ます。
- (注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- (注 3) INT 9/A/B は、TMPM380 にのみ適用されます。TMPM382 の場合、[24][16][8]に"0"を、[30:28][22:20][14:12]に"010"を書いてください。

7.6.3.4 CG割り込みモードコントロールレジスタD

外部割り込み INTC~INTF のスタンバイ解除要求アクティブレベルの設定をします。

CGIMCGD
0x4004_022C

	7	6	5	4	3	2	1	0
bit Symbol		EMCGC2	EMCGC1	EMCGC0	EMSTC1	EMSTC0		INTCEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTC スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTC スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INTC 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCGD2	EMCGD1	EMCGD0	EMSTD1	EMSTD0		INTDEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTD スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTD スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INTD 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EMCGE2	EMCGE1	EMCGE0	EMSTE1	EMSTE0		INTEEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTE スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTE スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INTE 解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EMCGF2	EMCGF1	EMCGF0	EMSTF1	EMSTF0		INTFEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTF スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INTF スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると不定が読まれます	INTF 解除入力 0: ディセーブル 1: イネーブル

- (注 1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブレベルを確認することが出来ます。
- (注 2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。
- (注 3) INT C/D/E は、TMPM380 にのみ適用されます。TMPM382 の場合、[16][8][0]に"0"を、[22:20][14:12][6:4]に"010"を書いてください。

7.6.3.5 CG割り込みモードコントロールレジスタ E

割り込み INTRTC,INTRMCRX のスタンバイ解除要求アクティブレベルの設定をします。

CGIMCGE
0x4004_0230

	7	6	5	4	3	2	1	0
bit Symbol		EMCGRTC2	EMCGRTC1	EMCGRTC0	EMSRRTC1	EMSTRTC0		INTRTCEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTRTC スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 010: 立ち下がリエッジ			INTRTC スタンバイ解除要求のアクティブレベルステータス 00: - 01: - 10: 立ち下がリエッジ 11: -		リードすると不定が読まれます	INTRTC 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCG RMCXR2	EMCG RMCXR1	EMCG RMCXR0	EMST RMCXR1	EMST RMCXR0		INT RMCXREN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	不定	0
機能	リードすると"0"が読めます	INTRMCRX スタンバイ解除要求のアクティブレベルを設定 (101~111:設定禁止) 011: 立立ち上がりエッジ			INTRMCRX スタンバイ解除要求のアクティブレベルステータス 00: - 01: 立立ち上がりエッジ 10: - 11: -		リードすると不定が読まれます	INTRMCRX 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	任意の値を書いてください			リードすると"00"が読めます		リードすると"0"が読めます	"0"を書いてください
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	任意の値を書いてください			リードすると"00"が読めます		リードすると"0"が読めます	"0"を書いてください

- (注1) EMSTxx を参照することにより、スタンバイ解除に使用されたアクティブレベルを確認することが出来ます。
- (注2) エッジ設定と同時に<INTxEN>を設定しないでください。エッジ設定を行ってから<INTxEN>を設定してください。

STOP/IDLE 解除用に割り込みを許可する場合は、必ず解除要求のアクティブレベルを設定してください。

- (注1) 割り込みを使用する場合はかならず以下の順に設定してください。
 - 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
 - 初期化時にアクティブレベル等の設定
 - 割り込み要求のクリア
 - 割り込みのイネーブル
- (注2) 各設定はかならず割り込みディゼーブルの状態で行ってください。
- (注3) STOP/IDLE 解除割り込みとして INTO~INTF, INTRTC, INTRMCRX の 18 要因の設定が可能です。STOP/IDLE 解除割り込みとして使用するかどうか、およびアクティブレベルのエッジ/レベルは CG にて設定します。
- (注4) STOP/IDLE 解除要求割り込みに割り当てられる、INTO~INTF, INTRTC, INTRMCRX は通常割り込みとして使用する場合は CG での設定を行わずに使用することも可能です。

7.6.3.6 CG割り込み要求クリアレジスタ

INT0~INTF,INTRTC,INTRMCRX の割り込み要求をクリアします。

CGICRCG
0x4004_0214

	7	6	5	4	3	2	1	0
bit Symbol				ICRCG4	ICRCG3	ICRCG2	ICRCG1	ICRCG0
Read/Write	R			W				
リセット後	0			0	0	0	0	0
機能	リードすると"0"が読めます			割り込み要求をクリア 0_0000:INT0 0_1000:INT8 1_0000:INTRTC 0_0001:INT1 0_1001:INT9 1_0001:INTRMCRX 0_0010:INT2 0_1010:INTA 0_0011:INT3 0_1011:INTB 0_0100:INT4 0_1100:INTC 0_0101:INT5 0_1101:INTD 0_0110:INT6 0_1110:INTE 0_0111:INT7 0_1111:INTF 1_0010~1_1111:設定禁止 リードすると'0'が読めます				
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます。							

7.6.3.7 NMIフラグレジスタ

NMI 起動要因ごとに NMI 発生のステータスを読み出します。

CGNMI FLG
0x4004_0218

	7	6	5	4	3	2	1	0
bit Symbol						NMI FLG2	—	NMI FLG0
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます					NMI 起動要因フラグ 0: 要因なし 1: 低電圧検知による発生	不定	NMI 起動要因フラグ 0: 要因なし 1: WDT による発生
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると "0" が読めます							

(注) <NMI FLG2:0>は読み出すと "0" にクリアされます。

7.6.3.8 リセットフラグレジスタ

内部リセット発生要因ごとに内部リセット発生のステータスを読み出します。

CGRSTFLG
0x4004_021C

	7	6	5	4	3	2	1	0
bit Symbol			OFDRSTF	DBGRSTF		WDRSTF	PINRSTF	PONRSTF
Read/Write	R		R/W	R/W	R/W	R/W	R/W	R/W
パワーオンリセット後	0	0	0	0	0	0	0	1
機能	リードすると"0"が読めます		OFD リセット フラグ 0: 0ライト 1: OFDによるリセットフラグ	デバッグ リセット フラグ 0: 0ライト 1: デバッグからのリセットによるリセットフラグ	"0"を書いてください	WDT リセット フラグ 0: 0ライト 1: WDTによるリセットフラグ	RESET 端子 フラグ 0: 0ライト 1: RESET 端子によるリセットフラグ	Power On Reset フラグ 0: 0ライト 1: Power On Resetによるリセットフラグ
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

(注) 本製品はパワーオンリセット回路を内蔵しており、本レジスタはパワーオンリセットでのみ初期化されます。したがって、電源投入時の初期リセット後は<PONRSTF>がセットされます。(パワーオンリセット以外のリセット後は、対象のリセットフラグがセットされます)

また、本レジスタは自動的にクリアされませんので、“0”を書いてクリアしてください。

8 入出力ポート

8.1 ポートレジスタ概略説明

PxDATA : ポートデータレジスタ

ポートのデータ読み込み、データ書出しを行います。

PxCR : 出力コントロールレジスタ

出力/Hi-zを制御します。

同時に入力設定にする場合は、PxIEレジスタにより入力をイネーブルにしてください。

PxFRn : ファンクションレジスタ

機能設定を行ないます。

“1”をセットすることにより割り当てられている機能を使用できるようになります。

PxOD : オープンドレイン制御レジスタ

CMOS出力とオープンドレイン出力の設定を制御します。

PxPUP : プルアップ制御レジスタ

プログラマブルプルアップレジスタを制御します。

PxPDN : プルダウン制御レジスタ

プログラマブルプルダウンレジスタを制御します。

PxIE : 入力制御レジスタ

入力の制御を行ないます。

貫通電流対策のため、初期値は“0”で入力禁止になっています。

8.2 ポート機能詳細

8.2.1 STOPモード中のポート状態

STOP モード中の入力と出力の状態を、クロック/モード制御部のスタンバイコントロールレジスタ STBYCR2<DRVE>ビットで制御することができます。

PxIE、PxCR がイネーブルで、<DRVE>ビットを“1”に設定した場合、STOP モード中も入力、出力がイネーブルとなります。<DRVE>ビットを“0”に設定した場合、一部のポートを除き、PxIE、PxCR がイネーブルであっても STOP モード中は入力、出力がディセーブルになります。

以下に、設定による動作の違いをまとめます。

表 8-1 STOP モード中のポート状態

機能	ピン名称	入力/出力	<DRVE>=0	<DRVE>=1	
制御端子	RESET,MODE	入力	○	○	
発振器 (PxIE<n>=0) (PxCR<n>=0)	X1,XT1	入力	×	×	
	X2,XT2	出力	“H”レベル出力	“H”レベル出力	
汎用ポート (PxFR<n>=0)	Pxn	入力	×	(PxIE<n>)に従う	
		出力	×	(PxCR<n>)に従う	
兼用機能選択時 (PxFR<n>=1)	デバッグ インタフェース	TMS/SWDIO	入力	×	(PxIE<n>)に従う
		TDO/SWV	出力	●	●
	外部割込み	INTx	入力	(PxIE<n>)に従う	(PxIE<n>)に従う
	SSP	SPxCLK, SPxFSS, SPxD0	出力	×	●
	MPT <IGBTモード>	GEMGx, MTxIN	入力	×	(PxIE<n>)に従う
		MTOUT0x, MTOUT1x	出力	●	●
	MPT <PMDモード>	EMGx	入力	×	(PxIE<n>)に従う
		U0x, V0x, W0x, X0x, Y0x, Z0x	出力	●	●
	他の機能		入力	×	(PxIE<n>)に従う
			出力	×	(PxCR<n>)に従う

○： 入力または出力がイネーブルであることを示します。

×

●： 選択した兼用機能の OE 信号 (内部) がイネーブルかつ (PxCR<n>=1) の場合に出力します。

n： ビット番号

8.2.2 ポート A (PA0~PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にシリアルインタフェース機能、外部割込み入力機能、16 ビットタイマ入力機能、16 ビットタイマ出力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。

割り込み入力を STOP モード解除に使用する場合、PAFR2 レジスタで機能設定にし、PAIE レジスタで入力設定をしてください。この設定では、クロック/モード制御部の CGSTBYCR<DRVE>で STOP モード中端子をドライブしない設定を行っていても割り込み入力可能です。

(注) STOP 以外のモードでは、PAIE で入力イネーブル設定であれば PAFR2 の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

ポート A レジスタ

		7	6	5	4	3	2	1	0
PADATA (0x4000_0000)	Bit Symbol	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	Read/Write	R/W							
	リセット後	"0"							

ポート A コントロールレジスタ

		7	6	5	4	3	2	1	0
PACR (0x4000_0004)	Bit Symbol	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	出力 0: 禁止 1: 許可							

ポート A ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PAFR1 (0x4000_0008)	Bit Symbol	PA7F1	PA6F1	PA5F1	PA4F1	PA3F1	PA2F1	PA1F1	PA0F1
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:TB4IN	0:PORT 1:RXD1	0:PORT 1:TXD1	0:PORT 1:SCLK1	0:PORT 1:TB1OUT	0:PORT 1:TB1IN	0:PORT 1:TB0OUT	0:PORT 1:TB0IN

ポートA ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PAFR 2 (0x4000_000C)	Bit Symbol	PA7F2	PA6F2	PA5F2	PA4F2	PA3F2	PA2F2	PA1F2	PA0F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:INT8	0:PORT 1:TB6IN	0:PORT 1:TB6OUT	0:PORT 1:CTS1	0:PORT 1:RXIN	0:PORT 1:INT4	0:PORT 1:SCOUT	0:PORT 1:INT3

ポートA オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PAOD (0x4000_0028)	Bit Symbol	PA7OD	PA6OD	PA5OD	PA4OD	PA3OD	PA2OD	PA1OD	PA0OD
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートA プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PAPUP (0x4000_002C)	Bit Symbol	PA7UP	PA6UP	PA5UP	PA4UP	PA3UP	PA2UP	PA1UP	PA0UP
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートA プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PAPDN (0x4000_0030)	Bit Symbol	PA7DN	PA6DN	PA5DN	PA4DN	PA3DN	PA2DN	PA1DN	PA0DN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートA 入力制御レジスタ

		7	6	5	4	3	2	1	0
PAIE (0x4000_0038)	Bit Symbol	PA7IE	PA6IE	PA5IE	PA4IE	PA3IE	PA2IE	PA1IE	PA0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.3 ポート B (PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にデバッグ通信機能、デバッグトレース出力機能があります。

リセットにより PB3、PB4、PB5、PB6、PB7 はデバッグ通信機能になります。

PB3 は TMS または SWDIO 機能で入力・出力・プルアップイネーブル、PB4 は TCK または SWCLK 機能で入力・プルダウンイネーブルとなります。

PB5 は TD0 または SWV 機能で出力イネーブル、PB6 は TDI 機能で入力・プルアップイネーブル、PB7 は $\overline{\text{TRST}}$ 機能で入力・プルアップイネーブルとなります。

その他のビットは汎用ポートとなり、入力・出力・プルアップはディセーブル状態になります。

- (注 1) PB3 は初期状態がデバッグインタフェース端子となり、入出力・プルアップが有効な状態です。
- (注 2) PB4 は初期状態がデバッグインタフェース端子となり、入力・プルダウンが有効な状態です。
- (注 3) PB5 は初期状態がデバッグインタフェース端子となり、出力が有効な状態です。
- (注 4) PB6、PB7 は初期状態がデバッグインタフェース端子となり、入力・プルアップが有効な状態です。
- (注 5) PB3、PB5 がデバッグインタフェースの場合、CGSTBYCR<DRVE>の設定によらず、STOP モード中も出力が有効な状態のまま保持されます。

ポート B レジスタ

		7	6	5	4	3	2	1	0
PBDATA (0x4000_0040)	Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	Read/Write	R/W							
	リセット後	"0"							

ポート B コントロールレジスタ

		7	6	5	4	3	2	1	0
PBCR (0x4000_0044)	Bit Symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
	Read/Write	R/W							
	リセット後	0	0	1	0	1	0	0	0
	機能	出力 0: 禁止 1: 許可							

ポートB ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PBF1R1 (0x4000_0048)	Bit Symbol	PB7F1	PB6F1	PB5F1	PB4F1	PB3F1	PB2F1	PB1F1	PB0F1
	Read/Write	R/W							
	リセット後	1	1	1	1	1	0	0	0
	機能	0:PORT 1:TRST	0:PORT 1:TDI	0:PORT 1:TDO/ SWV	0:PORT 1:TCK/ SWCLK	0:PORT 1:TMS/ SWDIO	0:PORT 1:TRACE DATA1	0:PORT 1:TRACE DATA0	0:PORT 1:TRACE CLK

ポートB オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PBOD (0x4000_0068)	Bit Symbol	PB7OD	PB6OD	PB5OD	PB4OD	PB3OD	PB2OD	PB1OD	PB0OD
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートB プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PBPUP (0x4000_006C)	Bit Symbol	PB7UP	PB6UP	PB5UP	PB4UP	PB3UP	PB2UP	PB1UP	PB0UP
	Read/Write	R/W							
	リセット後	1	1	0	0	1	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートB プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PBPDN (0x4000_0070)	Bit Symbol	PB7DN	PB6DN	PB5DN	PB4DN	PB3DN	PB2DN	PB1DN	PB0DN
	Read/Write	R/W							
	リセット後	0	0	0	1	0	0	0	0
	機能	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートB 入力制御レジスタ

		7	6	5	4	3	2	1	0
PBIE (0x4000_0078)	Bit Symbol	PB7IE	PB6IE	PB5IE	PB4IE	PB3IE	PB2IE	PB1IE	PB0IE
	Read/Write	R/W							
	リセット後	1	1	0	1	1	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.4 ポートC (PC0~PC7)

ポートCはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。汎用入出力ポート機能以外にマルチパーパスタイマによる三相モータ制御用の入出力端子機能、IGBT制御用の入出力端子機能、タイマの入出力、そしてシリアルバスインタフェースの機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。

入力ポートとして使用する場合には、入力制御レジスタを設定してください。

ポートC レジスタ

PCDATA (0x4000_0080)		7	6	5	4	3	2	1	0
	Bit Symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write	R/W							
	リセット後	"0"							

ポートC コントロールレジスタ

PCCR (0x4000_0084)		7	6	5	4	3	2	1	0
	Bit Symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	出力 0: 禁止 1: 許可								

ポートC ファンクションレジスタ1

PCFR1 (0x4000_0088)		7	6	5	4	3	2	1	0
	Bit Symbol	—	PC6F1	PC5F1	PC4F1	PC3F1	PC2F1	PC1F1	PC0F1
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	0:PORT 1:EMG0	0:PORT 1:ZO0	0:PORT 1:WO0	0:PORT 1:YO0	0:PORT 1:VO0	0:PORT 1:XO0	0:PORT 1:UO0	

ポートC ファンクションレジスタ2

PCFR2 (0x4000_008C)		7	6	5	4	3	2	1	0
	Bit Symbol	PC7F2	PC6F2	PC5F2	PC4F2	PC3F2	PC2F2	PC1F2	PC0F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:MT0IN	0:PORT 1:GEMG0	0:PORT 1:MTOUT 10	0:PORT 1:MTOUT 00	0:PORT 1:SP0FSS	0:PORT 1:SP0CLK	0:PORT 1:SP0DI	0:PORT 1:SP0DO	

ポートC ファンクションレジスタ3

	7	6	5	4	3	2	1	0	
PCFR3 (0x4000_0090)	Bit Symbol	—	—	PC5F3	PC4F3	—	PC2F3	PC1F3	PC0F3
	Read/Write	R		R/W		R	R/W		
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると"0"が読めます		0:PORT 1:MTTB0 N	0:PORT 1:MTTB0 OUT	リードす ると"0"が 読めます	0:PORT 1:SCK0	0:PORT 1:SI0/SCL 0	0:PORT 1:SO0/SD A0

ポートC ファンクションレジスタ4

	7	6	5	4	3	2	1	0
PCFR4 (0x4000_0094)	Bit Symbol	PC7F4	PC6F4	PC5F4	—	—	—	—
	Read/Write	R/W			R			
	リセット後	0	0	0	0	0	0	0
	機能	0:PORT 1:RX4	0:PORT 1:TX4	0:PORT 1:SCLK4	リードすると"0"が読めます			

ポートC ファンクションレジスタ5

	7	6	5	4	3	2	1	0
PCFR5 (0x4000_0098)	Bit Symbol	—	—	PC5F5	—	—	—	—
	Read/Write	R		R/W	R			
	リセット後	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます		0:PORT 1:CTS4	リードすると"0"が読めます			

ポートC オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0	
PCOD (0x4000_00A8)	Bit Symbol	PC7OD	PC6OD	PC5OD	PC4OD	PC3OD	PC2OD	PC1OD	PC0OD
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートC プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PCPUP (0x4000_00AC)	Bit Symbol	PC7UP	PC6UP	PC5UP	PC4UP	PC3UP	PC2UP	PC1UP	PC0UP
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートC プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PCPDN (0x4000_00B0)	Bit Symbol	PC7DN	PC6DN	PC5DN	PC4DN	PC3DN	PC2DN	PC1DN	PC0DN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートC 入力制御レジスタ

		7	6	5	4	3	2	1	0
PCIE (0x4000_00B8)	Bit Symbol	PC7IE	PC6IE	PC5IE	PC4IE	PBCIE	PC2IE	PC1IE	PC0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.5 ポートD (PD0～PD6)

重要

**TMPM382 (64ピン版) は、ポートD (PD0～PD6)はありません。
それらに関する機能は使用しないでください。**

ポートDはビット単位で入出力の指定ができる7ビットの汎用入出力ポートです。汎用ポート機能以外にシリアルインタフェース機能、16ビットタイマ入出力機能、割り込み入力機能、エンコーダ入力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウン・はデイスレーブル状態になります。

入力ポートとして使用する場合には、PDIEを設定してください。16ビットタイマ入力として使用する場合には、PDFR1とPDIEを設定してください。

割り込み入力をSTOPモード解除に使用する場合、PDFR1、PDFR3で機能設定にし、PDIEで入力設定をしてください。この設定では、クロック/モード制御部のCGSTBYCR<DRVE>でSTOPモード中端子をドライブしない設定を行っていても割り込み入力可能です。

(注) STOP以外のモードでは、PDIEで入力イネーブル設定であればPDFR1、PDFR3の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

ポートD レジスタ

	7	6	5	4	3	2	1	0	
PDDATA (0x4000_00C0)	Bit Symbol	—	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Read/Write	R	R/W						
	リセット後	"0"							

ポートD コントロールレジスタ

	7	6	5	4	3	2	1	0	
PDCR (0x4000_00C4)	Bit Symbol	—	PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	出力 0: 禁止 1: 許可						

ポートD ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
PDFR1 (0x4000_00C8)	Bit Symbol	—	PD6F1	PD5F1	PD4F1	PD3F1	PD2F1	PD1F1	PD0F1
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	0:PORT 1:RXD2	0:PORT 1:TXD2	0:PORT 1:SCLK2	0:PORT 1:INT9	0:PORT 1:ENCZ0	0:PORT 1:ENCB0	0:PORT 1:ENCA0

ポートD ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PDFR2 (0x4000_00CC)	Bit Symbol	—	—	—	PD4F2	—	—	PD1F2	PD0F2
	Read/Write	R			R/W	R		R/W	R/W
	リセット後	0			0	0		0	0
	機能	リードすると"0"が読めます			0:PORT 1:CTS2	リードすると"0"が読めます		0:PORT 1:TB5OUT	0:PORT 1:TB5IN

ポートD ファンクションレジスタ 3

		7	6	5	4	3	2	1	0
PDFR3 (0x4000_00D0)	Bit Symbol	—	—	—	—	—	PD2F3	—	PD0F3
	Read/Write	R					R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます					0:PORT 1:INTD	リードすると"0"が読めます	0:PORT 1:INTC

ポートD オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PDDOD (0x4000_00E8)	Bit Symbol	—	PD6OD	PD5OD	PD4OD	PD3OD	PD2OD	PD1OD	PD0OD
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートD プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PDPUP (0x4000_00EC)	Bit Symbol	—	PD6UP	PD5UP	PD4UP	PD3UP	PD2UP	PD1UP	PD0UP
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートD プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PDPDN (0x4000_00F0)	Bit Symbol	—	PD6DN	PD5DN	PD4DN	PD3DN	PD2DN	PD1DN	PD0DN
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートD 入力制御レジスタ

	7	6	5	4	3	2	1	0	
PDIE (0x4000_00F8)	Bit Symbol	—	PD6IE	PD5IE	PD4IE	PD3IE	PD2IE	PD1IE	PD0IE
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.6 ポート E (PE0~PE7)

重要

**TMPM382 (64ピン版) は、ポート E (PE6、PE7)はありません。
それらに関する機能は使用しないでください。**

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外にシリアルインタフェース機能、タイマ入出力機能、外部割り込み入力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。

割り込み入力を STOP モード解除に使用する場合、PEFR2 レジスタで機能設定にし、PEIE レジスタで入力設定をしてください。この設定では、クロック/モード制御部の CGSTBYCR<DRVE>で STOP モード中端子をドライブしない設定を行っていても割り込み入力可能です。

(注) STOP 以外のモードでは、PEIE で入力イネーブル設定であれば PEFR2 の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

ポート E レジスタ

		7	6	5	4	3	2	1	0	
PEDATA (0x4000_0100)	Bit Symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
	Read/Write	R/W								
	リセット後	"0"								

ポート E コントロールレジスタ

		7	6	5	4	3	2	1	0	
PECR (0x4000_0104)	Bit Symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	出力 0: 禁止 1: 許可								

ポート E ファンクションレジスタ 1

		7	6	5	4	3	2	1	0	
PEFR1 (0x4000_0108)	Bit Symbol	PE7F1	PE6F1	PE5F1	PE4F1	PE3F1	PE2F1	PE1F1	PE0F1	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	0:PORT 1:TB3OUT	0:PORT 1:TB3IN	0:PORT 1:TB2OUT	0:PORT 1:TB2IN	0:PORT 1:TB4OUT	0:PORT 1:SCLK0	0:PORT 1:RXD0	0:PORT 1:TXD0	

ポートE ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PEFR2 (0x4000_010C)	Bit Symbol	PE7F2	PE6F2	—	PE4F2	—	PE2F2	—	—
	Read/Write	R/W	R/W	R	R/W	R	R/W	R	
	リセット後	0	0	0	0	0	0	0	
	機能	0:PORT 1:INT7	0:PORT 1:INT6	リードすると"0"が読めます	0:PORT 1:INT5	リードすると"0"が読めます	0:PORT 1:CTS0	リードすると"0"が読めます	

ポートE オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PEOD (0x4000_0128)	Bit Symbol	PE7OD	PE6OD	PE5OD	PE4OD	PE3OD	PE2OD	PE1OD	PE0OD
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートE プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PEPUP (0x4000_012C)	Bit Symbol	PE7UP	PE6UP	PE5UP	PE4UP	PE3UP	PE2UP	PE1UP	PE0UP
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートE プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PEPDN (0x4000_0130)	Bit Symbol	PE7DN	PE6DN	PE5DN	PE4DN	PE3DN	PE2DN	PE1DN	PE0DN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートE 入力制御レジスタ

		7	6	5	4	3	2	1	0
PEIE (0x4000_0138)	Bit Symbol	PE7IE	PE6IE	PE5IE	PE4IE	PE3IE	PE2IE	PE1IE	PE0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.7 ポート F (PF0~PF4)

重要

**TMPM382 (64ピン版) は、ポート F (PF2、PF3、PF4)はありません。
それらに関する機能は使用しないでください。**

ポート F はビット単位で入出力の指定ができる 5 ビットの汎用入出力ポートです。汎用ポート機能以外にシリアルインタフェース機能、タイマ入出力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルダウンはディセーブル状態になります。

ポート F レジスタ

		7	6	5	4	3	2	1	0
PFDATA (0x4000_0140)	Bit Symbol	—	—	—	PF4	PF3	PF2	PF1	PF0
	Read/Write	R			R/W				
	リセット後	"0"							
	機能								

ポート F コントロールレジスタ

		7	6	5	4	3	2	1	0
PFCR (0x4000_0144)	Bit Symbol	—	—	—	PF4C	PF3C	PF2C	PF1C	PF0C
	Read/Write	R			R/W				
	リセット後	0	0	0	0	0	0	0	0
	機能							出力 0: 禁止 1: 許可	

ポート F ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PFFR1 (0x4000_0148)	Bit Symbol	—	—	—	PF4F1	PF3F1	PF2F1	PF1F1	PF0F1
	Read/Write	R			R/W				
	リセット後	0			0	0	0	0	0
	機能	リードすると"0"が読めます			0:PORT 1:ENCZ1	0:PORT 1:ENCB1	0:PORT 1:ENCA1	0:PORT 1:TB7OUT	0:PORT 1:TB7IN

ポート F ファンクションレジスタ 2

		7	6	5	4	3	2	1	0	
PFFR2 (0x4000_014C)	Bit Symbol	—	—	—	PF4F2	PF3F2	PF2F2	PF1F2	—	
	Read/Write	R			R/W					R
	リセット後	0			0	0	0	0	0	
	機能	リードすると"0"が読めます			0:PORT 1:RXD3	0:PORT 1:TXD3	0:PORT 1:SCLK3	0:PORT 1:ALARM	リードすると"0"が読めます	

ポートF ファンクションレジスタ 3

	7	6	5	4	3	2	1	0
PFFR3 (0x4000_0150)	Bit Symbol	—	—	—	—	PF2F3	—	—
	Read/Write	R				R/W	R	
	リセット後	0				0	0	
	機能	リードすると"0"が読めます				0:PORT 1:CTS3	リードすると"0"が読めます	

ポートF オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0	
PFOD (0x4000_0168)	Bit Symbol	—	—	—	PF4OD	PF3OD	PF2OD	PF1OD	PF0OD
	Read/Write	R			R/W				
	リセット後	0			0	0	0	0	0
	機能	リードすると"0"が読めます			0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートF プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PFPUP (0x4000_016C)	Bit Symbol	—	—	—	PF4UP	PF3UP	PF2UP	PF1UP	PF0UP
	Read/Write	R			R/W				
	リセット後	0			0	0	0	0	0
	機能	リードすると"0"が読めます			プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートF プルダウン制御レジスタ

	7	6	5	4	3	2	1	0	
PFPDN (0x4000_0170)	Bit Symbol	—	—	—	PF4DN	PF3DN	PF2DN	PF1DN	PF0DN
	Read/Write	R			R/W				
	リセット後	0			0	0	0	0	0
	機能	リードすると"0"が読めます			プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートF 入力制御レジスタ

	7	6	5	4	3	2	1	0	
PFIE (0x4000_0178)	Bit Symbol	—	—	—	PF4IE	PF3IE	PF2IE	PF1IE	PF0IE
	Read/Write	R			R/W				
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます			入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.8 ポート G (PG0~PG7)

重要

**TMPM382 (64ピン版) は、ポート G (PD0~PG7)はありません。
それらに関する機能は使用しないでください。**

ポート G はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用入出力ポート機能以外にマルチパーパスタイマによる三相モータ制御の為の入出力端子機能、IGBT制御の為の入出力端子機能、タイマの入出力、そしてシリアルバスインタフェース機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。

入力ポートとして使用する場合には、入力制御レジスタを設定してください。

ポート G レジスタ

		7	6	5	4	3	2	1	0	
PGDATA (0x4000_0180)	Bit Symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0	
	Read/Write	R/W								
	リセット後	"0"								
	機能									

ポート G コントロールレジスタ

		7	6	5	4	3	2	1	0	
PGCR (0x4000_0184)	Bit Symbol	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	出力 0: 禁止 1: 許可								

ポート G ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
PGFR1 (0x4000_0188)	Bit Symbol	—	PG6F1	PG5F1	PG4F1	PG3F1	PG2F1	PG1F1	PG0F1
	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	0:PORT 1:EMG1	0:PORT 1:ZO1	0:PORT 1:WO1	0:PORT 1:YO1	0:PORT 1:VO1	0:PORT 1:XO1	0:PORT 1:UO1

ポート G ファンクションレジスタ 2

		7	6	5	4	3	2	1	0
PGFR2 (0x4000_018C)	Bit Symbol	PG7F2	PG6F2	PG5F2	PG4F2	—	—	—	—
	Read/Write	R/W				R			
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT 1:MT1IN	0:PORT 1:GEMG1	0:PORT 1:MTOUT 01	0:PORT 1:MTOUT 00	リードすると"0"が読めます			

ポートG ファンクションレジスタ 3

	7	6	5	4	3	2	1	0	
PGFR3 (0x4000_0190)	Bit Symbol	—	—	PG5F3	PG4F3	—	PG2F3	PG1F3	PG0F3
	Read/Write	R		R/W		R	R/W		
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます		0:PORT 1:MTTB1 N	0:PORT 1:MTTB1 OUT	リードすると"0"が読めます	0:PORT 1:SCK1	0:PORT 1:SI1/SCL 1	0:PORT 1:SO1/SD A1

ポートG オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0	
PGOD (0x4000_01A8)	Bit Symbol	PG7OD	PG6OD	PG5OD	PG4OD	PG3OD	PG2OD	PG1OD	PG0OD
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートG プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PGPUP (0x4000_01AC)	Bit Symbol	PG7UP	PG6UP	PG5UP	PG4UP	PG3UP	PG2UP	PG1UP	PG0UP
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートG プルダウン制御レジスタ

	7	6	5	4	3	2	1	0	
PGPDN (0x4000_01B0)	Bit Symbol	PG7DN	PG6DN	PG5DN	PG4DN	PG3DN	PG2DN	PG1DN	PG0DN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートG 入力制御レジスタ

	7	6	5	4	3	2	1	0	
PGIE (0x4000_01B8)	Bit Symbol	PG7IE	PG6IE	PG5IE	PG4IE	PG3IE	PG2IE	PG1IE	PG0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.9 ポートH (PH0~PH7)

ポートHはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。汎用ポート機能以外にA/Dコンバータのアナログ入力端子機能、外部割込み入力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。

割り込み入力をSTOPモード解除に使用する場合、PHFR1で機能設定にし、PHIEで入力設定をしてください。この設定では、クロック/モード制御部のCGSTBYCR<DRVE>でSTOPモード中端子をドライブしない設定を行っていても割り込み入力可能です。

- (注) STOP以外のモードでは、PHIEで入力インネーブル設定であればPHFR1の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをインネーブルにしないようご注意ください。
- (注) ポートHを、アナログ入力とそれ以外の機能で混在して使用した場合、A/D変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

ポートH レジスタ

		7	6	5	4	3	2	1	0	
PHDATA (0x4000_01C0)	Bit Symbol	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
	Read/Write	R/W								
	リセット後	"0"								

ポートH コントロールレジスタ

		7	6	5	4	3	2	1	0	
PHCR (0x4000_01C4)	Bit Symbol	PH7C	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	出力 0: 禁止 1: 許可								

ポートH ファンクションレジスタ 1

		7	6	5	4	3	2	1	0	
PHFR1 (0x4000_01C8)	Bit Symbol	-	-	-	-	-	PH2F1	PH1F1	PH0F1	
	Read/Write	R					R/W			
	リセット後	0	0	0	0	0	0	0	0	
	機能	リードすると"0"が読めます					0:PORT 1:INT2	0:PORT 1:INT1	0:PORT 1:INT0	

ポートH オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PHOD (0x4000_01E8)	Bit Symbol	PH7OD	PH6OD	PH5OD	PH4OD	PH3OD	PH2OD	PH1OD	PH0OD
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートH プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PHPUP (0x4000_01EC)	Bit Symbol	PH7UP	PH6UP	PH5UP	PH4UP	PH3UP	PH2UP	PH1UP	PH0UP
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートH プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PHPDN (0x4000_01F0)	Bit Symbol	PH7DN	PH6DN	PH5DN	PH4DN	PH3DN	PH2DN	PH1DN	PH0DN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートH 入力制御レジスタ

		7	6	5	4	3	2	1	0
PHIE (0x4000_01F8)	Bit Symbol	PH7IE	PH6IE	PH5IE	PH4IE	PH3IE	PH2IE	PH1IE	PH0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.10 ポート I (PI0~PI1)

ポート I はビット単位で入出力の指定ができる 2 ビットの汎用入出力ポートです。汎用ポート機能以外に A/D コンバータのアナログ入力端子機能があります。

リセットによってすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはデイスレーブル状態になります。

(注) ポート I を、アナログ入力とそれ以外の機能で混在して使用した場合、A/D 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

ポート I レジスタ

		7	6	5	4	3	2	1	0
PIDATA (0x4000_0200)	Bit Symbol	—	—	—	—	—	—	PI1	PI0
	Read/Write	R						R/W	
	リセット後	"0"							
	機能								

ポート I コントロールレジスタ

		7	6	5	4	3	2	1	0
PICR (0x4000_0204)	Bit Symbol	—	—	—	—	—	—	PI1C	PI0C
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます						出力 0: 禁止 1: 許可	

ポート I オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PIOD (0x4000_0228)	Bit Symbol	—	—	—	—	—	—	PI1OD	PI0OD
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能							0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポート I プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PIPUP (0x4000_022C)	Bit Symbol	—	—	—	—	—	PI1UP	PI0UP	
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると"0"が読めます						プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポート I プルダウン制御レジスタ

	7	6	5	4	3	2	1	0	
PIPDN (0x4000_0230)	Bit Symbol	—	—	—	—	—	PI1DN	PI0DN	
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると"0"が読めます						プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポート I 入力制御レジスタ

	7	6	5	4	3	2	1	0	
PIIE (0x4000_0238)	Bit Symbol	—	—	—	—	—	PI1IE	PI0IE	
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると"0"が読めます						入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.11 ポート J (PJ0~PJ7)

重要

**TMPM382 (64ピン版) は、ポート J (PJ0~PJ7)はありません。
それらに関する機能は使用しないでください。**

ポート J はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。汎用ポート機能以外に A/D コンバータのアナログ入力端子機能、外部割込み入力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。

割り込み入力を STOP モード解除に使用する場合、PJFR1 で機能設定にし、PJIE で入力設定をしてください。この設定では、クロック/モード制御部の CGSTBYCR<DRVE>で STOP モード中端子をドライブしない設定を行っていても割り込み入力可能です。

- (注) STOP 以外のモードでは、PJIE で入力イネーブル設定であれば PJFR1 の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。
- (注) ポート J を、アナログ入力とそれ以外の機能で混在して使用した場合、A/D 変換精度が悪化する場合があります。必ずご使用になるシステム上で問題のないことを確認してください。

ポート J レジスタ

		7	6	5	4	3	2	1	0	
PJDATA (0x4000_0240)	Bit Symbol	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
	Read/Write	R/W								
	リセット後	"0"								

ポート J コントロールレジスタ

		7	6	5	4	3	2	1	0	
PJCR (0x4000_0244)	Bit Symbol	PJ7C	PJ6C	PJ5C	PJ4C	PJ3C	PJ2C	PJ1C	PJ0C	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	出力 0: 禁止 1: 許可								

ポート J ファンクションレジスタ 1

		7	6	5	4	3	2	1	0	
PJFR1 (0x4000_0248)	Bit Symbol	PJ7F1	PJ6F1	—	—	—	—	—	—	
	Read/Write	R/W			R					
	リセット後	0	0	0	0	0	0	0	0	
	機能	0:PORT 1:INTB	0:PORT 1:INTA	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	

ポート J オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PJOD (0x4000_0268)	Bit Symbol	PJ7OD	PJ6OD	PJ5OD	PJ4OD	PJ3OD	PJ2OD	PJ1OD	PJ0OD
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポート J プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PJUP (0x4000_026C)	Bit Symbol	PJ7UP	PJ6UP	PJ5UP	PJ4UP	PJ3UP	PJ2UP	PJ1UP	PJ0UP
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポート J プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PJPDN (0x4000_0270)	Bit Symbol	PJ7DN	PJ6DN	PJ5DN	PJ4DN	PJ3DN	PJ2DN	PJ1DN	PJ0DN
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポート J 入力制御レジスタ

		7	6	5	4	3	2	1	0
PJIE (0x4000_0278)	Bit Symbol	PJ7IE	PJ6IE	PJ5IE	PJ4IE	PJ3IE	PJ2IE	PJ1IE	PJ0IE
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.12 ポートL (P L 0、P L 2)

ポートLは2ビットの汎用ポートです。1ビットの出力ポートと1ビットの入出力ポートで構成されます。汎用ポート機能以外に外部割込み入力機能と動作モード設定機能があります。

リセットによりすべてのビットは汎用ポートとなり、PL0の出力とプルダウン、PL2の入出力とプルアップ/プルダウンはディセーブル状態になります。

セットが“0”の期間、PL0はBOOTモード入力とプルアップがイネーブルとなっており、リセット信号の立ち上がりでPL0が“1”の場合、シングルモードとなって内蔵Flashメモリから起動し、PL0が“0”の場合、シングルBOOTモードとなって内蔵BOOTROMから起動します。シングルBOOTモードの説明は、『Flash動作説明』を参照してください。

割り込み入力をSTOPモード解除に使用する場合、PLFR1レジスタで機能設定にし、PLIEレジスタで入力設定をしてください。この設定では、クロック/モード制御部のCGSTBYCR<DRVE>ビットでSTOPモード中端子をドライブしない設定を行っていても割り込み入力可能です。

(注) STOP以外のモードでは、PLIEで入力イネーブル設定であればPLFRの設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

ポートL レジスタ

		7	6	5	4	3	2	1	0
PLDATA (0x4000_02C0)	Bit Symbol	—	—	—	—	—	PL2	—	PL0
	Read/Write	R					R/W	R	R/W
	リセット後	リードすると“0”が読めます					“0”	リードすると“0”が読めます	“0”

ポートL コントロールレジスタ

		7	6	5	4	3	2	1	0
PLCR (0x4000_02C4)	Bit Symbol	—	—	—	—	—	PL2C	—	PL0C
	Read/Write	R					R/W	R	R/W
	リセット後	0					0	0	0
	機能	リードすると“0”が読めます					出力 0: 禁止 1: 許可	リードすると“0”が読めます	出力 0: 禁止 1: 許可

ポートL ファンクションレジスタ1

		7	6	5	4	3	2	1	0
PLFR1 (0x4000_02C8)	Bit Symbol	—	—	—	—	—	PL2F1	—	—
	Read/Write	R					R/W	R	R
	リセット後	0					0	0	0
	機能	リードすると“0”が読めます					0: PORT 1: INTF	リードすると“0”が読めます	

ポートL オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PLOD (0x4000_02E8)	Bit Symbol	—	—	—	—	—	PL2OD	—	PL0OD
	Read/Write	R					R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます					0:CMOS 1:オープン ドレイン	リードす ると"0"が 読めます	0:CMOS 1:オープン ドレイン

ポートL プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PLPUP (0x4000_02EC)	Bit Symbol	—	—	—	—	—	PL2UP	—	PL0UP
	Read/Write	R					R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます					プルアップ 0:オフ 1:Pull-Up	リードす ると"0"が 読めます	プルアップ 0:オフ 1:Pull-Up

ポートL プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PLPDN (0x4000_02F0)	Bit Symbol	—	—	—	—	—	PL2DN	—	PL0DN
	Read/Write	R					R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます					プルダウン 0:オフ 1:Pull-Down	リードす ると"0"が 読めます	プルダウン 0:オフ 1:Pull-Down

ポートL 入力制御レジスタ

		7	6	5	4	3	2	1	0
PLIE (0x4000_02F8)	Bit Symbol	—	—	—	—	—	PL2IE	—	—
	Read/Write	R					R/W	R	
	リセット後	0					0	0	0
	機能	リードすると"0"が読めます					入力 0:禁止 1:許可	リードすると"0"が読め ます	

8.2.13 ポートM (PM0~PM1)

ポートMはビット単位で入出力の指定ができる2ビットの汎用入出力ポートです。汎用ポート機能以外にCGOSCCR<HOSCON>=1で外部高速発振子接続用端子(X1,X2)になります。(注1)

CGOSCCR<HOSCON>=1となっている間はポートMの各レジスタの書換えはできません。外部高速発振子接続端子として使用する場合は『クロック/モード制御』の章をご参照ください(注1)。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。(注2)

- (注1) ポートMが“H”出力の状態、外部高速発振子接続端子へ切り替えないでください。
- (注2) リセット解除後に選択される高速クロックは内蔵高速クロックです。従って、初期状態ではポートMになります。

ポートM レジスタ

	7	6	5	4	3	2	1	0	
PMDATA (0x4000_0300)	Bit Symbol	—	—	—	—	—	PM1	PM0	
	Read/Write	R						R/W	
	リセット後	リードすると“0”が読めます						“0”	

ポートM コントロールレジスタ

	7	6	5	4	3	2	1	0	
PMCR (0x4000_0304)	Bit Symbol	—	—	—	—	—	PM1C	PM0C	
	Read/Write	R						R/W	
	リセット後	0						0	0
	機能	リードすると“0”が読めます						出力 0: 禁止 1: 許可	

ポートM オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0	
PMOD (0x4000_0328)	Bit Symbol	—	—	—	—	—	PM1OD	PM0OD	
	Read/Write	R						R/W	R/W
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると“0”が読めます						0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートM プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PMPUP (0x4000_032C)	Bit Symbol	—	—	—	—	—	PM1UP	PM0UP	
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると"0"が読めます						プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートM プルダウン制御レジスタ

	7	6	5	4	3	2	1	0	
PMPDN (0x4000_0330)	Bit Symbol	—	—	—	—	—	PM1DN	PM0DN	
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	
	機能	リードすると"0"が読めます						プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートM 入力制御レジスタ

	7	6	5	4	3	2	1	0	
PMIE (0x4000_0338)	Bit Symbol	—	—	—	—	—	PM1IE	PM0IE	
	Read/Write	R						R/W	
	リセット後	0						0	0
	機能	リードすると"0"が読めます						入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.14 ポートN (PN0~PN7)

重要

**TMPM382 (64ピン版) は、ポートN(PN0~PN7)はありません。
それらに関する機能は使用しないでください。**

ポートNはビット単位で入出力の指定ができる8ビットの汎用入出力ポートです。汎用ポート機能以外にシリアルインタフェース機能、タイマ入出力機能、IGBT制御用の入出力機能があります。

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります。

割り込み入力をSTOPモード解除に使用する場合、PNFR2レジスタで機能設定にし、PNIEレジスタで入力設定をしてください。この設定では、クロック/モード制御部のCGSTBYCR<DRVE>でSTOPモード中端子をドライブしない設定を行っていても割り込み入力可能です。

(注) STOP以外のモードでは、PNIEで入力イネーブル設定であればPNFR2の設定によらず割り込みの入力が可能になります。割り込みの設定を行う際に、未使用の割り込みをイネーブルにしないようご注意ください。

ポートN レジスタ

		7	6	5	4	3	2	1	0	
PNDATA (0x4000_0340)	Bit Symbol	PN7	PN6	PN5	PN4	PN3	PN2	PN1	PN0	
	Read/Write	R/W								
	リセット後	"0"								

ポートN コントロールレジスタ

		7	6	5	4	3	2	1	0	
PNCR (0x4000_0344)	Bit Symbol	PN7C	PN6C	PN5C	PN4C	PN3C	PN2C	PN1C	PN0C	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	出力 0: 禁止 1: 許可								

ポートN ファンクションレジスタ1

		7	6	5	4	3	2	1	0	
PNFR1 (0x4000_0348)	Bit Symbol	PN7F1	PN6F1	PN5F1	PN4F1	PN3F1	PN2F1	PN1F1	PN0F1	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	0:PORT 1:MT2IN	0:PORT 1:EMG2	0:PORT 1:MTOUT 12	0:PORT 1:MTOUT 02	0:PORT 1:SP1FSS	0:PORT 1:SP1CLK	0:PORT 1:SP1DI	0:PORT 1: SP1DO0	

ポートN ファンクションレジスタ 2

	7	6	5	4	3	2	1	0
PNFR2 (0x4000_034C)	Bit Symbol	PN7F2	—	PN5F2	PN4F2	—	—	—
	Read/Write	R/W	R	R/W	R/W	R		
	リセット後	0	0	0	0	0	0	0
	機能	0:PORT 1:INTE	リードすると"0"が読めます	0:PORT 1:MTTB2I N	0:PORT 1:MTTB2O UT	リードすると"0"が読めます		

ポートN オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
PNOD (0x4000_0368)	Bit Symbol	PN7OD	PN6OD	PN5OD	PN4OD	PN3OD	PN2OD	PN1OD
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートN プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
PNPUP (0x4000_036C)	Bit Symbol	PN7UP	PN6UP	PN5UP	PN4UP	PN3UP	PN2UP	PN1UP
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートN プルダウン制御レジスタ

	7	6	5	4	3	2	1	0
PNPDN (0x4000_0370)	Bit Symbol	PN7DN	PN6DN	PN5DN	PN4DN	PN3DN	PN2DN	PN1DN
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートN 入力制御レジスタ

	7	6	5	4	3	2	1	0
PNIE (0x4000_0378)	Bit Symbol	PN7IE	PN6IE	PN5IE	PN4IE	PN3IE	PN2IE	PN1IE
	Read/Write	R/W						
	リセット後	0	0	0	0	0	0	0
	機能	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.2.15 ポートP (PP0~PP1)

ポートPはビット単位で入出力の指定ができる2ビットの汎用入出力ポートです。汎用ポート機能以外に外部低速発振子接続用端子(XT1,XT2)になります。(注1)

リセットによりすべてのビットは汎用ポートとなり、入力・出力・プルアップ・プルダウンはディセーブル状態になります(注2)。

(注1) ポートPが“H”出力の状態、外部低速発振子接続端子へ切り替えないでください。外部低速発振子接続端子として使用する場合の手順は『クロック/モード制御』の章をご参照ください。

(注2) リセット解除後、低速クロックは停止状態です。従って、初期状態ではポートPになりません。

ポートP レジスタ

		7	6	5	4	3	2	1	0
PPDATA (0x4000_0380)	Bit Symbol	—	—	—	—	—	—	PP1	PP0
	Read/Write	R						R/W	
	リセット後	リードすると“0”が読めます						“0”	
	機能	リードすると“0”が読めます							

ポートP コントロールレジスタ

		7	6	5	4	3	2	1	0
PPCR (0x4000_0384)	Bit Symbol	—	—	—	—	—	—	PP1C	PP0C
	Read/Write	R						R/W	
	リセット後	0						0	0
	機能	リードすると“0”が読めます						出力 0: 禁止 1: 許可	

ポートP オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0
PPOD (0x4000_03A8)	Bit Symbol	—	—	—	—	—	—	PP1OD	PP0OD
	Read/Write	R						R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます						0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン

ポートP プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PPPUP (0x4000_03AC)	Bit Symbol	—	—	—	—	—	—	PP1UP	PP0UP
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます						プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポートP プルダウン制御レジスタ

		7	6	5	4	3	2	1	0
PPPDN (0x4000_03B0)	Bit Symbol	—	—	—	—	—	—	PP1DN	PP0DN
	Read/Write	R						R/W	
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます						プルダウン 0:オフ 1:Pull-Down	プルダウン 0:オフ 1:Pull-Down

ポートP 入力制御レジスタ

		7	6	5	4	3	2	1	0
PPIE (0x4000_03B8)	Bit Symbol	—	—	—	—	—	—	PP1IE	PP0IE
	Read/Write	R						R/W	
	リセット後	0						0	0
	機能	リードすると"0"が読めます						入力 0:禁止 1:許可	入力 0:禁止 1:許可

8.3 付録（ポート設定一覧）

機能毎のレジスタ設定一覧を下記に示します。

8.3.1 ポートA設定

表 8-2 ポートA設定一覧

Port Name	Function	Type	Port A SFR						
			PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	* GPIO	-	★	★	0	★	★	★	★
	TB0IN	FT1	X	0	PA0F1	0	★	★	1
	INT3	FT4	X	0	PA0F2	0	★	★	1
PA1	* GPIO	-	★	★	0	★	★	★	★
	TB0OUT	FT1	X	1	PA1F1	★	★	★	0
	SCOUT	FT1	X	1	PA1F2	★	★	★	0
PA2	* GPIO	-	★	★	0	★	★	★	★
	TB1IN	FT1	X	0	PA2F1	0	★	★	1
	INT4	FT4	X	0	PA2F2	0	★	★	1
PA3	* GPIO	-	★	★	0	★	★	★	★
	TB1OUT	FT1	X	1	PA3F1	★	★	★	0
	RXIN	FT1	X	0	PA3F2	0	★	★	1
PA4	* GPIO	-	★	★	0	★	★	★	★
	SCLK1 (IN)	FT1	X	0	PA4F1	0	★	★	1
	SCLK1 (OUT)	FT1	X	1	PA4F1	★	★	★	0
	CTS1	FT1	X	0	PA4F2	0	★	★	1
PA5	* GPIO	-	★	★	0	★	★	★	★
	TX1	FT1	X	1	PA5F1	★	★	★	0
	TB6OUT	FT1	X	1	PA5F2	★	★	★	0
PA6	* GPIO	-	★	★	0	★	★	★	★
	RX1	FT1	X	0	PA6F1	0	★	★	1
	TB6IN	FT1	X	0	PA6F2	0	★	★	1
PA7	* GPIO	-	★	★	0	★	★	★	★
	TB4IN	FT1	X	0	PA7F1	0	★	★	1
	INT8	FT4	X	0	PA7F2	0	★	★	1

【Function】

*: 初期状態

INTn: STOPモード解除に使用しない場合は、PAFRnはDon't Care

【PAFRn】

"0": PAFRn全ての該当ビットが非選択"0"

"PAxFn": PAFRnの選択必要なビットをビットシンボル名で記載

【Port A SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

※ポート回路図につきましては、上記のType F1～F6に分類されます。詳細はポート回路図で示します。

8.3.2 ポートB設定

表 8-3 ポートB設定一覧

Port Name	Function	Type	Port B SFR						
			PBDATA	PBCR	PBFRn	PBOD	PBPUP	PBPDN	PBIE
PB0	* GPIO	-	★	★	0	★	★	★	★
	TRACECLK	FT1	X	1	PB0F1	★	★	★	0
PB1	* GPIO	-	★	★	0	★	★	★	★
	TRACEDATA0	FT1	X	1	PB1F1	★	★	★	0
PB2	* GPIO	-	★	★	0	★	★	★	★
	TRACEDATA1	FT1	X	1	PB2F1	★	★	★	0
PB3	* TMS/SWDIO	FT2	X	1	PB3F1	0	1	0	1
	GPIO	-	★	★	0	★	★	★	★
PB4	* TCK/SWCLK	FT2	X	0	PB4F1	0	0	1	1
	GPIO	-	★	★	0	★	★	★	★
PB5	* TDO/SWV	FT2	X	1	PB5F1	0	0	0	0
	GPIO	-	★	★	0	★	★	★	★
PB6	* TDI	FT2	X	0	PB6F1	0	1	0	1
	GPIO	-	★	★	0	★	★	★	★
PB7	* TRST	FT2	X	0	PB7F1	0	1	0	1
	GPIO	-	★	★	0	★	★	★	★

【Function】

*: 初期状態

【PBFR1】

"0": PBFR1 全ての該当ビットが非選択"0"

"PBxF1": PBFR1 の選択必要なビットをビットシンボル名で記載

【Port B SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.3 ポートC設定

表 8-4 ポートC設定一覧

Port Name	Function	Type	Port C SFR						
			PCDATA	PCCR	PCFRn	PCOD	PCPUP	PCPDN	PCIE
PC0	* GPIO	-	★	★	0	★	★	★	★
	UO0	FT3	X	1	PC0F1	★	★	★	0
	SP0DO	FT3	X	1	PC0F2	★	★	★	0
	SDA0	FT1	X	1	PC0F3	1	★	★	1
	SO0	FT1	X	1	PC0F4	★	★	★	0
PC1	* GPIO	-	★	★	0	★	★	★	★
	XO0	FT3	X	1	PC1F1	★	★	★	0
	SP0DI	FT1	X	0	PC1F2	0	★	★	1
	SCL0	FT1	X	1	PC1F3	1	★	★	1
	SI0	FT1	X	0	PC1F4	0	★	★	1
PC2	* GPIO	-	★	★	0	★	★	★	★
	VO0	FT3	X	1	PC2F1	★	★	★	0
	SP0CLK (IN)	FT3	X	0	PC2F2	0	★	★	1
	SP0CLK (OUT)	FT3	X	1	PC2F2	★	★	★	0
	SCK0 (IN)	FT1	X	0	PC2F3	0	★	★	1
	SCK0 (OUT)	FT1	X	1	PC2F3	★	★	★	0
PC3	* GPIO	-	★	★	0	★	★	★	★
	YO0	FT3	X	1	PC3F1	★	★	★	0
	SP0FSS (IN)	FT3	X	0	PC3F2	0	★	★	1
	SP0FSS (OUT)	FT3	X	1	PC3F2	★	★	★	0
PC4	* GPIO	-	★	★	0	★	★	★	★
	WO0	FT3	X	1	PC4F1	★	★	★	0
	MTOUT00	FT3	X	1	PC4F2	★	★	★	0
	MTTB0OUT	FT1	X	1	PC4F3	★	★	★	0
PC5	* GPIO	-	★	★	0	★	★	★	★
	ZO0	FT3	X	1	PC5F1	★	★	★	0
	MTOUT10	FT3	X	1	PC5F2	★	★	★	0
	MTTB0IN	FT1	X	0	PC5F3	0	★	★	1
	SCLK4 (IN)	FT1	X	0	PC5F4	0	★	★	1
	SCLK4 (OUT)	FT1	X	1	PC5F4	★	★	★	0
	CTS4	FT1	X	0	PC5F5	0	★	★	1
PC6	* GPIO	-	★	★	0	★	★	★	★
	EMG0	FT1	X	0	PC6F1	0	★	★	1
	GEMG0	FT1	X	0	PC6F2	0	★	★	1
	TX4	FT1	X	1	PC6F4	★	★	★	0
PC7	* GPIO	-	★	★	0	★	★	★	★
	MT0IN	FT1	X	0	PC7F2	0	★	★	1
	RX4	FT1	X	0	PC7F4	0	★	★	1

【Function】

*: 初期状態

【PCFRn】

"0": PCFRn 全ての該当ビットが非選択"0"

"PBxFn": PCFRn の選択必要なビットをビットシンボル名で記載

【Port C SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.4 ポートD設定

表 8-5 ポートD設定一覧

Port Name	Function	Type	Port D SFR						
			PDDATA	PDCCR	PDFRn	PDOD	PDPUP	PDPDN	PDIE
PD0	* GPIO	-	★	★	0	★	★	★	★
	ENCA0	FT1	X	0	PD0F1	0	★	★	1
	TB5IN	FT1	X	0	PD0F2	0	★	★	1
	INTC	FT4	X	0	PD0F3	0	★	★	1
PD1	* GPIO	-	★	★	0	★	★	★	★
	ENCB0	FT1	X	0	PD1F1	0	★	★	1
	TB5OUT	FT1	X	1	PD1F2	★	★	★	0
PD2	* GPIO	-	★	★	0	★	★	★	★
	ENCZ0	FT1	X	0	PD2F1	0	★	★	1
	INTD	FT4	X	0	PD2F3	0	★	★	1
PD3	* GPIO	-	★	★	0	★	★	★	★
	INT9	FT4	X	0	PD3F1	0	★	★	1
PD4	* GPIO	-	★	★	0	★	★	★	★
	SCLK2 (IN)	FT1	X	0	PD4F1	0	★	★	1
	SCLK2 (OUT)	FT1	X	1	PD4F1	★	★	★	0
	CTS2	FT1	X	0	PD4F2	0	★	★	1
PD5	* GPIO	-	★	★	0	★	★	★	★
	TX2	FT1	X	1	PD5F1	★	★	★	0
PD6	* GPIO	-	★	★	0	★	★	★	★
	RX2	FT1	X	0	PD6F1	0	★	★	1

【Function】

*: 初期状態

INTn: STOPモード解除に使用しない場合は、PDFRnはDon't Care

【PDFRn】

"0": PDFRn 全ての該当ビットが非選択"0"

"PAxFn": PDFRnの選択必要なビットをビットシンボル名で記載

【Port D SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.5 ポートE設定

表 8-6 ポートE設定一覧

Port Name	Function	Type	Port E SFR						
			PEDATA	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE
PE0	* GPIO	-	★	★	0	★	★	★	★
	TX0	FT1	X	1	PE0F1	★	★	★	0
PE1	* GPIO	-	★	★	0	★	★	★	★
	RX0	FT1	X	0	PE1F1	0	★	★	1
PE2	* GPIO	-	★	★	0	★	★	★	★
	SCLK0 (IN)	FT1	X	0	PE2F1	0	★	★	1
	SCLK0 (OUT)	FT1	X	1	PE2F1	★	★	★	0
	CTS0	FT1	X	0	PE2F2	0	★	★	1
PE3	* GPIO	-	★	★	0	★	★	★	★
	TB4OUT	FT1	X	1	PE3F1	★	★	★	0
PE4	* GPIO	-	★	★	0	★	★	★	★
	TB2IN	FT1	X	0	PE4F1	0	★	★	1
	INT5	FT4	X	0	PE4F2	0	★	★	1
PE5	* GPIO	-	★	★	0	★	★	★	★
	TB2OUT	FT1	X	1	PE5F1	★	★	★	0
PE6	* GPIO	-	★	★	0	★	★	★	★
	TB3IN	FT1	X	0	PE6F1	0	★	★	1
	INT6	FT4	X	0	PE6F2	0	★	★	1
PE7	* GPIO	-	★	★	0	★	★	★	★
	TB3OUT	FT1	X	1	PE7F1	★	★	★	0
	INT7	FT4	X	0	PE7F2	0	★	★	1

【Function】

*: 初期状態

INTn: STOPモード解除に使用しない場合は、PEFR2はDon't Care

【PEFRn】

"0": PEFRn 全ての該当ビットが非選択"0"

"PExFn": PEFRnの選択必要なビットをビットシンボル名で記載

【Port E SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.6 ポート F 設定

表 8-7 ポート F 設定一覧

Port Name	Function	Type	Port F SFR						
			PFDATA	PFCR	PFFRn	PFOD	PFPUP	PFPDN	PFIE
PF0	* GPIO	-	★	★	0	★	★	★	★
	TB7IN	FT1	X	0	PF0F1	0	★	★	1
PF1	* GPIO	-	★	★	0	★	★	★	★
	TB7OUT	FT1	X	1	PF1F1	★	★	★	0
	ALARM	FT1	X	1	PF1F2	★	★	★	0
PF2	* GPIO	-	★	★	0	★	★	★	★
	ENCA1	FT1	X	0	PF2F1	0	★	★	1
	SCLK3 (IN)	FT1	X	0	PF2F2	0	★	★	1
	SCLK3 (OUT)	FT1	X	1	PF2F2	★	★	★	0
	CTS3	FT1	X	0	PF2F3	0	★	★	1
PF3	* GPIO	-	★	★	0	★	★	★	★
	ENCB1	FT1	X	0	PF3F1	0	★	★	1
	TX3	FT1	X	1	PF3F2	★	★	★	0
PF4	* GPIO	-	★	★	0	★	★	★	★
	ENCZ1	FT1	X	0	PF4F1	0	★	★	1
	RX3	FT1	X	0	PF4F2	0	★	★	1

【Function】

*: 初期状態

【PFFRn】

"0": PFFRn 全ての該当ビットが非選択"0"

"PFxFn": PFFRn の選択必要なビットをビットシンボル名で記載

【Port F SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.7 ポートG設定

表 8-8 ポートG設定一覧

Port Name	Function	Type	Port G SFR						
			PGDATA	PGCR	PGFRn	PGOD	PGPUP	PGPDN	PGIE
PG0	* GPIO	-	★	★	0	★	★	★	★
	UO1	FT3	X	1	PG0F1	★	★	★	0
	SDA1	FT1	X	1	PG0F3	1	★	★	1
	SO1	FT1	X	1	PG0F4	★	★	★	0
PG1	* GPIO	-	★	★	0	★	★	★	★
	XO1	FT3	X	1	PG1F1	★	★	★	0
	SCL1	FT1	X	1	PG1F3	1	★	★	1
	SI1	FT1	X	0	PG1F4	0	★	★	1
PG2	* GPIO	-	★	★	0	★	★	★	★
	VO1	FT3	X	1	PG2F1	★	★	★	0
	SCK1 (IN)	FT1	X	0	PG2F3	0	★	★	1
	SCK1 (OUT)	FT1	X	1	PG2F4	★	★	★	0
PG3	* GPIO	-	★	★	0	★	★	★	★
	YO1	FT3	X	1	PG3F1	★	★	★	0
PG4	* GPIO	-	★	★	0	★	★	★	★
	WO1	FT3	X	1	PG4F1	★	★	★	0
	MTOUT01	FT3	X	1	PG4F2	★	★	★	0
	MTTB1OUT	FT1	X	1	PG4F3	★	★	★	0
PG5	* GPIO	-	★	★	0	★	★	★	★
	ZO1	FT3	X	1	PG5F1	★	★	★	0
	MTOUT11	FT3	X	1	PG5F2	★	★	★	0
	MTTB1IN	FT1	X	0	PG5F3	0	★	★	1
PG6	* GPIO	-	★	★	0	★	★	★	★
	EMG1	FT1	X	0	PG6F1	0	★	★	1
	GEMG1	FT1	X	0	PG6F2	0	★	★	1
PG7	* GPIO	-	★	★	0	★	★	★	★
	MT1IN	FT1	X	0	PG7F2	0	★	★	1

【Function】

*: 初期状態

【PGFRn】

"0": PGFRn 全ての該当ビットが非選択"0"

"PGxFn": PGFRn の選択必要なビットをビットシンボル名で記載

【Port G SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.8 ポートH設定

表 8-9 ポートH設定一覧

Port Name	Function	Type	Port H SFR						
			PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
PH0	* GPIO	-	★	★	0	★	★	★	★
	INT0	FT4	X	0	PH0F1	0	★	★	1
	AIN0	FT5	X	0	0	0	0	0	0
PH1	* GPIO	-	★	★	0	★	★	★	★
	INT1	FT4	X	0	PH1F1	0	★	★	1
	AIN1	FT5	X	0	0	0	0	0	0
PH2	* GPIO	-	★	★	0	★	★	★	★
	INT2	FT4	X	0	PH2F1	0	★	★	1
	AIN2	FT5	X	0	0	0	0	0	0
PH3	* GPIO	-	★	★	-	★	★	★	★
	AIN3	FT5	X	0	-	0	0	0	0
PH4	* GPIO	-	★	★	-	★	★	★	★
	AIN4	FT5	X	0	-	0	0	0	0
PH5	* GPIO	-	★	★	-	★	★	★	★
	AIN5	FT5	X	0	-	0	0	0	0
PH6	* GPIO	-	★	★	-	★	★	★	★
	AIN6	FT5	X	0	-	0	0	0	0
PH7	* GPIO	-	★	★	-	★	★	★	★
	AIN7	FT5	X	0	-	0	0	0	0

【Function】

*: 初期状態

INTn: STOPモード解除に使用しない場合は、PHFR1はDon't Care

【PHFR1】

"0": PHFR1 全ての該当ビットが非選択"0"

"PHxF1": PHFR1の選択必要なビットをビットシンボル名で記載

【Port H SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.9 ポート I 設定

表 8-10 ポート I 設定一覧

Port Name	Function	Type	Port I SFR						
			PIDATA	PICR	PIFRn	PIOD	PIPUP	PIPDN	PIIE
PI0	* GPIO	-	★	★	-	★	★	★	★
	AIN8	FT5	X	0	-	0	0	0	0
PI1	* GPIO	-	★	★	-	★	★	★	★
	AIN9	FT5	X	0	-	0	0	0	0

【Function】

*: 初期状態

【PIFR1】

"0": PIFR1 全ての該当ビットが非選択"0"

"PIxF1": PIFR1 の選択必要なビットをビットシンボル名で記載

【Port I SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.10 ポート J 設定

表 8-11 ポート J 設定一覧

Port Name	Function	Type	Port J SFR						
			PJDATA	PJCR	PJFR _n	PJOD	PJPUP	PJPDN	PJIE
PJ0	* GPIO	-	★	★	-	★	★	★	★
	AIN10	FT5	X	0	-	0	0	0	0
PJ1	* GPIO	-	★	★	-	★	★	★	★
	AIN11	FT5	X	0	-	0	0	0	0
PJ2	* GPIO	-	★	★	-	★	★	★	★
	AIN12	FT5	X	0	-	0	0	0	0
PJ3	* GPIO	-	★	★	-	★	★	★	★
	AIN13	FT5	X	0	-	0	0	0	0
PJ4	* GPIO	-	★	★	-	★	★	★	★
	AIN14	FT5	X	0	-	0	0	0	0
PJ5	* GPIO	-	★	★	-	★	★	★	★
	AIN15	FT5	X	0	-	0	0	0	0
PJ6	* GPIO	-	★	★	0	★	★	★	★
	INTA	FT4	X	0	PJ6F1	0	★	★	1
	AIN16	FT5	X	0	0	0	0	0	0
PJ7	* GPIO	-	★	★	0	★	★	★	★
	INTB	FT4	X	0	PJ7F1	0	★	★	1
	AIN17	FT5	X	0	0	0	0	0	0

【Function】

*: 初期状態

INT_n: STOPモード解除に使用しない場合は、PJFR₁は Don't Care【PJFR₁】"0": PJFR₁ 全ての該当ビットが非選択"0""PJxF₁": PJFR₁ の選択必要なビットをビットシンボル名で記載

【Port J SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.11 ポートL設定

表 8-12 ポートL設定一覧

Port Name	Function	Type	Port L SFR						
			PLDATA	PLCR	PLFRn	PLOD	PLPUP	PLPDN	PLIE
PL0	* GPIO	-	★	★	-	★	★	★	★
	BOOT	FT6	X	X	-	X	X	X	X
PL2	* GPIO	-	★	★	0	★	★	★	★
	INTF	FT4	X	0	PL2F1	0	★	★	1

【Function】

*: 初期状態

●: リセット中に有効となる機能

INTn: STOPモード解除に使用しない場合は、PLFR1はDon't Care

【PLFR1】

"0": PLFR1 全ての該当ビットが非選択"0"

"PL2F1": PLFR1の選択必要なビットをビットシンボル名で記載

-: 該当ビット無

【Port L SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.12 ポートM設定

表 8-13 ポートM設定一覧

Port Name	Function	Type	Port M SFR						
			PMDATA	PMCR	PMFRn	PMOD	PMPUP	PMPDN	PMIE
PM0	* GPIO	-	★	★	-	★	★	★	★
	X1	FT5	X	0	-	0	0	0	0
PM1	* GPIO	-	★	★	-	★	★	★	★
	X2	FT5	X	0	-	0	0	0	0

【Function】

*: 初期状態

【PMFR1】

-: 該当ビット無

【Port M SFR 共通】

"0": 該当ビットを"0"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.13 ポートN設定

表 8-14 ポートN設定一覧

Port Name	Function	Type	Port N SFR						
			PNDATA	PNCR	PNFRn	PNOD	PNPUP	PNPDN	PNIE
PN0	* GPIO	-	★	★	0	★	★	★	★
	SP1DO	FT3	X	1	PN0F1	★	★	★	0
PN1	* GPIO	-	★	★	0	★	★	★	★
	SP1DI	FT1	X	0	PN1F1	0	★	★	1
PN2	* GPIO	-	★	★	0	★	★	★	★
	SP1CLK (IN)	FT3	X	0	PN2F1	0	★	★	1
	SP1CLK (OUT)	FT3	X	1	PN2F1	★	★	★	0
PN3	* GPIO	-	★	★	0	★	★	★	★
	SP1FSS (IN)	FT3	X	0	PN3F1	0	★	★	1
	SP1FSS (OUT)	FT3	X	1	PN3F1	★	★	★	0
PN4	* GPIO	-	★	★	0	★	★	★	★
	MTOUT02	FT3	X	1	PN4F1	★	★	★	0
	MTTB2OUT	FT1	X	1	PN4F2	★	★	★	0
PN5	* GPIO	-	★	★	0	★	★	★	★
	MTOUT12	FT3	X	1	PN5F1	★	★	★	0
	MTTB2IN	FT1	X	0	PN5F2	0	★	★	1
PN6	* GPIO	-	★	★	0	★	★	★	★
	GEMG2	FT1	X	0	PN6F1	0	★	★	1
PN7	* GPIO	-	★	★	0	★	★	★	★
	MT2IN	FT1	X	0	PN7F1	0	★	★	1
	INTE	FT4	X	0	PN7F2	0	★	★	1

【Function】

*: 初期状態

INTE: STOPモード解除に使用しない場合は、PNFR2はDon't Care

【PNFRn】

"0": PNFRn 全ての該当ビットが非選択"0"

"PNxFn": PNFRnの選択必要なビットをビットシンボル名で記載

-: 該当ビット無

【Port N SFR 共通】

"0": 該当ビットを"0"に設定する

"1": 該当ビットを"1"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.3.14 ポートP設定

表 8-15 ポートP設定一覧

Port Name	Function	Type	Port P SFR						
			PPDATA	PPCR	PPFRn	PPOD	PPPUP	PPPDN	PPIE
PP0	* GPIO	-	★	★	-	★	★	★	★
	XT1	FT5	X	0	-	0	0	0	0
PP1	* GPIO	-	★	★	-	★	★	★	★
	XT2	FT5	X	0	-	0	0	0	0

【Function】

*: 初期状態

【PPFRn】

-: 該当ビット無

【Port P SFR 共通】

"0": 該当ビットを"0"に設定する

★: 目的に応じ、任意に設定し使用する(リセット後"0")

X: Don't Care(リセット後"0")

8.4 ポート回路図

ポートには、FT 1～FT 6のタイプがあります。それぞれの回路図を下記ページから示します。

8.4.1 タイプ FT 1

対象機能端子

<I/O> SCLKn/SCKn/SCLn/SDAn

<In> TBnIN/RXn/CTS_n/Sin/SPnDI/RXIN/EMG_n/GEMG_n/MTnIN/MTTBnIN/ENCA_n/ ENCB_n/ ENCZ_n

<Out> TBnOUT/TXn/Son/SCOUT/ALARM/MTTBnOUT/TRACECLK/TRACEDATAn

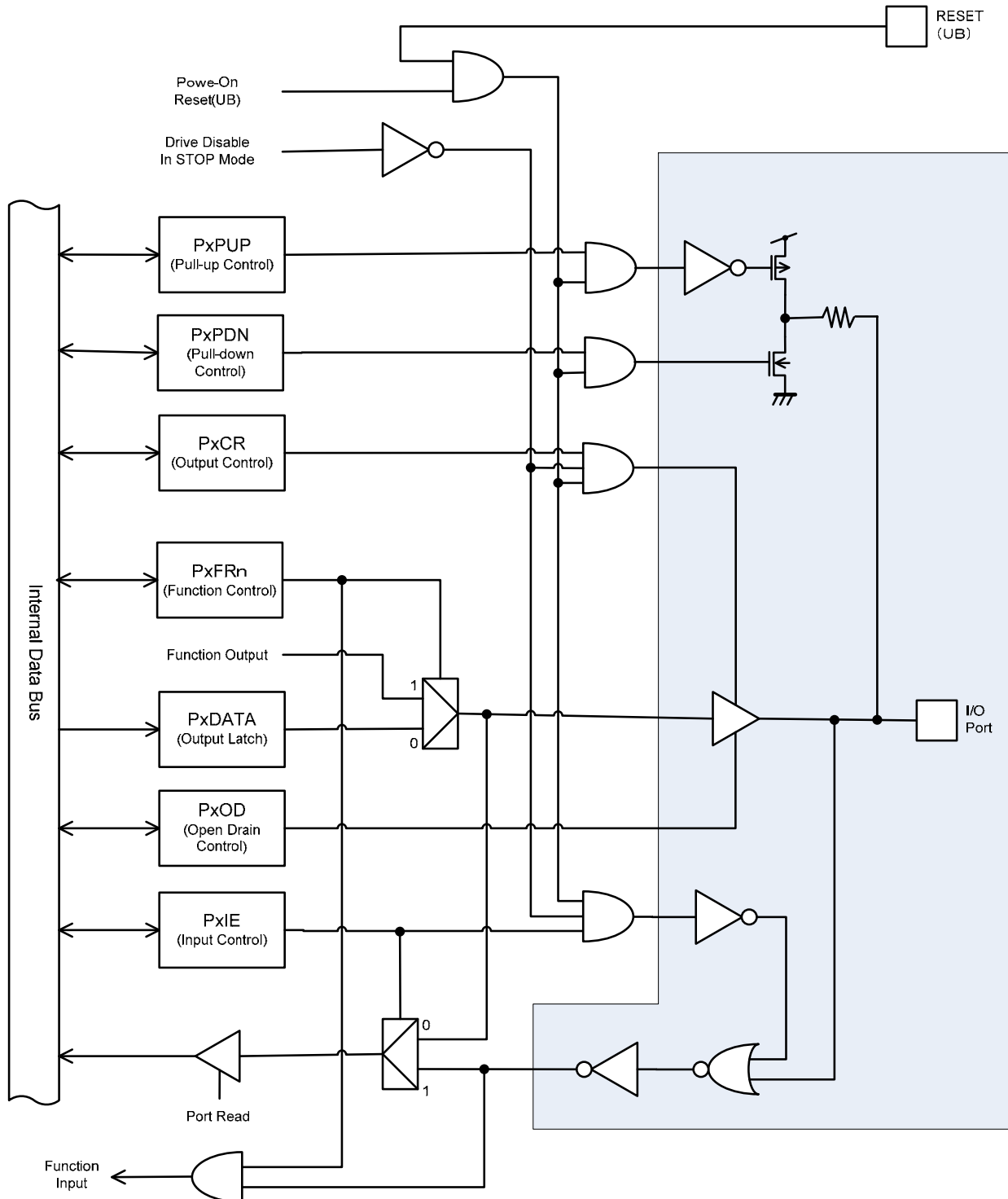


図 8-1 ポートタイプ FT 1

8.4.2 タイプFT2

対象機能端子

<I/O> TMS/SWDIO

<In> TCK/SWCLK/TDI/TRST

<Out> TDO/SWV+Pio

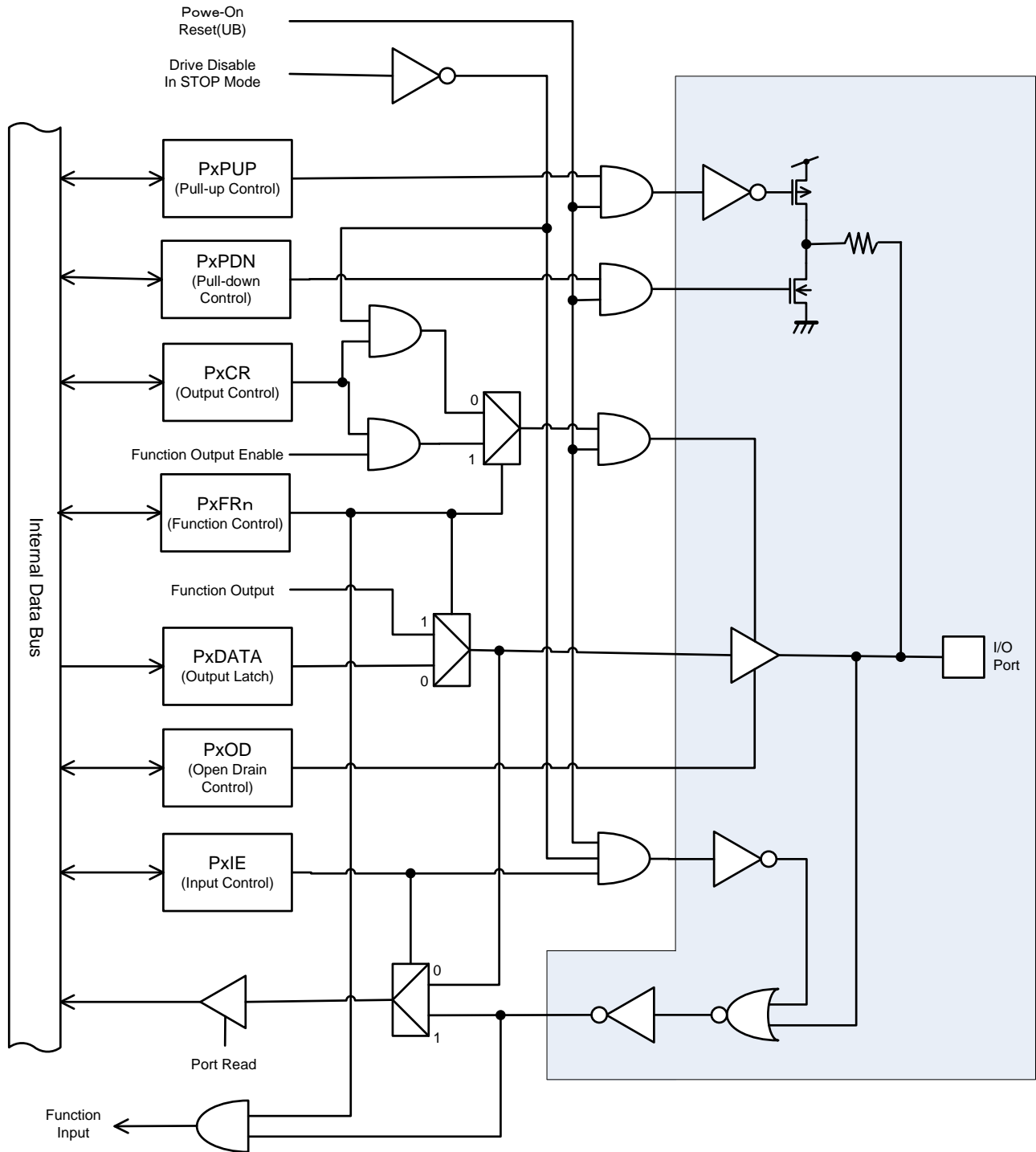


図 8-2 ポートタイプFT2

8.4.3 タイプ FT 3

対象機能端子

<I/O> SPnCLK/SPnFSS

<Out> SPnDO/UOn/VOn/WOn/YOn/ZOn/MTOUT0n/MTOUT1n

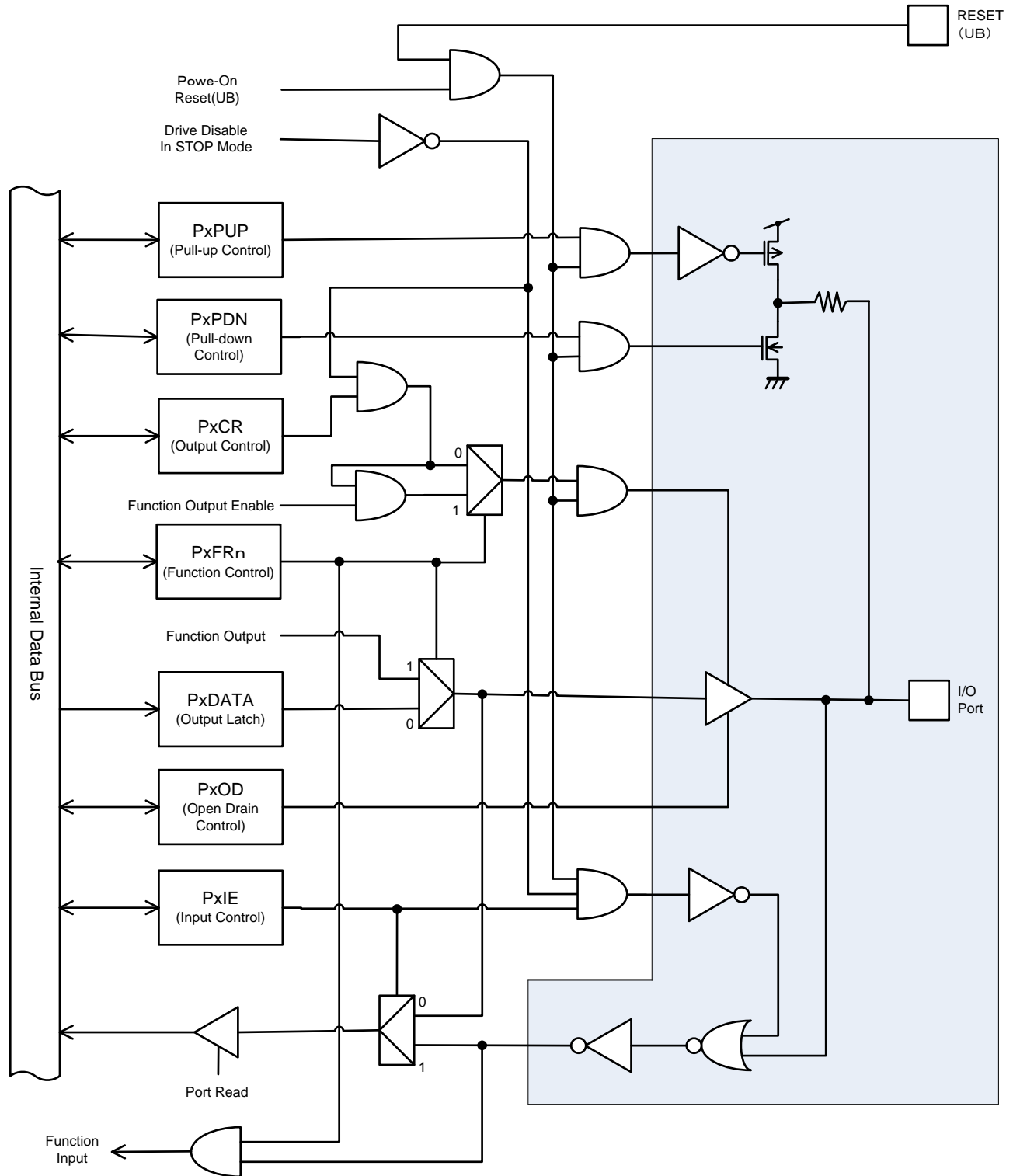


図 8-3 ポートタイプ FT 3

8.4.4 タイプFT4

対象機能端子

<In> INTn

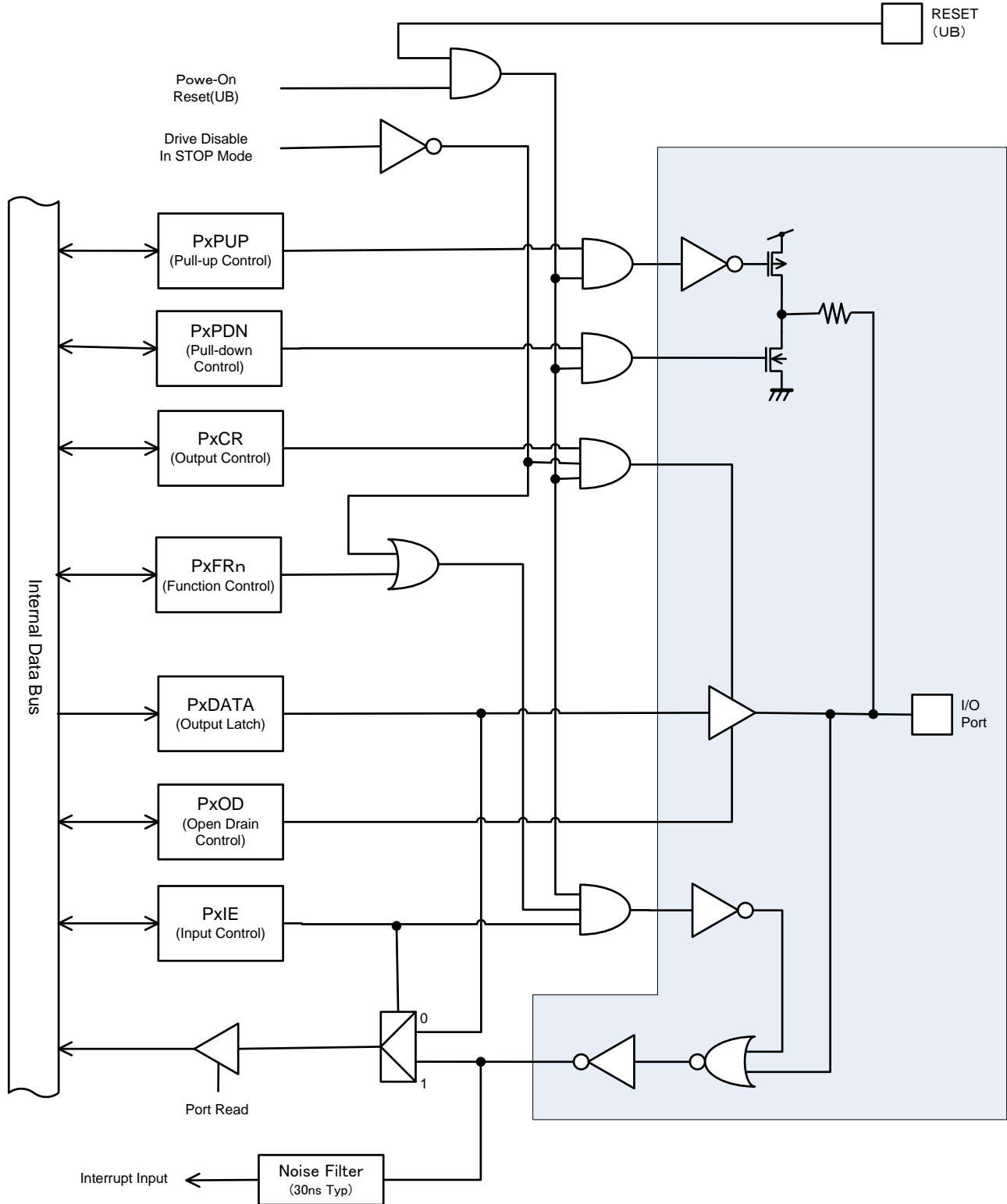


図 8-4 ポートタイプFT4

8.4.5 タイプFT5

対象機能端子
<In> AINn/Xn/XTn

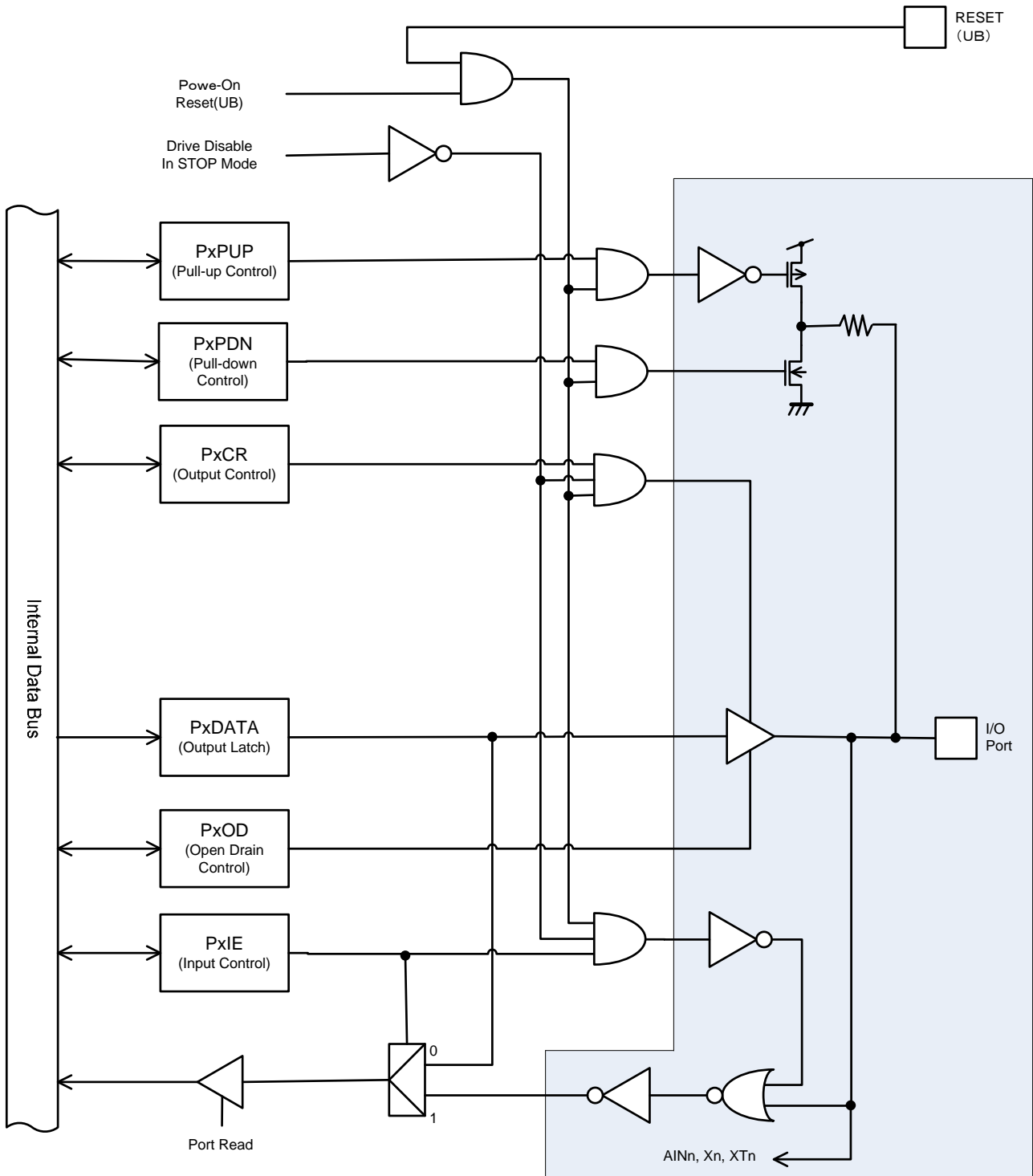


図 8-5 ポートタイプFT5

8.4.6 タイプFT6

対象機能端子

<In> BOOT

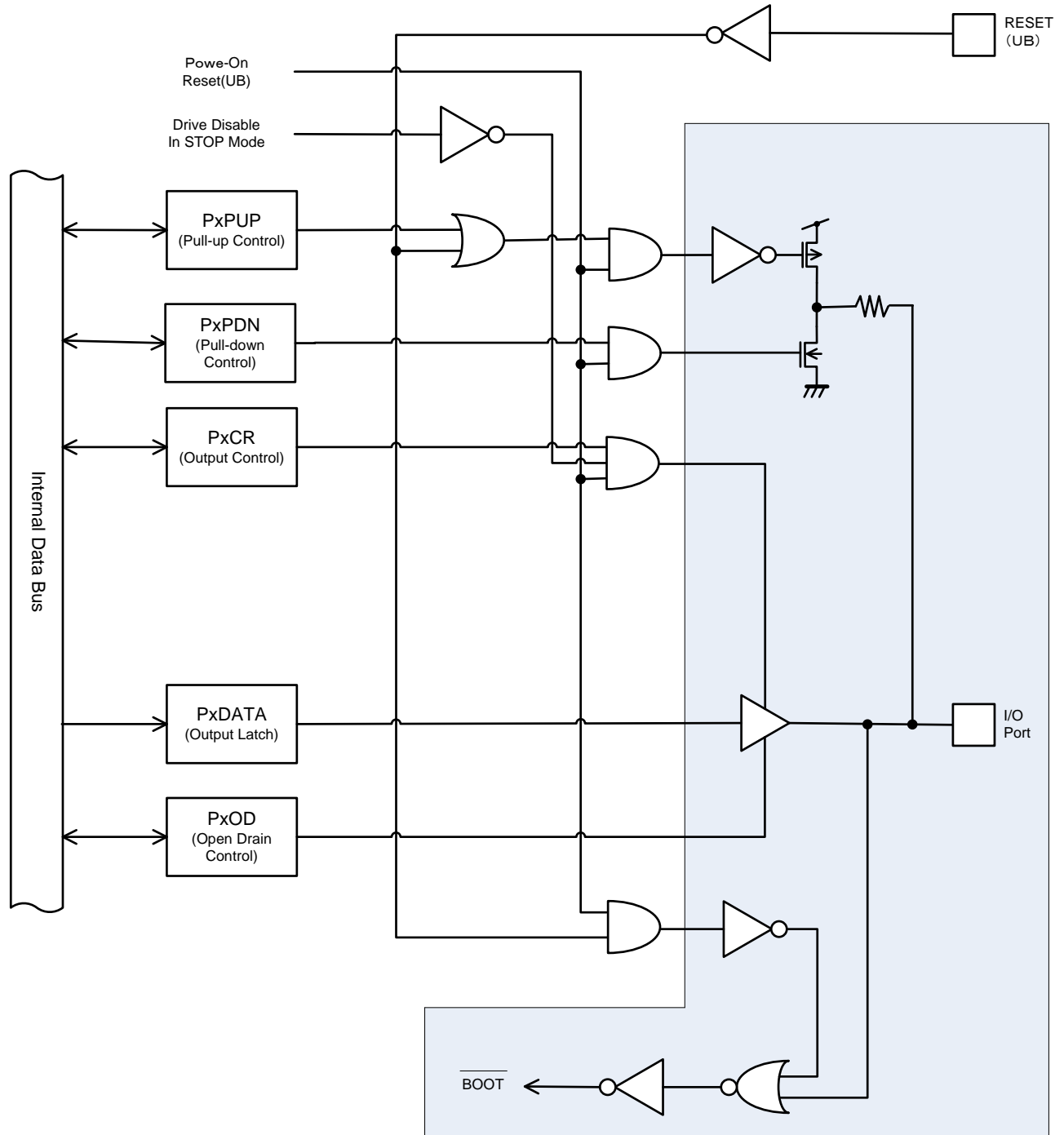


図 8-6 ポートタイプFT6

9 16ビットタイマ/イベントカウンタ (TMRB)

重要

TMPM382(64ピン版)には、TB3IN, TB3OUT, TB5IN, TB5OUT, はありません。
それらに関する機能(TB3IN/ TB5IN 端子を使ってのカウンタソースクロック選択、キャプチャ動作、TB3OUT/ TB5OUT タイマフリップフロップ出力)は使用しないでください。
但し、TMRB3, TMRB5 は内蔵クロックを選択することで 16 ビットインタバルタイマとして使用できます。

9.1 概要

多機能 16 ビットタイマ/イベントカウンタを 8 チャンネル (TMRB0~TMRB7) 内蔵しています。

TMRB は、次の 5 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- 外部トリガプログラマブル矩形波出力 (PPG) モード
- タイマ同期モード(4ch 毎に同期出力設定可能)

また、キャプチャ機能を利用することで、次のような用途に使用することができます。

- 外部トリガパルスからのワンショットパルス出力
- 周波数測定
- パルス幅測定

9.2 チャンネル別仕様相違点

各チャンネル (TMRB0~TMRB7)はそれぞれ独立に動作します。いずれのチャンネルも表 9-1~表 9-3に示される仕様相違点を除いて同一の動作をしますので、動作説明はTMRB0 の場合についてのみ説明します。

下記チャンネルはキャプチャトリガや、同期トリガに使用されます。

(1) TMRB2、TMRB5、TMRB7 のフリップフロップ出力を他のチャンネルのキャプチャトリガとして使用可能

- ・ TB2OUT => TMRB 3 ~ 5 で使用
- ・ TB5OUT => TMRB 6 ~ 7 で使用
- ・ TB7OUT => TMRB 0 ~ 2 で使用

(2) タイマ同期モードのスタートトリガ (TBnRUN を使用)

- ・ TMRB0 => TMRB0 と TMRB1, 2, 3 を同時スタート
- ・ TMRB4 => TMRB4 と TMRB5, 6, 7 を同時スタート

表 9-1 TMPM380 TMRB のチャンネル別仕様相違点(1)

仕様 チャンネル	外部端子		タイマ間トリガ機能	
	外部クロック/ キャプチャトリガ入力端子	タイマフリップフロップ 出力端子	キャプチャトリガ用タイマ	同期スタートトリガタイマ
TMRB0	TB0IN (PA0 と兼用)	TB0OUT (PA1 と兼用)	TB7OUT	—
TMRB1	TB1IN (PA2 と兼用)	TB1OUT (PA3 と兼用)	TB7OUT	TB0PRUN, TB0RUN
TMRB2	TB2IN (PE4 と兼用)	TB2OUT (PE5 と兼用)	TB7OUT	TB0PRUN, TB0RUN
TMRB3	TB3IN (PE6 と兼用)	TB3OUT (PE7 と兼用)	TB2OUT	TB0PRUN, TB0RUN
TMRB4	TB4IN (PA7 と兼用)	TB4OUT (PE3 と兼用)	TB2OUT	—
TMRB5	TB5IN (PD0 と兼用)	TB5OUT (PD1 と兼用)	TB2OUT	TB4PRUN, TB4RUN
TMRB6	TB6IN (PA6 と兼用)	TB6OUT (PA5 と兼用)	TB5OUT	TB4PRUN, TB4RUN
TMRB7	TB7IN (PF0 と兼用)	TB7OUT (PF1 と兼用)	TB5OUT	TB4PRUN, TB4RUN

表 9-2 TMPM382 TMRB のチャンネル別仕様相違点(2)

仕様 チャンネル	外部端子		タイマ間トリガ機能	
	外部クロック/ キャプチャトリガ入力端子	タイマフリップフロップ 出力端子	キャプチャトリガ用タイマ	同期スタートトリガタイマ
TMRB0	TB0IN (PA0 と兼用)	TB0OUT (PA1 と兼用)	TB7OUT	—
TMRB1	TB1IN (PA2 と兼用)	TB1OUT (PA3 と兼用)	TB7OUT	TB0PRUN, TB0RUN
TMRB2	TB2IN (PE4 と兼用)	TB2OUT (PE5 と兼用)	TB7OUT	TB0PRUN, TB0RUN
TMRB3	—	—	TB2OUT	TB0PRUN, TB0RUN
TMRB4	TB4IN (PA7 と兼用)	TB4OUT (PE3 と兼用)	TB2OUT	—
TMRB5	—	—	TB2OUT	TB4PRUN, TB4RUN
TMRB6	TB6IN (PA6 と兼用)	TB6OUT (PA5 と兼用)	TB5OUT	TB4PRUN, TB4RUN
TMRB7	TB7IN (PF0 と兼用)	TB7OUT (PF1 と兼用)	TB5OUT	TB4PRUN, TB4RUN

表 9-3 TMRB のチャンネル別仕様相違点(3)

チャンネル	仕様	割込み	
		キャプチャ割込み	TMRB 割込み
TMRB0		INTCAP00	INTTB00
		INTCAP01	INTTB01
TMRB1		INTCAP10	INTTB10
		INTCAP11	INTTB11
TMRB2		INTCAP20	INTTB20
		INTCAP21	INTTB21
TMRB3		INTCAP30	INTTB30
		INTCAP31	INTTB31
TMRB4		INTCAP40	INTTB40
		INTCAP41	INTTB41
TMRB5		INTCAP50	INTTB50
		INTCAP51	INTTB51
TMRB6		INTCAP60	INTTB60
		INTCAP61	INTTB61
TMRB7		INTCAP70	INTTB70
		INTCAP71	INTTB71

9.3 構成

各チャネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (ダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

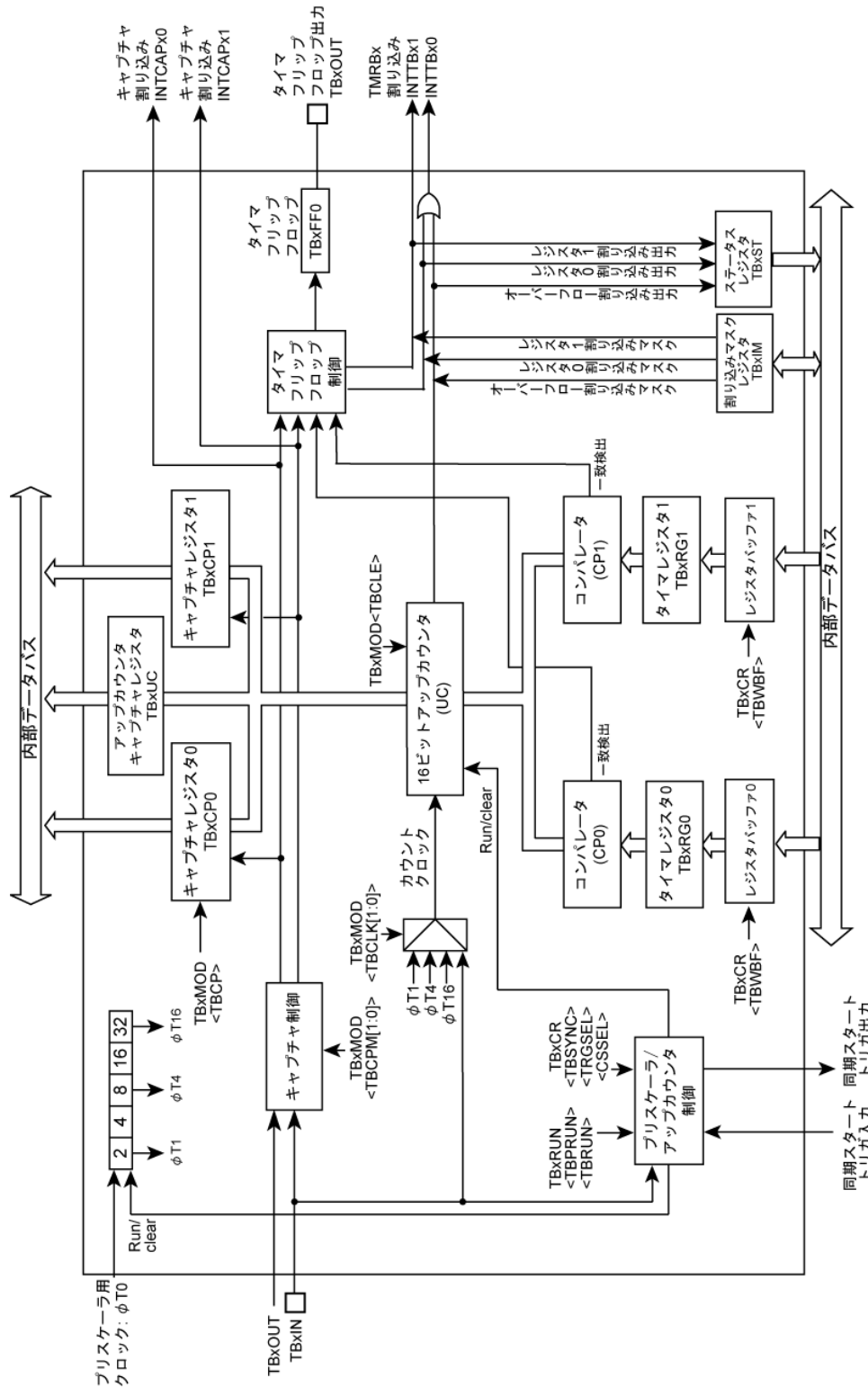


図 9-1 TPM380(チャネル 0~7)、TPM382(チャネル 0~2、4、6~7) TMRB ブロック図

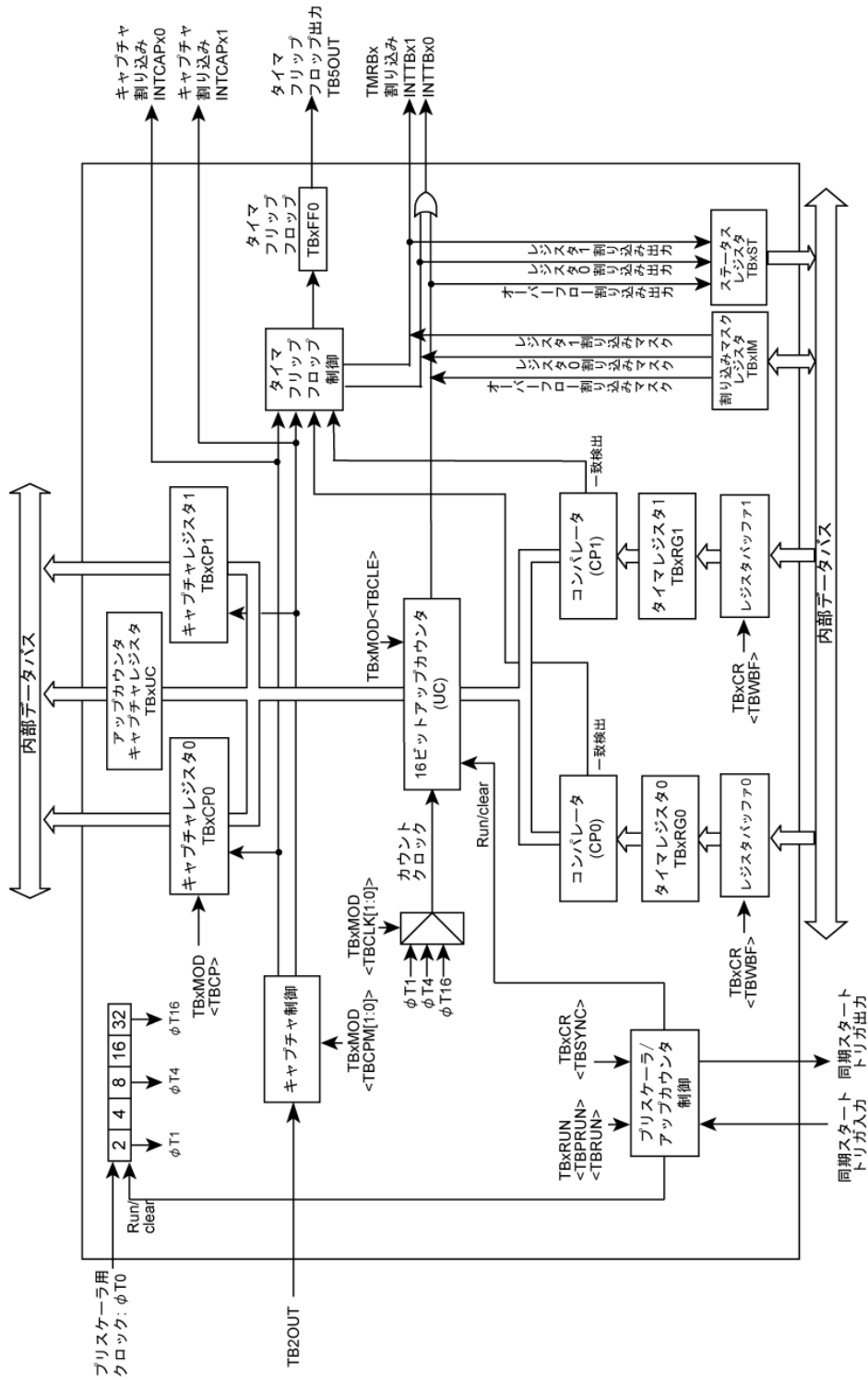


図 9-2 TMPM382 TMRB3,5 ブロック図

TMPM382(64ピン版)のTMRB3、TMRB5は外部入力端子(TBxIN)がありませんので、キャプチャトリガ信号はTB2OUTのみになります。タイマフリップフロップ出力は外部出力端子にアサインされておりませんので外部出力としては使用できません。但しTB5OUTはTMRB6、TMRB7のキャプチャトリガ信号として使用できます。

9.4 レジスタ説明

9.4.1 チャンネル別レジスタ一覧

各チャンネルのレジスタとアドレスを表 9-4に示します。

表 9-4 TMRB のチャンネル別レジスタ一覧

仕様		チャンネル		TMRB0		TMRB1		TMRB2		TMRB3	
レジスタ名 (アドレス)	タイマイネーブルレジスタ	TB0EN	0x4001_0000	TB1EN	0x4001_0040	TB2EN	0x4001_0080	TB3EN	0x4001_00C0		
	タイマ RUN レジスタ	TB0RUN	0x4001_0004	TB1RUN	0x4001_0044	TB2RUN	0x4001_0084	TB3RUN	0x4001_00C4		
	タイマコントロール レジスタ	TB0CR	0x4001_0008	TB1CR	0x4001_0048	TB2CR	0x4001_0088	TB3CR	0x4001_00C8		
	タイマモードレジスタ	TB0MOD	0x4001_000C	TB1MOD	0x4001_004C	TB2MOD	0x4001_008C	TB3MOD	0x4001_00CC		
	タイマフリップフロップ コントロールレジスタ	TB0FFCR	0x4001_0010	TB1FFCR	0x4001_0050	TB2FFCR	0x4001_0090	TB3FFCR	0x4001_00D0		
	タイマステータスレジスタ	TB0ST	0x4001_0014	TB1ST	0x4001_0054	TB2ST	0x4001_0094	TB3ST	0x4001_00D4		
	割り込みマスクレジスタ	TB0IM	0x4001_0018	TB1IM	0x4001_0058	TB2IM	0x4001_0098	TB3IM	0x4001_00D8		
	タイマアップカウンタ レジスタ	TB0UC	0x4001_001C	TB1UC	0x4001_005C	TB2UC	0x4001_009C	TB3UC	0x4001_00DC		
	タイマレジスタ	TB0RG0 TB0RG1	0x4001_0020 0x4001_0024	TB1RG0 TB1RG1	0x4001_0060 0x4001_0064	TB2RG0 TB2RG1	0x4001_00A0 0x4001_00A4	TB3RG0 TB3RG1	0x4001_00E0 0x4001_00E4		
	キャプチャレジスタ	TB0CP0 TB0CP1	0x4001_0028 0x4001_002C	TB1CP0 TB1CP1	0x4001_0068 0x4001_006C	TB2CP0 TB2CP1	0x4001_00A8 0x4001_00AC	TB3CP0 TB3CP1	0x4001_00E8 0x4001_00EC		

仕様		チャンネル		TMRB4		TMRB5		TMRB6		TMRB7	
レジスタ名 (アドレス)	タイマイネーブルレジスタ	TB4EN	0x4001_0100	TB5EN	0x4001_0140	TB6EN	0x4001_0180	TB7EN	0x4001_01C0		
	タイマ RUN レジスタ	TB4RUN	0x4001_0104	TB5RUN	0x4001_0144	TB6RUN	0x4001_0184	TB7RUN	0x4001_01C4		
	タイマコントロール レジスタ	TB4CR	0x4001_0108	TB5CR	0x4001_0148	TB6CR	0x4001_0188	TB7CR	0x4001_01C8		
	タイマモードレジスタ	TB4MOD	0x4001_010C	TB5MOD	0x4001_014C	TB6MOD	0x4001_018C	TB7MOD	0x4001_01CC		
	タイマフリップフロップ コントロールレジスタ	TB4FFCR	0x4001_0110	TB5FFCR	0x4001_0150	TB6FFCR	0x4001_0190	TB7FFCR	0x4001_01D0		
	タイマステータスレジスタ	TB4ST	0x4001_0114	TB5ST	0x4001_0154	TB6ST	0x4001_0194	TB7ST	0x4001_01D4		
	割り込みマスクレジスタ	TB4IM	0x4001_0118	TB5IM	0x4001_0158	TB6IM	0x4001_0198	TB7IM	0x4001_01D8		
	タイマアップカウンタ レジスタ	TB4UC	0x4001_011C	TB5UC	0x4001_015C	TB6UC	0x4001_019C	TB7UC	0x4001_01DC		
	タイマレジスタ	TB4RG0 TB4RG1	0x4001_0120 0x4001_0124	TB5RG0 TB5RG1	0x4001_0160 0x4001_0164	TB6RG0 TB6RG1	0x4001_01A0 0x4001_01A4	TB7RG0 TB7RG1	0x4001_01E0 0x4001_01E4		
	キャプチャレジスタ	TB4CP0 TB4CP1	0x4001_0128 0x4001_012C	TB5CP0 TB5CP1	0x4001_0168 0x4001_016C	TB6CP0 TB6CP1	0x4001_01A8 0x4001_01AC	TB7CP0 TB7CP1	0x4001_01E8 0x4001_01EC		

TMPM382 は、TB3FFCR はありませんのでその番地をアクセスしないでください。

9.4.1.1 TMRBnイネーブルレジスタ（チャンネル0～7）

TMRBn コントロールレジスタ（n=0～7）

TBnEN
(0x4001_0xx0)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TBEN	TBHALT	—					
Read/Write	R/W	R/W	R					
リセット後	0	0	0					
機能	TMRBn 動作 0: 禁止 1: 許可	ホールドモード時の制御 0: 動作 1: 停止	リードすると“0”が読めます					

<TBEN> : TMRBn の動作を指定します。

動作禁止の状態では TMRBn モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。

TMRBn を使用する場合は、TMRBn モジュールの各レジスタを設定する前に TMRBn 動作許可 (“1”) にしてください。

TMRBn を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

<TBHALT> : ホールドモード(デバッグブレーク)時の制御を指定します。

”0” : ホールドモード中のクロック停止動作は行いません。

”1” : ホールドモード中はクロックの動作が停止します。

9.4.1.2 TMRB RUNレジスタ (チャンネル0~7)

TMRBn RUN レジスタ (n=0~7)

	31	30	29	28	27	26	25	24
TBRnRUN (0x4001_0xx4)	bit Symbol							
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	bit Symbol							
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	bit Symbol							
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	bit Symbol					TBPRUN		TBRUN
	Read/Write	R				R/W	R	R/W
	リセット後	0				0	0	0
機能	リードすると"0"が読めます					Timer Run/Stop Control 0: 停止&クリア 1: カウント ※ 1 bit 目は"0"が読めます		

<TBRUN> : TMRBn のカウント動作を制御します。

0 : カウント動作を停止します。カウンタは"0"にクリアされます。

1 : カウントを開始します。

<TBPRUN> : TMRBn のプリスケアラの動作を制御します。

0 : プリスケアラの動作を停止します。プリスケアラは"0"にクリアされます。

1 : プリスケアラの動作を開始します。

9.4.1.3 TMRB コントロールレジスタ (チャンネル 0~7)

TMRBn コントロールレジスタ (n=0~7)

TBnCR
(0x4001_0xx8)

	31	30	28	27	26	25	24	23
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	TBWBF	—	TBSYNC	—	I2TB	—	TRGSEL	CSSEL
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	ダブル バッファ 0: 禁止 1: 許可	“0”をラ イトして ください。	同期モ ード切替 0: 個別動 作 1: 同期動 作	リードす ると“0”が 読めます	IDLE 時ク ロック制 御 0: 停止 1: 動作	リードす ると“0”が 読めます	外部トリ ガ選択 0: 立ち上 がりエッ ジ 1: 立ち下 がりエッ ジ	カウンタ スタート 選択 0: ソフト スタート 1: 外部ト リガスタ ート

<CSSEL> : カウンタスタートの方法を選択します。

- 0 : ソフトウェアでタイマカウントを開始します
- 1 : 外部トリガ入力でタイマカウントを開始します

TMPM382(64ピン版)のTMRB3、TMRB5を使用する場合は”0”をWRしてください。

<TRGSEL> : カウンタスタートを外部トリガを選んだときのスタートエッジを選択します。

- 0 : 立ち上がりエッジでカウンタスタート
- 1 : 立ち下がりエッジでカウンタスタート

TMPM382(64ピン版)のTMRB3、TMRB5はこのビットは、”0”をWRしてください。

<I2TB> : IDLE モード時にクロックの動作/停止を制御します。

- 0 : クロックを停止します
- 1 : クロックを動作します。

<TBSYNC> : 同期モードの切り替えを制御します。

- 0 : タイマ毎のタイミングで動作します
- 1 : 同期出力を行います。

<TBWBF> : ダブルバッファの許可／禁止を制御します。

0 : ダブルバッファを禁止します

1 : ダブルバッファを許可します

(注) TBnCR はタイマ動作中 (TBnRUN<TBRUN>= " 1 ") に設定変更を行ってはいけません。

9.4.1.4 TMRB モードレジスタ (チャンネル 0~7)

TMRBn モードレジスタ (n=0~7)

TnMOD (0x4001_0xxC)	31	30	29	28	27	26	25	24
	bit Symbol	—	—	—	—	—	—	—
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	bit Symbol	—	—	—	—	—	—	—
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	bit Symbol	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	
7	6	5	4	3	2	1	0	
bit Symbol		TBRSWR	TBCP	TBCPM1	TBCPM0	TBCLE	TBCLK1	TBCLK0
Read/Write	R	R/W	W	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます	タイマレジスタ 0,1 への書き込み(ダブルパツファ使用時) 0: 同時になくても許可 1: 同時にないと許可しない	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: TnIN 10: TnIN TnIN 11: TnOUT TnOUT	アップカウンタクリア制御 0: クリアデイスエーブル 1: クリアイネーブル	ソースクロック選択 00: TnIN 端子入力 01: φT1 10: φT4 11: φT16		

<TBCLK1:0> : TMRBn のタイマカウントクロックを選択します。

00 : TnIN 端子を選択します

01 : T1 を選択します (1/2 T0)

10 : T4 を選択します (1/8 T0)

11 : T16 を選択します (1/32 T0)

TMPM382 の TMRB3、TMRB5 では”00” はディセーブルです。

<TBCLE> : TMRBn のアップカウンタのクリア制御をおこないます。

0 : アップカウンタのクリア禁止

1 : タイマレジスタ 1 (TnRG1) との一致でクリア

<TBCPM1:0> : TMRBn のキャプチャタイミングを設定します。

00 : ディセーブル

01 : TBnIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込みます。

10 : TBnIN 端子入力の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、TBnIN 端子入力の立ち下がりでキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込みます

11 : 16 ビットタイマ一致出力 (TBnOUT) の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、TBnOUT の立ち下がりでキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込みます。

(TMRB3~5: TB2OUT、TMRB6~7: TB5OUT、TMRB0~2: TB7OUT)

TMPM382 の TMRB3、TMRB5 では“01”と“10”はディセーブルです。

<TBCP> : ソフトウェアキャプチャし、キャプチャレジスタ 0 (TBnCP0) にカウント値を取り込みます。

<TBRSWR> : ダブルバッファ使用時のタイマレジスタ 0,1 への書き込みタイミングの制御を行います。

0 : タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片側のみしか出来ていない場合でも、片方ずつタイマレジスタに書き込みを行うことができます。

1 : タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方とも出来ていない場合は、タイマレジスタに書き込みを行うことができません。

(注 1) TBnMOD のビット 5 は、リードすると“1”が読み出されます。

(注 2) TBnMOD はタイマ動作中 (TBnRUN<TBRUN>= " 1 ") に設定変更を行ってはいけません。

9.4.1.5 TMRB フリップフロップコントロールレジスタ (チャンネル 0~7)

TMRBn フリップフロップコントロールレジスタ (n=0~7)

TBnFFCR (0x4001_0xx0)	bit Symbol								
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit Symbol			TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C1	TBFF0C0	
Read/Write	R		R/W				R/W		
リセット後	1	1	0	0	0	0	1	1	
機能	読み出すと常に "11" になります。		TBnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル				TBnFF0 の制御 00: Invert 01: Set 10: Clear 11: Don't care 読み出すと常に "11" になります。		
			TBnCP1 へ のアップ カウンタ値 取り込み時	TBnCP0 へ のアップ カウンタ値 取り込み時	アップ カウンタと TBnRG1 と の一致時	アップ カウンタと TBnRG0 と の一致時			

<TBFF0C1:0> : タイマフリップフロップを制御します。

- 00 : TBnFF0 の値を反転します
- 01 : TBnFF0 を"1"にセットします
- 10 : TBnFF0 を"0"にクリアします
- 11 : Don't care

<TBE0T1> : アップカウンタとタイマレジスタ 0 (TBnRG0) との一致時にタイマフリップフロップの反転を制御します。

- 0 : TBnFF0 は反転しません
- 1 : TBnFF0 は反転します

<TBE1T1> : アップカウンタとタイマレジスタ 1 (TBnRG1) との一致時にタイマフリップフロップの反転を制御します。

- 0 : TBnFF0 は反転しません
- 1 : TBnFF0 は反転します

<TBC0T1> : アップカウンタの値がキャプチャレジスタ 0 (TBnCP0) に取り込まれた時にタイマフリップフロップの反転を制御します。

- 0 : TBnFF0 は反転しません
- 1 : TBnFF0 は反転します

<TBC1T1> : アップカウンタの値がキャプチャレジスタ 1 (TBnCP1) に取り込まれた時にタイマフリップフロップの反転を制御します。

0 : TBnFF0 は反転しません

1 : TBnFF0 は反転します

(注) TBnFFCR はタイマ動作中 (TBnRUN<TBRUN>= " 1 ") に設定変更を行ってはいけません。

TMPM382 は、TB3FFCR はありませんのでそのレジスタをアクセスしないでください。

9.4.1.6 TMRB ステータスレジスタ (チャンネル 0~7)

TMRBn ステータスレジスタ (n=0~7)

	31	30	29	28	27	26	25	24
TnST (0x4001_0xx4)	bit Symbol							
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	bit Symbol							
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	bit Symbol							
	Read/Write	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	bit Symbol					INTTBOF	INTTB1	INTTB0
	Read/Write	R				R		
	リセット後	0				0	0	0
機能	リードすると"0"が読めます					0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

<INTTB0> : タイマレジスタ 0 (TnRG0) との一致割り込み発生ステータス

0 : 割り込みは発生していません

1 : 割り込みが発生しています

<INTTB1> : タイマレジスタ 1 (TnRG1) との一致割り込み発生ステータス

0 : 割り込みは発生していません

1 : 割り込みが発生しています

<INTTBOF> : アップカウンタのオーバーフロー割り込み発生ステータス

0 : 割り込みは発生していません

1 : 割り込みが発生しています

(注) いずれかの割り込みが発生すると、TnST に該当割り込みのフラグがセットされ、CPU に割り込み発生が通知されます。

TnST レジスタをリードすると、フラグは"0"にクリアされます。

9.4.1.7 TMRB割込みマスクレジスタ (チャンネル 0~7)

TMRBn 割込みマスクレジスタ (n=0~7)

TBnIM
(0x4001_0xx8)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol						TBIMOF	TBIM1	TBIM0
Read/Write	R					R/W		
リセット後	0					0	0	0
機能	リードすると"0"が読めます					0: マスクしない 1: 割り込みをマスクする	0: マスクしない 1: 割り込みをマスクする	0: マスクしない 1: 割り込みをマスクする

<TBIM0> : タイマレジスタ 0 (TBnRG0) とアップカウンタの一致割り込みをマスクする制御をします。

0 : 割り込みをマスクしません

1 : 割り込みをマスクします。

<TBIM1> : タイマレジスタ 1 (TBnRG1) とアップカウンタの一致割り込みをマスクする制御をします。

0 : 割り込みをマスクしません

1 : 割り込みをマスクします

<TBIMOF> : アップカウンタのオーバーフロー割り込みをマスクする制御をします。

0 : 割り込みをマスクしません

1 : 割り込みをマスクします

(注) TBnIM でマスクされていても TBnST には割り込み要求が反映されます。

9.4.1.8 TMRBリードキャプチャレジスタ (チャンネル0~7)

TBnUC リードキャプチャレジスタ (n=0~7)

TBnUC
(0x4001_0xxC)

	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	TBUC15	TBUC14	TBUC13	TBUC12	TBUC11	TBUC10	TBUC9	TBUC8
Read/Write	R							
リセット後	0							
機 能	キャプチャによるカウンタ読み出しデータ 15-8 ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	TBUC7	TBUC6	TBUC5	TBUC4	TBUC3	TBUC2	TBUC1	TBUC0
Read/Write	R							
リセット後	0							
機 能	キャプチャによるカウンタ読み出しデータ 7-0 ビットデータ							

<UC15-0> : アップカウンタの値をキャプチャして読み出す事ができます。

9.4.1.9 TMRBタイマレジスタ (チャンネル0~7)

TBnRG0 タイマレジスタ (n=0~7)

TBnRG0 (0x4001_0xx0)		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
		15	14	13	12	11	10	9	8
	bit Symbol	TBRG015	TBRG014	TBRG013	TBRG012	TBRG011	TBRG010	TBRG09	TBRG08
	Read/Write	R/W							
	リセット後	0							
	機能	タイマカウント値 15-8ビットデータ							
		7	6	5	4	3	2	1	0
	bit Symbol	TBRG07	TBRG06	TBRG05	TBRG04	TBRG03	TBRG02	TBRG01	TBRG00
	Read/Write	R/W							
	リセット後	0							
	機能	タイマカウント値 7-0ビットデータ							

<TBRG015-00> : アップカウンタとの比較値を書き込みます。

TBnRG1 タイマレジスタ (n=0~7)

TBnRG1 (0x4001_0xx4)		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
		15	14	13	12	11	10	9	8
	bit Symbol	TBRG115	TBRG114	TBRG113	TBRG112	TBRG111	TBRG110	TBRG19	TBRG18
	Read/Write	R/W							
	リセット後	0							
	機能	タイマカウント値 15-8ビットデータ							
		7	6	5	4	3	2	1	0
	bit Symbol	TBRG17	TBRG16	TBRG15	TBRG14	TBRG13	TBRG12	TBRG11	TBRG10
	Read/Write	R/W							
	リセット後	0							
	機能	タイマカウント値 7-0ビットデータ							

<TBRG115-10> : アップカウンタとの比較値を書き込みます。

9.4.1.10 TMRBキャプチャレジスタ (チャンネル0~7)

TBnCP0 キャプチャレジスタ (n=0~7)

	31	30	29	28	27	26	25	24
TBnCP0 (0x4001_0xx8)	bit Symbol							
	R	R	R	R	R	R	R	R
	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	bit Symbol							
	R	R	R	R	R	R	R	R
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	TBCP015	TBCP014	TBCP013	TBCP012	TBCP011	TBCP010	TBCP09	TBCP08
	Read/Write R							
	リセット後 0							
	機能 タイマキャプチャ値 15-8ビットデータ							
	7	6	5	4	3	2	1	0
	TBCP07	TBCP06	TBCP05	TBCP04	TBCP03	TBCP02	TBCP01	TBCP00
	Read/Write R							
	リセット後 0							
	機能 タイマキャプチャ値 7-0ビットデータ							

<TBCP015-00> : アップカウンタをキャプチャした値を読むことができます。

TBnCP1 キャプチャレジスタ (n=0~7)

	31	30	29	28	27	26	25	24
TBnCP1 (0x4001_0xxC)	bit Symbol							
	R	R	R	R	R	R	R	R
	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
	bit Symbol							
	R	R	R	R	R	R	R	R
	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
	TBCP115	TBCP114	TBCP113	TBCP112	TBCP111	TBCP110	TBCP19	TBCP18
	Read/Write R							
	リセット後 0							
	機能 タイマキャプチャ値 15-8ビットデータ							
	7	6	5	4	3	2	1	0
	TBCP17	TBCP16	TBCP15	TBCP14	TBCP13	TBCP12	TBCP11	TBCP10
	Read/Write R							
	リセット後 0							
	機能 タイマキャプチャ値 7-0ビットデータ							

<TBCP115-10> : アップカウンタをキャプチャした値を読むことができます。

9.5 回路別の動作説明

各チャンネルは表 9-1～表 9-3に示される仕様相違点を除いて同一の動作をしますので、チャンネル 0 を例に説明します。

9.5.1 プリスケータ

アップカウンタ UCO のソースクロックを生成する 4 ビットのプリスケータです。

プリスケータへの入力クロック $\phi T0$ は CGSYSCR<PRCK2:0> にて選択した `fperiph`, `fperiph/2`, `fperiph/4`, `fperiph/8`, `fperiph/16`, `fperiph/32` のいずれかのクロックです。このペリフェラルクロック `fperiph` は CGSYSCR<FPSEL> で選択したクロック `fgear` またはクロックギア分周前のクロック `fc` のいずれかのクロックです。

プリスケータは TBORUN<TBPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し“0” をライトすると停止し、クリアされます。プリスケータ出力クロックの分解能を、表 9-5に示します。

表 9-5 プリスケアラ出カクロック分解能 (fc=40MHz)

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケアラ クロック選択 <PRCK2:0>	プリスケアラ出カクロック分解能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1(0.05\mu s)$	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	100 (fc/2)	000 (fperiph/1)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		001 (fperiph/2)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		010 (fperiph/4)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		011 (fperiph/8)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		100 (fperiph/16)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
		101 (fperiph/32)	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$
	101 (fc/4)	000 (fperiph/1)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		001 (fperiph/2)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		010 (fperiph/4)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		011 (fperiph/8)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
		100 (fperiph/16)	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$
		101 (fperiph/32)	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$	$fc/2^{12}(102.4\mu s)$
	110 (fc/8)	000 (fperiph/1)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		001 (fperiph/2)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		010 (fperiph/4)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
		011 (fperiph/8)	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$
		100 (fperiph/16)	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$	$fc/2^{12}(102.4\mu s)$
		101 (fperiph/32)	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$	$fc/2^{13}(204.8\mu s)$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1(0.05\mu s)$	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	100 (fc/2)	000 (fperiph/1)	—	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	101 (fc/4)	000 (fperiph/1)	—	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	—	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	110 (fc/8)	000 (fperiph/1)	—	—	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	—	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	—	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$

- (注1) プリスケーラ出力クロック T_n は、かならず $T_n < f_{sys}$ を満足するように (T_n が f_{sys} よりも遅くなるように) 選択してください。
- (注2) タイマ動作中はクロックギアの切り替えは行わないでください。
- (注3) 表中 “—” は設定禁止です。

9.5.2 アップカウンタ(UC0)

16ビットのバイナリカウンタです。

- ソースクロック

ソースクロックは TB0MOD<TBCLK1:0>で設定することができます。

プリスケアラ出力クロック T1、 T4、 T16、または、TB0IN 端子の外部クロックのいずれかを選択できます。

- カウンタ動作の開始と停止

カウンタ動作は TB0RUN<TBRUN>で行います。<TBRUN> = “1” でカウントを開始し、“0” でカウント停止と同時にカウンタのクリアを行います。

- カウンタクリアのタイミング

- コンペア一致時

TB0MOD<TBCLE> = “1” に設定することで、TB0RG1 とのコンペア一致とともにカウンタのクリアをすることができます。TB0MOD<TBCLE> = “0” に設定するとカウンタはフリーランニングカウンタとして動作します。

- ②カウンタ停止時

TB0RUN<TBRUN> = “0” に設定すると、カウンタが停止するとともにクリアされます。

- カウンタのオーバーフロー

UC0 がオーバーフローすると、オーバーフロー割り込み INTTB00 が発生します。

9.5.3 タイマレジスタ (TBORG0、TBORG1)

アップカウンタ UCO と比較する値を設定するレジスタで、2 本内蔵されています。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致するとコンパレータが一致検出信号を出力します。

- 構成

タイマレジスタのうち TBORG0、TBORG1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。ダブルバッファのイネーブル/ディセーブル制御は TBOCR<TBWBF> によって行います。<TBWBF> = “0” のときディセーブル、<TBWBF> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、UCO と TBORG1 との一致時にレジスタバッファからタイマレジスタ TBORG0 および TBORG1 へデータ転送が行われます。

- 初期状態

リセット動作により TBORG0、TBORG1 は不定で、ダブルバッファはディセーブルになっています。

- 設定方法

- ①ダブルバッファを使用しない場合

タイマレジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でアクセスしてください。

- ②ダブルバッファを使用する場合

TBORG0/1 とレジスタバッファ 0/1 は、それぞれ同じアドレスに割り付けられています。

<TBWBF> = “0” のときは TBORG0、TBORG1 とそれぞれのレジスタバッファに同じ値が書き込まれ、<TBWBF> = “1” のときはそれぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときにはレジスタバッファをディセーブルにしておき、タイマレジスタにデータを書き込んだ後、<TBWBF> = “1” に設定し、レジスタバッファへ次のデータを書き込んでください。

- 割り込み

TBORG0 と UP0 のカウント値が一致すると INTTB00 が発生します。TBORG1 と UP0 のカウント値が一致すると INTTB01 が発生します。

9.5.4 キャプチャ制御

アップカウンタ UCO の値をキャプチャレジスタ TBOCP0、TBOCP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TBOMOD<TBPM1:0>で設定します。

また、ソフトウェアによってもアップカウンタ UCO の値をキャプチャレジスタへ取り込むことができます。TBOMOD<TBPM0> に “0” を書き込むたびに、その時点の UCO の値をキャプチャレジスタ TBOCP0 へ取り込みます。なお、プリスケーラは、RUN 状態 (TBORUN<TBPRUN> = “1”) にしておく必要があります。

9.5.5 キャプチャレジスタ (TB0CP0, TB0CP1)

キャプチャしたアップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。キャプチャレジスタを読み出す場合は、16bit データ転送命令を用いるか、下位→上位の順に読み出して下さい。

9.5.6 アップカウンタキャプチャレジスタ (TB0UC)

キャプチャ制御回路によるキャプチャ機能のほかに、TB0UC レジスタを読み出すことにより、アップカウンタ UC0 の現在のカウント値をキャプチャする事ができます。

9.5.7 コンパレータ (CP0, CP1)

アップカウンタ UC0 と、タイマレジスタ TBORG0、TBORG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTB00 と INTTB01 を発生します。

9.5.8 タイマフリップフロップ (TB0FF0)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TBC1T1, TBC0T1, TBE1T1, TBE0T1> によって設定できます。

リセット後、TB0FF0 の値は不定となります。TB0FFCR<TBFFOC1 : 0>に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることが可能です。

TB0FF0 の値は、タイマ出力端子 TB0OUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタ PxCR、PxFRn により、設定を行う必要があります。

9.5.9 キャプチャ割込み (INTCAP00, INTCAP01)

キャプチャレジスタ TB0CP0、TB0CP1 にラッチするタイミングで割込み INTCAP00、INTCAP01 をそれぞれ発生します。割込みの設定は CPU で行います。

9.6 モード別動作説明

9.6.1 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TBORG0 にインタバル時間を設定し、INTTB00 割り込みを発生します。同様に、タイマレジスタ TBORG1 に異なるインタバル時間を設定し、INTTB01 割り込みを発生します。

9.6.2 16ビットイベントカウンタモード

入力クロック（ソースクロック）を外部クロック（TB0IN 端子入力）に設定することでイベントカウンタにすることができます。

アップカウンタは TB0IN 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

イベントカウンタとして使用する場合も、プリスケーラは “RUN” にしてください (TBORUN<TBPRUN> = “1”)。

9.6.3 16ビットPPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ (UC0) とタイマレジスタ (TBORG0、TBORG1) への設定値との一致によりタイマフリップフロップ (TB0FF0) の反転トリガをかけることで、プログラマブル矩形波を TB0OUT 端子より出力することができます。ただし、TBORG0 と TBORG1 の設定値は次の条件を満たす必要があります。

$$(TBORG0 \text{ への設定値}) < (TBORG1 \text{ への設定値})$$

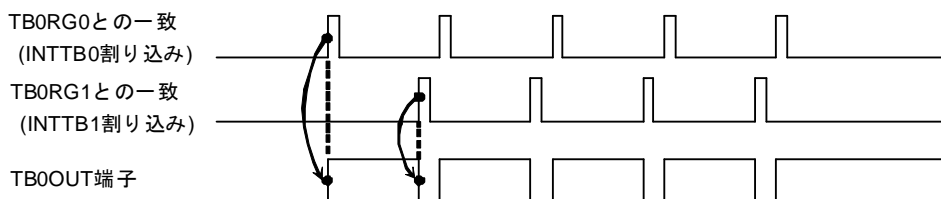


図 9-3 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TBORG0 のダブルバッファをイネーブルにすることにより、TBORG1 との一致で、レジスタバッファ 0 の値が TBORG0 へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

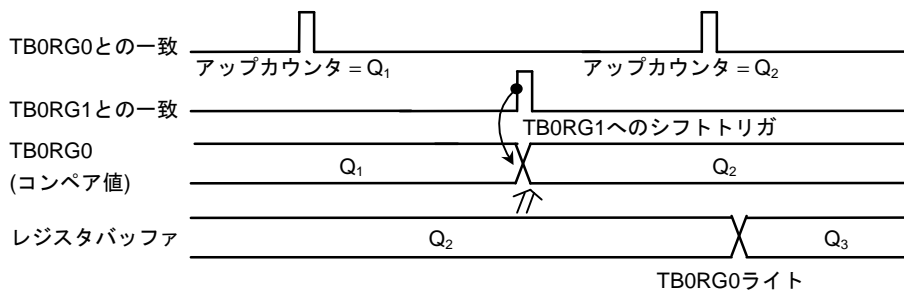


図 9-4 レジスタバッファの動作

このモードのブロック図を示します。

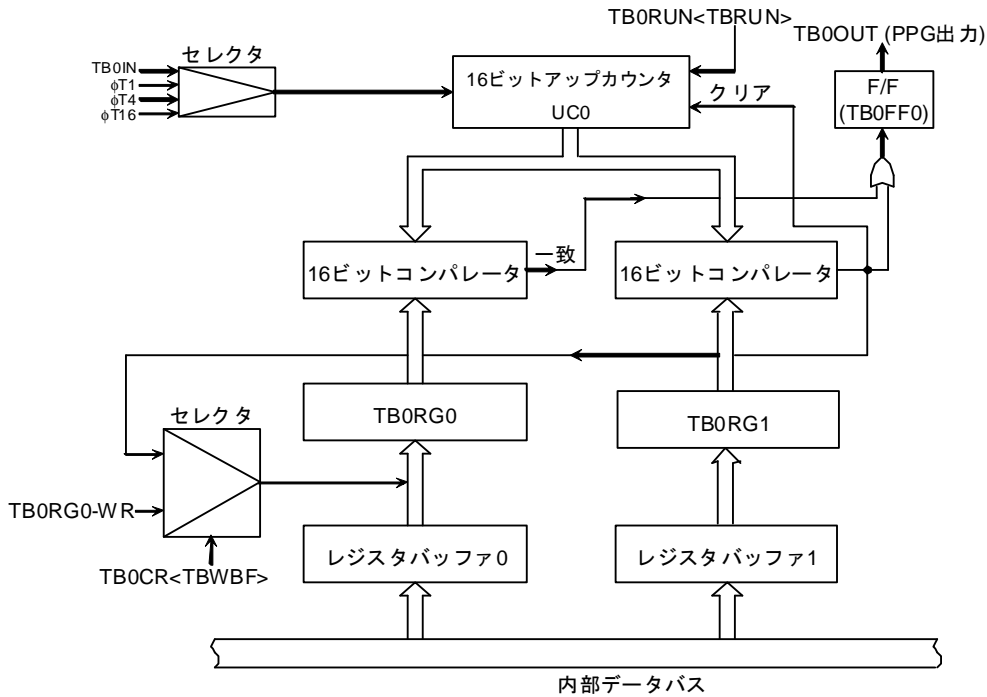


図 9-5 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TBOEN	← 1	X	X	X	X	X	X	X	TMRB0 モジュールを起動します。
TBORUN	← X	X	X	X	X	0	X	0	TMRB0 を停止します。
TBORG0	← *	*	*	*	*	*	*	*	デューティを設定します。
	← *	*	*	*	*	*	*	*	(データ長 : 16 ビット ※レジスタ長は 32 ビット)
TBORG1	← *	*	*	*	*	*	*	*	周期を設定します。
	← *	*	*	*	*	*	*	*	(データ長 : 16 ビット ※レジスタ長は 32 ビット)
TB0CR	← 1	0	X	0	0	0	0	0	ダブルバッファイネーブル
									(INTTBO 割り込みでデューティ/周期の変更)
TB0FFCR	← X	X	0	0	1	1	1	0	TB0FF0 を TBORG0、TBORG1 とそれぞれとの一致検出で反転するように設定します。また、TB0FF0 の初期値を "0" にします。
TB0MOD	← 0	0	1	0	0	1	*	*	入力クロックをプリスケアラ出力にし、キャプチャ機能ディセーブルにします。UP0 は TBORG1 との一致でクリアされます。TBORG0/1 への書き込みは同時でなくて OK です。
							(** = 01, 10, 11)		
PACR	← -	-	-	-	-	-	-	1	} PA1 を出力に設定し、TB0OUT に割り付けます。
PAFR1	← -	-	-	-	-	-	-	1	
TBORUN	← *	*	*	*	*	1	X	1	TMRB0 を起動します。

X; Don't care -; no change

9.6.4 外部トリガPPG(プログラマブル矩形波) 出力モード

外部トリガカウントスタートを使用すると、小さいディレイでのワンショットパルス出力が可能です。

- (1) 16ビットアップカウンタ(UC0)が停止状態($TBORUN<TBRUN>=0$)で、TB0IN端子の立ち上がりでカウントアップするように設定しておきます($TBOCR<TRGSEL,CSSEL>=$ "01")。タイマレジスタ(TBORG0)には、ディレイタイム(d)を設定します。タイマレジスタ(TBORG1)には、TBORG0の値とワンショットパルスのパルス幅(p)を加算した値(d + p)を設定します。
- (2) タイマフリップフロップコントロールレジスタ(TBOFFCR<TBE1T1, TBE0T1>)に"11"を設定し、UC0とTBORG0との一致、および、TBORG1との一致により、タイマフリップフロップ(TBOFF0)が反転するようにトリガイネーブルにします。
- (3) $TBORUN<TBRUN>$ を"1"にセットし、外部トリガパルスの立ち上がりで、カウントアップスタートを有効にします。
- (4) TB0IN端子の立ち上がりでワンショットパルスが出力された後、INTTB01の割り込み処理でタイマフリップフロップ(TBOFF0)の反転をディセーブルにするか、 $TBORUN<TBRUN>$ を"0"にクリアし16ビットアップカウンタの動作を停止します。

なお、文中の(d)、(p)は、下記の図のd、pと対応しています。

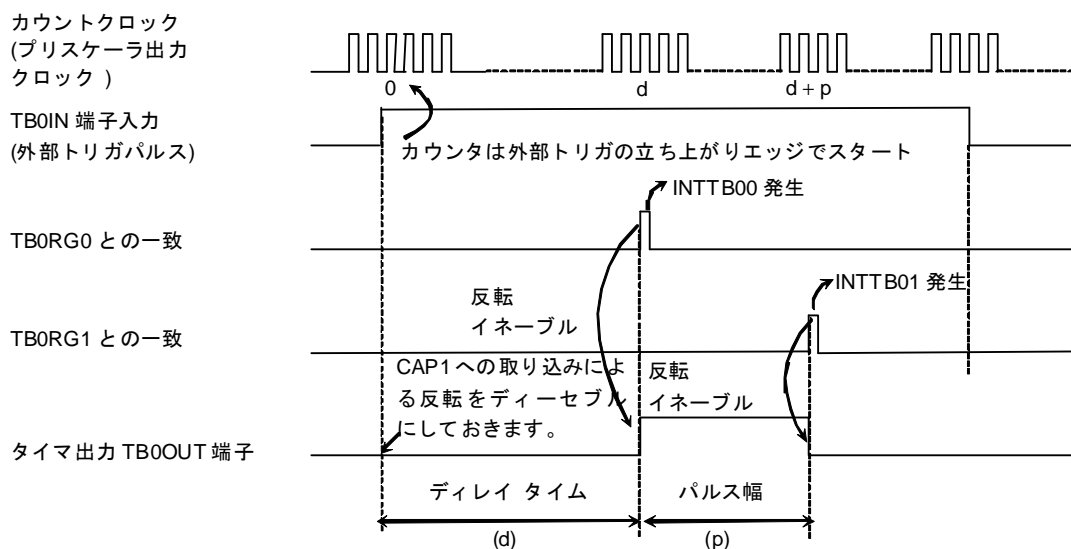


図 9-6 外部トリガカウントスタートを使用したワンショットパルス出力(ディレイあり)

9.6.5 タイマ同期モード

タイマ同期モードを使用する事により、タイマ間のスタートの同期を取る事が可能となります。
PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

TBnCR<TBSYNC>により、同期モードの切り替えを行います。

<TBSYNC> = “0” : タイマの ch 毎のタイミングで動作を行います。

<TBSYNC> = “1” : 同期出力を行います。

TMRB0~3, TMRB4~7 の 2 つのブロックに分かれております。

<TBSYNC> = “1” を設定した場合、ch 毎のタイマスタート TBnRUN<TBPRUN, TBRUN>= “1,1”

ではスタートせず、TMRB0, TMRB4 に同期する形でスタート致します。

タイマ同期出力コントロールレジスタ (n=0~7)

		7	6	5	4	3	2	1	0
TBnCR (0x4001_0xx8)	bit Symbol	TBWBF		TBSYNC		I2TB		TRGSEL	CSSEL
	Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	ダブルバッファ 0: 禁止 1: 許可	“0” を ライトし てください。	同期モード 切替 0: 個別動作 1: 同期動作	リードす ると“0”が 読めます	IDLE 時ク ロック制 御 0: 停止 1: 動作	リードす ると“0”が 読めます	外部トリ ガ選択 0: 立ち上 がりエッ ジ 1: 立ち下 がりエッ ジ	カウンタ スタート 選択 0: ソフト スタート 1: 外部ト リガ

<I2TB> IDLE モード時の動作、停止が選択できます。

<TBSYNC> タイマ出力を 4ch 毎同期させることが可能です。
タイマ同期のマスターとなる TMRB0,4 は、常に TBSYNC ビットを “0” に設定して
ください。
タイマ同期のスレーブ側となるタイマは、TBSYNC ビットを “1” に設定してください。

<TBWBF> タイマレジスタのダブルバッファを制御します。

(注 1) 同期出力したい ch に関しては、TMRB0,4 でスタートする前に TBnRUN<TBPRUN, TBRUN>
= “1,1” にて予め同時にスタートをかけておいてください。

(注 2) 同期出力モード時以外は TBnCR<TBSYNC>= “0” に設定してください。
同期出力モードが設定されている場合、TMRB0,4 にてスタートが掛かるまで、他の ch の
スタートは待たされます。

9.7 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

外部トリガパルスからのワンショットパルス出力
周波数測定
パルス幅測定

①外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタUC0をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。TB0IN 端子よりパルスを入力し、キャプチャ機能を用いて、パルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ (TB0CP0) に取り込みます。

外部パルスの立ち上がり時、割り込み INTCAP00 が発生するようにCPUで設定します。この割り込みで、タイマレジスタ (TBORG0) には、TB0CP0 の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。

タイマレジスタ (TBORG1) には、TBORG0 の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。(TBORG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ (TBOFFCR<TBE1T1, TBE0T1>) に “11” を設定し、UC0 と TBORG0 との一致、および、TBORG1 との一致により、タイマフリップフロップ (TBOFF0) が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB00/01 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、「図 9-7 ワンショットパルス出力 (ディレイあり)」のc、d、p と対応しています。

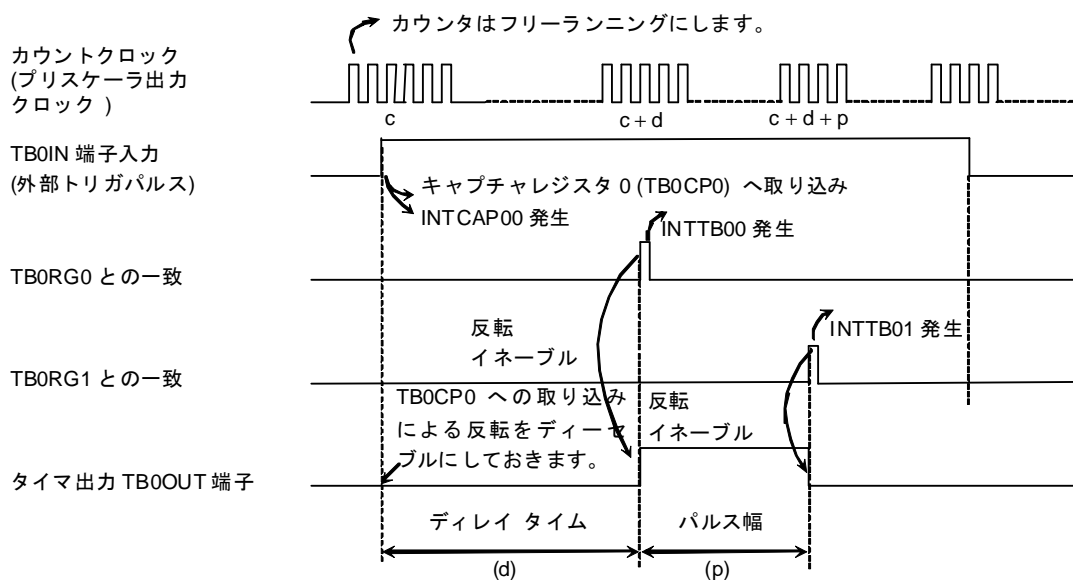


図 9-7 ワンショットパルス出力 (ディレイあり)

ディレイが不要な場合、TBOCP0 への取り込みによって TBOFF0 を反転させ、割り込み INT で TBOCP0 の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TBORG1 に設定します。(TBORG1 の変更は次の一致までに完了してください。) TBOFF0 は、TBORG1 と UCO の一致によって反転するように、反転イネーブルを選択します。また、INTTB01 割り込みでこれをディセーブルに戻します。

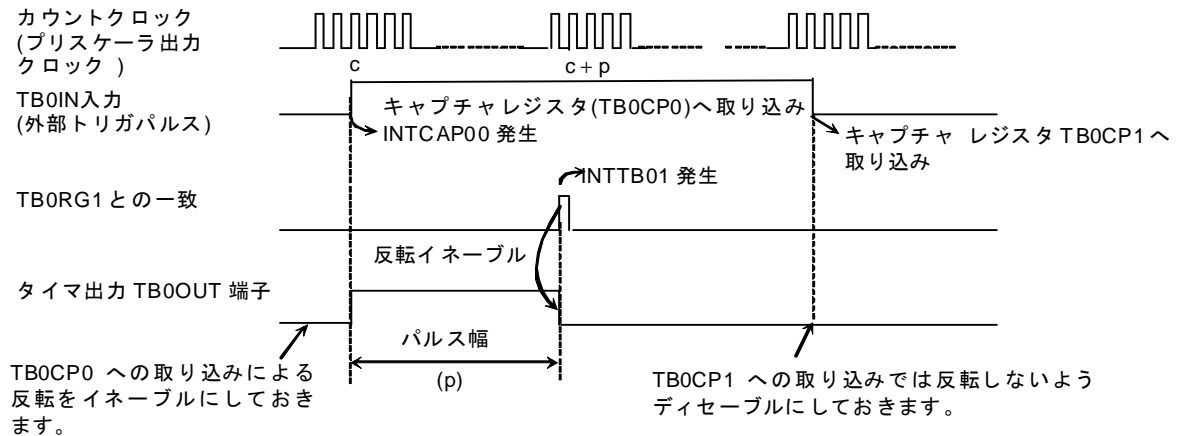


図 9-8 外部トリガパルスのワンショットパルス出力 (ディレイなし)

周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16ビットイベントカウンタモードと他の16ビットタイマを組み合わせで行います。TMRB0とTMRB7を使う場合を例に説明します。TMRB7のTB7OUTを測定時間の設定に用います。

TMRB0のカウンタクロックはTB0IN端子入力を選択し、外部クロック入力によるカウント動作を行います。TB0MOD<TBCPM>には“11”を設定します。この設定により、16ビットタイマ(TMRB7)のタイマフリップフロップ出力(TB7OUT)の立ち上がりで、キャプチャレジスタ(TB0CP0)に16ビットアップカウンタUCのカウンタ値を取り込み、16ビットタイマ(TMRB7)のTB7OUTの立ち下がりで、キャプチャレジスタ(TB0CP1)にUCのカウンタ値の取り込みを行います。

周波数は、16ビットタイマの割り込みINTTB7で測定時間を基準にしてTB0CP0、TB0CP1の差より求めます。

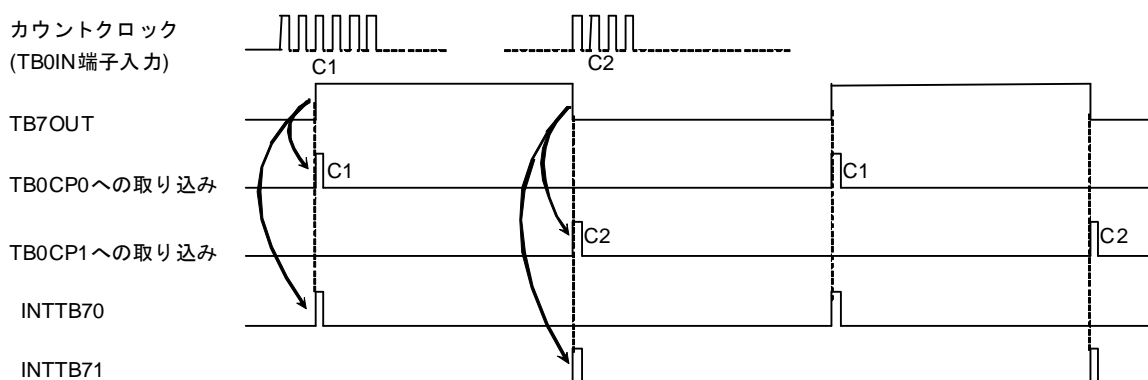


図 9-9 周波数測定

例えば、16ビットタイマによるTB7FFの“1”レベル幅の設定値が0.5sで、TB0CP0とTB0CP1の差が100であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TBOIN 端子より外部パルスを入力し、アップカウンタ (UC0) をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ (TBOCP0, TBOCP1) に取り込みます。TBOIN 端子の立ち下がりにより、INTCAP01 が発生するように CPU で設定します。

“H”レベルパルス幅は、TBOCP0 と TBOCP1 の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えば TBOCP0 と TBOCP1 の差が 100 で、プリスケアラ出力クロックの周期が $0.5 \mu\text{s}$ であれば、パルス幅は、 $100 \times 0.5 \mu\text{s} = 50 \mu\text{s}$ となります。

なお、クロックソースにより定まる UC0 の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

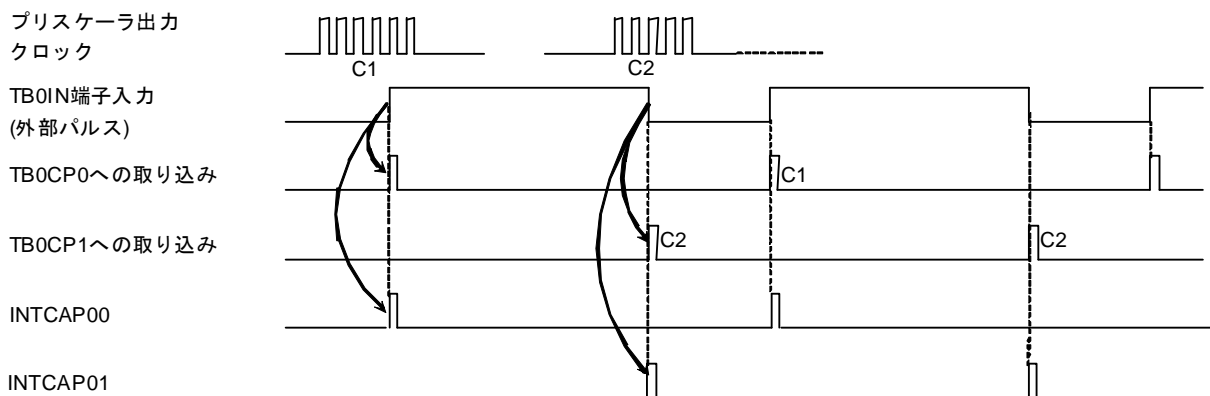


図 9-10 パルス幅測定

また、外部パルスの“L”レベル幅を測定することもできます。この場合、

「図 9-10 パルス幅測定」における、2 回目の INTCAP00 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

10. 16ビット多目的タイマ (MPT)

重要

TMPM382(64ピン版)には、MPT1,MPT2はありません。
それらに関する機能は使用しないでください。

10.1 概要

16ビット多目的タイマを3チャンネル (MPT0~MPT2) 内蔵しています。

MPTは、次の3つの動作モードをもっています。

<タイマ モード>

- 16ビットインタバルタイマモード
- 16ビットイベントカウンタモード
- 16ビットプログラマブル矩形波出力 (PPG、1出力) モード
- パルス幅測定(キャプチャ)

<IGBT モード>

- 16ビットプログラマブル矩形波出力 (PPG、2出力) モード
- 外部トリガスタート
- 周期一致検出
- 緊急停止機能

<PMD モード>

- 3相モータコントロールモード

注)MPT2にはPMDモードはありません。

10.2 チャンネル別仕様相違点

各チャンネル (MPT0~MPT2)はそれぞれ独立に動作します。いずれのチャンネルも表 10-1に示される仕様相違点を除いて同一の動作をします。

表 10-1 MPT のチャンネル別仕様相違点

仕様 チャンネル	外部端子					
	外部クロック/ キャプチャトリガ 入力端子	タイマフリップ フロップ 出力端子	IGBT 入力端子	IGBT 出力端子	PMD 入力端子	PMD 出力端子
MPT0	MTTB0IN	MTTB0OUT	$\overline{\text{GEMG0}}$ MT0IN	MTOUT00 MTOUT10	$\overline{\text{EMG0}}$	UO0,VO0, WO0,XO0, YO0,ZO0
MPT1	MTTB1IN	MTTB1OUT	$\overline{\text{GEMG1}}$ MT1IN	MTOUT01 MTOUT11	$\overline{\text{EMG1}}$	UO1,VO1, WO1,XO1, YO1,ZO1
MPT2	MTTB2IN	MTTB2OUT	$\overline{\text{GEMG2}}$ MT2IN	MTOUT02 MTOUT12	—	—

10.3 構成

MPT はタイマ、IGBT、PMD の 3 つのモジュールで構成されています。

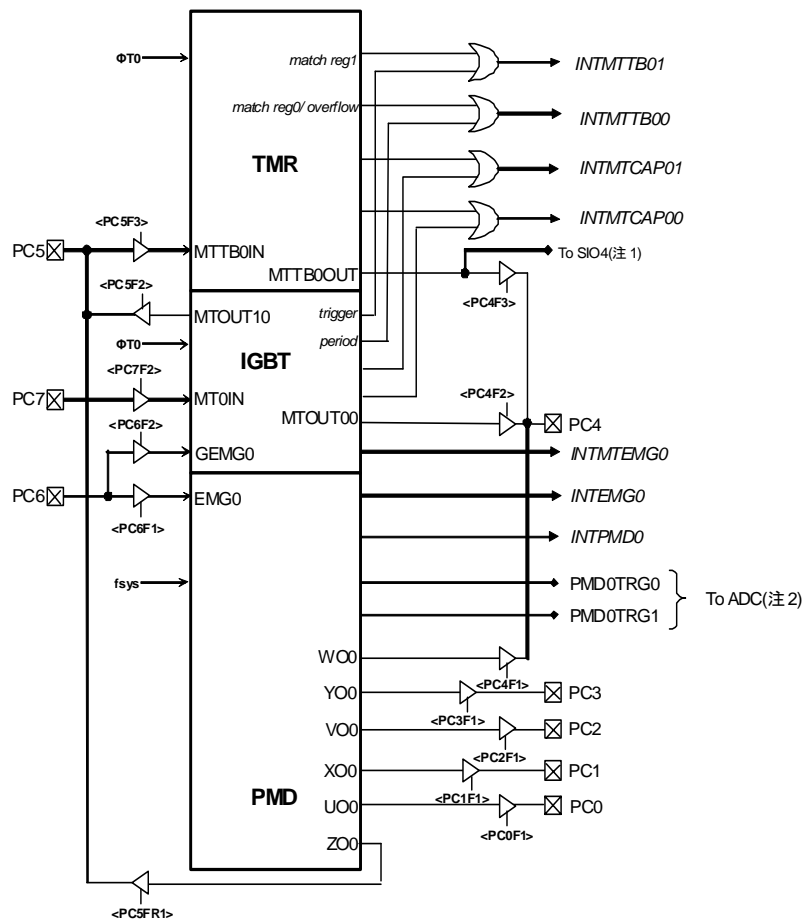


図 10-1 MPT0 ブロック図

(注1) MPT0 の タイマモード時のタイマフリップフロップ出力(MTTB0OUT)は SIO4 UART モード時のシリアル転送クロックとして選択できます。

(注2) MPT2 には PMD モジュールはありません。

10.4 レジスタ説明

10.4.1 チャンネル別レジスタ一覧

各チャンネルのレジスタとアドレスを表 10-2、表 10-3、表 10-4に示します。

表 10-2 MPT のチャンネル別レジスタ一覧 (1/3)

仕様		チャンネル		MPT0		MPT1		MPT2	
レジスタ名 (アドレス)	MPT イネーブルレジスタ	MT0EN	0x4005_0800	MT1EN	0x4005_0880	MT2EN	0x4005_0900		
	MPT RUN レジスタ	MT0RUN	0x4005_0804	MT1RUN	0x4005_0884	MT2RUN	0x4005_0904		
	MPT コントロールレジスタ	MT0TBCR	0x4005_0808	MT1TBCR	0x4005_0888	MT2TBCR	0x4005_0908		
	MPT モードレジスタ	MT0TBMOD	0x4005_080C	MT1TBMOD	0x4005_088C	MT2TBMOD	0x4005_090C		
	MPT フリップフロップ コントロールレジスタ	MT0TBFFCR	0x4005_0810	MT1TBFFCR	0x4005_0890	MT2TBFFCR	0x4005_0910		
	MPT ステータスレジスタ	MT0TBST	0x4005_0814	MT1TBST	0x4005_0894	MT2TBST	0x4005_0914		
	MPT 割り込みマスクレジスタ	MT0TBIM	0x4005_0818	MT1TBIM	0x4005_0898	MT2TBIM	0x4005_0918		
	MPT アップカウンタレジスタ	MT0TBUC	0x4005_081C	MT1TBUC	0x4005_089C	MT2TBUC	0x4005_091C		
	MPT レジスタ	MT0RG0	0x4005_0820	MT1RG0	0x4005_08A0	MT2RG0	0x4005_0920		
		MT0RG1	0x4005_0824	MT1RG1	0x4005_08A4	MT2RG1	0x4005_0924		
MPT キャプチャレジスタ	MT0CP0	0x4005_0828	MT1CP0	0x4005_08A8	MT2CP0	0x4005_0928			
	MT0CP1	0x4005_082C	MT1CP1	0x4005_08AC	MT2CP1	0x4005_092C			

表 10-3 MPT のチャンネル別レジスタ一覧 (2/3)

仕様		チャンネル		MPT0		MPT1		MPT2	
レジスタ名 (アドレス)	IGBT コントロールレジスタ	MT0IGCR	0x4005_0830	MT1IGCR	0x4005_08B0	MT2IGCR	0x4005_0930		
	IGBT タイマスタートレジスタ	MT0IGRESTA	0x4005_0834	MT1IGRESTA	0x4005_08B4	MT2IGRESTA	0x4005_0934		
	IGBT タイマステータスレジスタ	MT0IGST	0x4005_0838	MT1IGST	0x4005_08B8	MT2IGST	0x4005_0938		
	IGBT 入力コントロールレジスタ	MT0IGICR	0x4005_083C	MT1IGICR	0x4005_08BC	MT2IGICR	0x4005_093C		
	IGBT 出力コントロールレジスタ	MT0IGOCR	0x4005_0840	MT1IGOCR	0x4005_08C0	MT2IGOCR	0x4005_0940		
	IGBT タイマレジスタ 2,3,4	MT0IGRG2	0x4005_0844	MT1IGRG2	0x4005_08C4	MT2IGRG2	0x4005_0944		
		MT0IGRG3	0x4005_0848	MT1IGRG3	0x4005_08C8	MT2IGRG3	0x4005_0948		
		MT0IGRG4	0x4005_084C	MT1IGRG4	0x4005_08CC	MT2IGRG4	0x4005_094C		
	IGBT EMG コントロールレジスタ	MT0IGEMGCR	0x4005_0850	MT1IGEMGCR	0x4005_08D0	MT2IGEMGCR	0x4005_0950		
IGBT EMG ステータスレジスタ	MT0IGEMGST	0x4005_0854	MT1IGEMGST	0x4005_08D4	MT2IGEMGST	0x4005_0954			

表 10-4 MPT のチャンネル別レジスタ一覧 (3/3)

仕様	チャンネル	MPT0		MPT1		MPT2
		レジスタ名	アドレス	レジスタ名	アドレス	値
レジスタ名 (アドレス)	PMD イネーブルレジスタ	MTPD0MDEN	0x4005_0400	MTPD1MDEN	0x4005_0480	NA
	ポート出力モードレジスタ	MTPD0PORTMD	0x4005_0404	MTPD1PORTMD	0x4005_0484	NA
	PMD 制御レジスタ	MTPD0MDCR	0x4005_0408	MTPD1MDCR	0x4005_0488	NA
	PWM カウンタステータスレジスタ	MTPD0CNTSTA	0x4005_040C	MTPD1CNTSTA	0x4005_048C	NA
	PWM カウンタレジスタ	MTPD0MDCNT	0x4005_0410	MTPD1MDCNT	0x4005_0490	NA
	PWM 周期レジスタ	MTPD0MDPRD	0x4005_0414	MTPD1MDPRD	0x4005_0494	NA
	PMD コンペア U レジスタ	MTPD0CMPU	0x4005_0418	MTPD1CMPU	0x4005_0498	NA
	PMD コンペア V レジスタ	MTPD0CMPV	0x4005_041C	MTPD1CMPV	0x4005_049C	NA
	PMD コンペア W レジスタ	MTPD0CMPW	0x4005_0420	MTPD1CMPW0	0x4005_04A0	NA
	PMD 出力制御レジスタ	MTPD0MDOUT	0x4005_0428	MTPD1MDOUT	0x4005_04A8	NA
	PMD 出力設定レジスタ	MTPD0MDPOT	0x4005_042C	MTPD1MDPOT	0x4005_04AC	NA
	EMG 解除レジスタ	MTPD0EMGREL	0x4005_0430	MTPD1EMGREL	0x4005_04B0	NA
	EMG 制御レジスタ	MTPD0EMGCR	0x4005_0434	MTPD1EMGCR	0x4005_04B4	NA
	EMG ステータスレジスタ	MTPD0EMGST	0x4005_0438	MTPD1EMGST	0x4005_04B8	NA
	デッドタイムレジスタ	MTPD0DTR	0x4005_0444	MTPD1DTR	0x4005_04C4	NA
	トリガコンペア 0 レジスタ	MTPD0TRGCMP0	0x4005_0448	MTPD1TRGCMP0	0x4005_04C8	NA
	トリガコンペア 1 レジスタ	MTPD0TRGCMP1	0x4005_044C	MTPD1TRGCMP1	0x4005_04CC	NA
	トリガ制御レジスタ	MTPD0TRGCR	0x4005_0458	MTPD1TRGCR	0x4005_04D8	NA
	トリガ出力モード設定レジスタ	MTPD0TRGMD	0x4005_045C	MTPD1TRGMD	0x4005_04DC	NA

10.4.1.1 使用上の注意

- 1) 下記レジスタは、動作中(MTnRUN<MTRUN>="1")に設定変更を行わないでください。
 - MTnTBFFCR
 - MTnTBMOD
 - MTnTBCR
 - MTnIGCR
 - MTnIGICR
 - MTnIGEMGCR
- 2) タイマモードでのタイマレジスタ0,1の設定は下記条件を満たす必要があります。
(MTnRG0) < (MTnRG1)
- 3) IGBT モードでのタイマレジスタ設定値は下記条件を満たす必要があります。
 $0 < (MTnRG0) < (MTnRG1) \leq (MTIGnRG4) \leq 0xffff$
 $0 < (MTIGnRG2) < (MTIGnRG3) \leq (MTIGnRG4) \leq 0xffff$
- 4) タイマレジスタ MTnRG0,MTnRG1,MTIGnRG2,MTIGnRG3,MTIGnRG4 への書き込みは、バイト単位での書き込みは禁止です。16bit 単位または 32bit 単位で書き込みを実行してください。
- 5) MTOUTn0/MTOUTn1 出力端子は、タイマが動作中/停止中によらず、IGBT 出力コントロールレジスタ (MTnIGOCR)の設定レジスタを書き込みに応じて変化します。MTnIGOCR の設定は動作状況を確認した上で、設定変更を行ってください。
- 6) タイマ動作中に IGBT タイマリスタートレジスタ MTnIGRESTA<IGRESTA>に"1"を書き込むことで、タイマカウンタをクリア&リスタートを行うことができます。出力波形の端子状態を確認した上で、設定変更を行ってください。
- 7) IGBT タイマのトリガスタート端子(MTTBnIN)のノイズ除去時間の設定変更(MTnIGCR<IGNCSEL3:0>の書き換え)はタイマカウンタ停止状態で行ってください。また、変更したノイズ除去時間(設定したクロック数以上)に対し十分な時間をとってからタイマをスタート(MTnRUN<MTRUN>="1")してください。
- 8) GEMGn 端子のノイズ除去設定(MTnIGEMGCR <IGEMGCNT3:0>の変更)は、EMG 保護回路の禁止状態 (MTnIGEMGCR<IGEMGEN>="0")で行ってください。
- 9) MTnIGCR<IGSTP>="10"の周期時間経過後停止の設定で、MTnRUN<MTRUN>のクリアによる停止操作を行った場合、周期割り込みの発生によりタイマが停止したことを確認してから、設定の変更、再スタートを行ってください。
- 10) タイマ停止状態で、タイマカウンタ(MTUCn)の値をキャプチャすることはできません。キャプチャレジスタ MTnCP0,MTnCP1 のデータは保持されており、 以前にキャプチャした値を読み出すことは可能です。

10.4.1.2 MPTイネーブルレジスタ（共通）

MTnEN (n=0~2)

	31	30	28	27	26	25	24	23
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	MTEN	MTHALT	—				MTMODE	
Read/Write	R/W	R/W	R				R/W	
リセット後	0	0	0				0	
機能	MPT 動作 0: 禁止 1: 許可	ホールトモード (デバッグブ레이크) 時の制御 0: 禁止 1: 許可	リードすると“0”が読めます				動作モード 0: タイマモード 1: IGBTモード	

<MTEN>: MPT の動作を指定します。

動作禁止の状態では MPT モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です(他のレジスタへのリード、ライトはできません)。

<MTHALT>: ホールトモード(デバッグブ레이크)時の制御を指定します。

[TMR 機能]

“0”: ホールトモード中のクロック停止動作は行いません。

“1”: ホールトモード中はクロックの動作が停止します。

[IGBT 機能]

“0”: クロック停止動作および MTOUT0n/MTOUT1n 出力の制御を行いません。

“1”: ホールトモード中はクロックの動作が停止します。

また、MTnIGEMGCR<IGEMGOC>の設定に従い、MTOUT0n/MTOUT1n 出力の制御を行います。

<MTMODE>: 動作モードを指定します。

“0”: タイマモード

“1”: IGBT モード

MPT を使用する場合は、MPT モジュールの各レジスタを設定する前に MPT 動作許可 (<MTEN>="1") にしてください。

MPT を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます

10.4.1.3 MPT RUNレジスタ (共通)

MTnRUN (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	—					MTPRUN	—	MTRUN
Read/Write	R					R/W	R	R/W
リセット後	0					0	0	0
機能	リードすると"0"が読めます					Timer Run/Stop Control 0: 停止&クリア 1: カウント ※ 1 bit 目は"0"が読めます		

<MTRUN> : MPT のカウント動作を制御します。

0 : カウント動作を停止します。カウンタは"0"にクリアされます。

1 : カウントを開始します。

<MTPRUN> : MPT のプリスケアラの動作を制御します。

0 : プリスケアラの動作を停止します。プリスケアラは"0"にクリアされます。

1 : プリスケアラの動作を開始します。

10.4.1.4 MPT コントロールレジスタ (タイマ モード)

MTnTBCR (n=0~2)

	31	30	28	27	26	25	24	23
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	MTTBWBF	—	—	—	MTI2TB	—	MTTBTRGSEL	MTTBCSSEL
Read/Write	R/W	R/W	R/W	R	R/W	R	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	Double Buffer 0: 禁止 1: 許可	“0”をラ イトして ください。	“0”をラ イトして ください。	リードす ると“0”が 読めます	IDLE 時ク ロック制 御 0: 停止 1: 動作	リードす ると“0”が 読めます	外部トリ ガ選択 0: 立ち上 がりエッ ジ 1: 立ち下 がりエッ ジ	カウンタ スタート 選択 0: ソフト スタート 1: 外部ト リガ

<MTTBCSSEL> : カウンタスタートの方法を選択します。
 0 : ソフトウェアでタイマカウントを開始します
 1 : 外部トリガ入力でタイマカウントを開始します

<MTTBTRGSEL> : 外部トリガ選択時のエッジを選択します。
 0 : 立ち上がりエッジ
 1 : 立ち下がりエッジ

<MTI2TB> : IDLE モード時にクロックの動作/停止を制御します。
 0 : クロックを停止します
 1 : クロックを動作します。

<MTTBWBF> : ダブルバッファの許可/禁止を制御します。
 0 : ダブルバッファを禁止します
 1 : ダブルバッファを許可します

(注 1) MTnTBCR はタイマ動作中 (MTnRUN<MTRUN>= "1") に設定変更を行ってはいけません。
 (注 2) IGBT モードでは、<MTTBWBF>の設定によらず、ダブルバッファ自動で許可されます。

10.4.1.5 MPTモードレジスタ (タイマモード)

MTnTBMOD (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	—	MTTBRSWR	MTTBBCP	MTTBBCPM1	MTTBBCPM0	MTTBACLE	MTTBCLK1	MTTBCLK0
Read/Write	R	R/W	W	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	リードすると“0”が読めます	タイマレジスタ0,1への書き込み(ダブルバッファ使用時) 0: 同時になくても許可 1: 同時にないと許可しない	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: MTTBnIN 10: MTTBnIN MTTBnIN 11: ディセーブル		アップカウンタクリア制御 0: クリアデイスエーブル 1: クリアインエーブル	ソースクロック選択 00: MTTBnIN 端子入力 01: φT1 10: φT4 11: φT16	

<MTTBCLK1:0> : MPT のタイマカウントクロックを選択します。

- 00 : MTTBnIN 端子を選択します
- 01 : T1 を選択します (1/2 TO)
- 10 : T4 を選択します (1/8 TO)
- 11 : T16 を選択します (1/32 TO)

<MTTBACLE> : MPT のアップカウンタのクリア制御をおこないます。

- 0 : アップカウンタのクリア禁止
- 1 : タイマレジスタ 1 (MTnRG1) との一致でクリア

<MTTBBCPM1:0> : MPT のキャプチャタイミングを設定します。

- 00 : キャプチャ禁止
- 01 : MTTBnIN 端子入力の立ち上がりでキャプチャレジスタ 0 (MTnCP0) にカウント値を取り込みます
- 10 : MTTBnIN 端子入力の立ち上がりでキャプチャレジスタ 0 (MTnCP0) にカウント値を取り込み、MTTBnIN 端子入力の立ち下がりでキャプチャレジスタ 1 (MTnCP1) にカウント値を取り込みます
- 11 : キャプチャ禁止

<MTTBCP> : ソフトウェアキャプチャし、キャプチャレジスタ 0 (MTnCP0) にカウント値を取り込みます。

<MTTBRSWR> : ダブルバッファ使用時のタイマレジスタ 0,1 への書き込みタイミングの制御を行います。

0 : タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が片側のみしか出来ていない場合でも、片方ずつタイマレジスタに書き込みを行うことができます。

1 : タイマレジスタ 0、タイマレジスタ 1 への書き込み準備が両方とも出来ていない場合は、タイマレジスタに書き込みを行うことができません。

(注 1) MTnTBMOD<MTTBCP>は、リードすると"1"が読み出されます。

(注 2) MTnTBMOD はタイマ動作中 (MTnRUN<MTRUN>= " 1 ") に設定変更を行ってはいけません。

10.4.1.6 MPT フリップフロップコントロールレジスタ (タイマ モード)

MTnTBFFCR (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	—	—	MTTBC1T1	MTTBC0T1	MTTBE1T1	MTTBE0T1	MTTBFF0C1	MTTBFF0C0
Read/Write	R		R/W				R/W	
リセット後	1	1	0	0	0	0	1	1
機能	読み出すと常に “11”になります。		MTnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル MTnCP1 へのアップ カウンタ値 取り込み時 MTnCP0 へのアップ カウンタ値 取り込み時 アップ カウンタと MTnRG1 と の一致時 アップ カウンタと MTnRG0 と の一致時				MTnFF0 の制御 00: Invert 01: Set 10: Clear 11: Don't care 読み出すと常に “11”になります。	

<MTTBFF0C1:0> : タイマフリップフロップを制御します。

- 00 : MTnFF0 の値を反転します
- 01 : MTnFF0 を”1”にセットします
- 10 : MTnFF0 を”0”にクリアします
- 11 : Don't care

<MTTBE0T1> : アップカウンタとタイマレジスタ 0 (MTnRG0) との一致時にタイマフリップフロップの反転を制御します。

- 0 : MTnFF0 は反転しません
- 1 : MTnFF0 は反転します

<MTTBE1T1> : アップカウンタとタイマレジスタ 1 (MTnRG1) との一致時にタイマフリップフロップの反転を制御します。

- 0 : MTnFF0 は反転しません
- 1 : MTnFF0 は反転します

<MTTBC0T1> : アップカウンタの値がキャプチャレジスタ 0 (MTnCP0) に取り込まれた時にタイマフリップフロップの反転を制御します。

- 0 : MTnFF0 は反転しません
- 1 : MTnFF0 は反転します

<MTTBC1T1> : アップカウンタの値がキャプチャレジスタ 1 (MTnCP1) に取り込まれた時にタイマフリップフロップの反転を制御します。

0 : MTnFF0 は反転しません

1 : MTnFF0 は反転します

(注)MTnTBFFCR はタイマ動作中(MTnRUN<MTRUN>="1")に設定変更を行ってはいけません。

10.4.1.7 MPT ステータスレジスタ (タイマ モード)

MTnTBST (n=0~2)

	31	30	29	28	27	26	25	24	
bit Symbol	—	—	—	—	—	—	—	—	
Read/Write	R	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit Symbol	—	—	—	—	—	—	—	—	
Read/Write	R	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit Symbol	—	—	—	—	—	—	—	—	
Read/Write	R	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit Symbol	—					MTTBINT TBOF	MTTBINT TB1	MTTBINT TB0	
Read/Write	R					R			
リセット後	0					0	0	0	
機能	リードすると"0"が読めます					0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	

<MTTBINTTB0> : タイマレジスタ 0 (MTnRG0) との一致割り込み発生ステータス
 0 : 割り込みは発生していません
 1 : 割り込みが発生しています (INTMTTBn0)

<MTTBINTTB1> : タイマレジスタ 1 (MTnRG1) との一致割り込み発生ステータス
 0 : 割り込みは発生していません
 1 : 割り込みが発生しています (INTMTTBn1)

<MTTBINTTBOF> : アップカウンタのオーバーフロー割り込み発生ステータス
 0 : 割り込みは発生していません
 1 : 割り込みが発生しています (INTMTTBn0)

(注) いずれかの割り込みが発生すると、MTnTBST に該当割り込みのフラグがセットされ、CPU に割り込み発生が通知されます。

MTnTBST レジスタをリードすると、フラグは"0"にクリアされます。

10.4.1.8 MPT割込みマスクレジスタ (タイマモード)

MTnTBIM (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit Symbol	—					MTTBIMOF	MTTBIM1	MTTBIM0
Read/Write	R					R/W		
リセット後	0					0	0	0
機能	リードすると“0”が読めます					0: マスクしない 1: 割り込みをマスクする	0: マスクしない 1: 割り込みをマスクする	0: マスクしない 1: 割り込みをマスクする

<MTTBIM0> : タイマレジスタ 0 (MTnRG0) とアップカウンタの一致割り込みをマスクする制御をします。

- 0 : 割り込みをマスクしません
- 1 : 割り込みをマスクします。

<MTTBIM1> : タイマレジスタ 1 (MTnRG1) とアップカウンタの一致割り込みをマスクする制御をします。

- 0 : 割り込みをマスクしません
- 1 : 割り込みをマスクします

<MTTBIMOF> : アップカウンタのオーバーフロー割り込みをマスクする制御をします。

- 0 : 割り込みをマスクしません
- 1 : 割り込みをマスクします

(注) MTnTBIM でマスクされていても MTnTBST には割り込み要求が反映されます。

10.4.1.9 MPTリードキャプチャレジスタ (タイマモード)

MTnTBUC (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	MTUC15	MTUC14	MTUC13	MTUC12	MTUC11	MTUC10	MTUC9	MTUC8
Read/Write	R							
リセット後	0							
機能	キャプチャによるカウンタ読み出しデータ 15-8ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	MTUC7	MTUC6	MTUC5	MTUC4	MTUC3	MTUC2	MTUC1	MTUC0
Read/Write	R							
リセット後	0							
機能	キャプチャによるカウンタ読み出しデータ 7-0ビットデータ							

<UC15-0> : アップカウンタの値をキャプチャして読み出す事ができます。

10.4.1.10 MPTタイマレジスタ（共通）

MTnRG0 (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	MTRG015	MTRG014	MTRG013	MTRG012	MTRG011	MTRG010	MTRG09	MTRG08
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値 15-8 ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	MTRG07	MTRG06	MTRG05	MTRG04	MTRG03	MTRG02	MTRG01	MTRG00
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値 7-0 ビットデータ							

<MTRG0[15:0]>: タイマカウント値
 [タイマモード]
 アップカウンタと MTRG0[15:0] が一致すると、一致検出割り込み (INTMTTBn0) が発生する。また、MTTBnOUT の反転にも使用可能。
 [IGBT モード]
 アップカウンタと MTRG0[15:0] が一致すると、MTOU0n をアクティブレベルに変化させる。

注1) 本レジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でアクセスしてください。

MTnRG1 (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	MTRG115	MTRG114	MTRG113	MTRG112	MTRG111	MTRG110	MTRG19	MTRG18
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値 15-8ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	MTRG17	MTRG16	MTRG15	MTRG14	MTRG13	MTRG12	MTRG11	MTRG10
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値 7-0ビットデータ							

<MTRG1[15:0]>: タイマカウント値
 [タイマモード]
 アップカウンタと MTRG1[15:0]が一致すると、一致検出割り込み(INTMTTBn1)が発生する。また、MTTBnOUT の反転にも使用可能。
 [IGBT モード]
 アップカウンタと MTRG1[15:0]が一致すると、MTOU0n をインアクティブレベルに変化させる。

注1) 本レジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でアクセスしてください。

10.4.1.11 MPTキャプチャレジスタ（共通）

MTnCP0 (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	MTCP015	MTCP014	MTCP013	MTCP012	MTCP011	MTCP010	MTCP09	MTCP08
Read/Write	R							
リセット後	0							
機能	タイマキャプチャ値 15-8 ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	MTCP07	MTCP06	MTCP05	MTCP04	MTCP03	MTCP02	MTCP01	MTCP00
Read/Write	R							
リセット後	0							
機能	タイマキャプチャ値 7-0 ビットデータ							

<MTCP0[15-0]> : キャプチャ値を読み出す事ができます。

TBnCP1 (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit Symbol	MTCP115	MTCP114	MTCP113	MTCP112	MTCP111	MTCP110	MTCP19	MTCP18
Read/Write	R							
リセット後	0							
機能	タイマキャプチャ値 15-8 ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	MTCP17	MTCP16	MTCP15	MTCP14	MTCP13	MTCP12	MTCP11	MTCP10
Read/Write	R							
リセット後	0							
機能	タイマキャプチャ値 7-0 ビットデータ							

<MTCP1[15-0]> : キャプチャ値を読み出す事ができます。

10.4.1.12 IGBT コントロールレジスタ <IGBT モード>

MTnIGCR (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	"0" is read							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	"0" is read							
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	IGDIS	IGPRD1	IGPRD0
Read/Write	R	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます					コマンド スタート 割り込み 制御 0: 許可 1: 禁止	割り込み周期選択 00: 1周期毎 01: 2周期毎 10: 4周期毎 11: Reserved	
	7	6	5	4	3	2	1	0
bit Symbol	-	IGSNGL	IGSTP1	IGSTP0	IGSTA1	IGSTA0	IGCLK1	IGCLK0
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	IGBT 動作 選択 0: 連続 1: 単発	停止時の状態選択 00: 出力初期状態で カウント即時停止 およびクリア 01: 出力保持状態で カウント即時停止 およびクリア 10: 周期時間経過後カ ウント停止および クリア 11: Reserved		スタートモード選択 00: コマンドスタート およびトリガキャ プチャ 01: コマンドスタート およびトリガスタ ート 10: トリガスタート 11: Reserved		IGBT ソースクロック 00: φT0 01: φT1 10: φT2 11: φT4	

- <IGIDIS>: コマンドスタート時の割り込み制御
“0”:許可
“1”:禁止
- <IGPRD1:0>: 割り込み周期選択
“00”:1周期毎
“01”:2周期毎
“10”:4周期毎
“11”:Reserved
- <IGSNGL>: 動作選択
“0”:連続動作
“1”:単発動作
- <IGSTP1:0>: 停止時の状態選択
“00”:出力初期状態でカウント即時停止およびクリア
“01”:出力保持でカウント即時停止およびクリア
“10”:周期時間経過後カウント停止およびクリア
“11”:Reserved
- <IGSTA1:0>: スタートモード選択
“00”:コマンドスタートおよびトリガキャプチャ
“01”:コマンドスタートおよびトリガスタート
“10”:トリガスタート
“11”:Reserved
- <IGCLK1:0>: ソースクロック選択
“00”:φT0を選択します (1/1φT0)
“01”:φT1を選択します (1/2φT0)
“10”:φT2を選択します (1/4φT0)
“11”:φT4を選択します (1/8φT0)

(注)MTnIGCR はタイマ動作中 (MTnRUN<MTRUN>="1") に設定変更を行ってはいけません。

10.4.1.13 IGBT タイマ リスタートレジスタ <IGBT モード>

MTnIGRESTA (n=0~2)

	31	30	29	28	27	26	25	24	
bit Symbol	-	-	-	-	-	-	-	-	
Read/Write	R	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	0	
リードすると“0”が読めます									
	23	22	21	20	19	18	17	16	
bit Symbol	-	-	-	-	-	-	-	-	
Read/Write	R	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	0	
リードすると“0”が読めます									
	15	14	13	12	11	10	9	8	
bit Symbol	-	-	-	-	-	-	-	-	
Read/Write	R	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	0	
リードすると“0”が読めます									
	7	6	5	4	3	2	1	0	
bit Symbol	-	-	-	-	-	-	-	IGRESTA	
Read/Write	R	R	R	R	R	R	R	W	
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると“0”が読めます							カウントリスタート制御	
								0: Don't care 1: リスタート (リードすると“0”が読めます)	

<IGRESTA>: カウントリスタート制御
 “0”: don't care
 “1”: リスタート(クリア&スタート)

10.4.1.14 IGBT タイマ ステータスレジスタ <IGBT モード>

MTnIGST (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
リードすると“0”が読めます								
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
リードすると“0”が読めます								
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
リードすると“0”が読めます								
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	IGST
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							カウンタ 動作状態 0: 停止 1: 動作

<IGST>: カウンタ動作状態
 “0”: 停止
 “1”: 動作

10.4.1.15 IGBT入力コントロールレジスタ <IGBT モード>

MTnIGICR (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	IGTRGM	IGTRGSEL	-	-	IGNCSEL3	IGNCSEL2	IGNCSEL1	IGNCSEL0
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	トリガエッジ受け付けモード 0: 常時受け付け 1: アクティブ中禁止	スタートトリガ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ	リードすると“0”が読めます		トリガ入力ノイズ除去時間選択 0000: フィルタを bypass しません 0001: ノイズ除去時間 16 / fsys[s] : 1111: ノイズ除去時間 240 / fsys[s]			

<IGTRGM>: トリガスタートエッジ受け付けモード
“0”: 常時受け付け
“1”: アクティブレベル出力中受け付け禁止

<IGTRGSEL>: トリガスタートエッジ/アクティブレベル選択
“0”: 立ち上がりエッジスタート/”High”レベルアクティブ
“1”: 立ち下がりエッジスタート/”Low”レベルアクティブ

<IGNCSEL3:0>: トリガ入力ノイズ除去時間選択。
ノイズ除去時間は次の計算式で表されます。
$$\text{IGNCSEL}[3:0] \times 16 / \text{fsys}$$

0000: ノイズフィルタを経由しません。
0001: ノイズ除去時間 16 / fsys[s]
0010: ノイズ除去時間 32 / fsys[s]
0011: ノイズ除去時間 48 / fsys[s]
0100: ノイズ除去時間 64 / fsys[s]
0101: ノイズ除去時間 80 / fsys[s]
0110: ノイズ除去時間 96 / fsys[s]
0111: ノイズ除去時間 112 / fsys[s]
1000: ノイズ除去時間 128 / fsys[s]
1001: ノイズ除去時間 144 / fsys[s]
1010: ノイズ除去時間 160 / fsys[s]
1011: ノイズ除去時間 176 / fsys[s]
1100: ノイズ除去時間 192 / fsys[s]
1101: ノイズ除去時間 208 / fsys[s]
1110: ノイズ除去時間 224 / fsys[s]
1111: ノイズ除去時間 240 / fsys[s]

(注) MTnIGCR はタイマ動作中 (MTnRUN<MTRUN>="1") に設定変更を行ってはいけません。

10.4.1.16 IGBT出力コントロールレジスタ <IGBTモード>

MTnIGOCR (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	-	-	IGPOL1	IGPOL0	-	-	IGOEN1	IGOEN0
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます		MTOUT1n の初期状態 0: Low 1: High	MTOUT0n の初期状態 0: Low 1: High	リードすると“0”が読めます		MTOUT1n の出力制御 0: 禁止 1: 許可	MTOUT0n の出力制御 0: 禁止 1: 許可

<IGPOL1>: MTOUT1n の初期状態設定

“0”: Low

“1”: High

<IGPOL0>: MTOUT0n の初期状態設定

“0”: Low

“1”: High

<IGOEN1>: MTOUT1n の出力制御

“0”: 禁止

“1”: 許可

<IGOEN0>: MTOUT0n の出力制御

“0”: 禁止

“1”: 許可

10.4.1.17 IGBTタイマレジスタ 2,3,4 <IGBT モード>

MTnIGRG2 (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	IGRG215	IGRG214	IGRG213	IGRG212	IGRG211	IGRG210	IGRG29	IGRG28
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値: 15-8 ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	IGRG27	IGRG26	IGRG25	IGRG24	IGRG23	IGRG22	IGRG21	IGRG20
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値: 7-0 ビットデータ							

<IGRG2 15:0>: タイマカウント値
 アップカウンタと IGRG2[15:0]が一致すると、MTOUT1n をアクティブレベルに変化させます。

- 注1) 設定値は次の関係となるように設定してください。
MTnIGRG2 < MTnIGRG3 < MTnIGRG4
- 注2) 本レジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でアクセスしてください。

MTIGnRG3 (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	IGRG315	IGRG314	IGRG313	IGRG312	IGRG311	IGRG310	IGRG39	IGRG38
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値: 15-8 ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	IGRG37	IGRG36	IGRG35	IGRG34	IGRG33	IGRG32	IGRG31	IGRG30
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値: 7-0 ビットデータ							

<IGRG3 15:0>: タイマカウント値
 アップカウンタと IGRG3[15:0]が一致すると、MTOUT1n をインアクティブレベルに変化させます。

- 注1) 設定値は次の関係となるように設定してください。
MTnIGRG2 < MTnIGRG3 < MTnIGRG4
- 注2) 本レジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でアクセスしてください。

MTnIGRG4 (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	IGRG415	IGRG414	IGRG413	IGRG412	IGRG411	IGRG410	IGRG49	IGRG48
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値: 15-8 ビットデータ							
	7	6	5	4	3	2	1	0
bit Symbol	IGRG47	IGRG46	IGRG45	IGRG44	IGRG43	IGRG42	IGRG41	IGRG40
Read/Write	R/W							
リセット後	0							
機能	タイマカウント値: 7-0 ビットデータ							

〈IGRG4 15:0〉: タイマカウント値
IGBT モードの周期を設定する。

- 注1) 設定値は次の関係となるように設定してください。
MTnIGRG2 < MTnIGRG3 < MTnIGRG4
- 注2) 本レジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でアクセスしてください。

10.4.1.18 IGBT EMG コントロールレジスタ <IGBT モード>

MTnIGEMGCR (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	IGEMGCNT3	IGEMGCNT2	IGEMGCNT1	IGEMGCNT0		IGEMGRS	IGEMGOC	IGEMGEN
Read/Write	R/W	R/W	R/W	R/W	R	W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	GEMG 端子入力ノイズ除去時間選択 0000: ノイズフィルタを経由しません 0001: 入力ノイズ除去時間 16 / fsys[s] : 1111: 入力ノイズ除去時間 240 / fsys[s]				リードすると“0”が読めます	EMG 保護状態からの復帰 0: Don't care 1: 復帰 (リードすると“0”が読めます)	EMG 保護時の MTOUT0n / MTOUT1n 極性設定 0: インアクティブレベル 1: Hi-z	EMG 保護回路の動作 0: 禁止 1: 許可

<IGEMGCNT3:0>: GEMG 端子入力ノイズ除去時間選択。
ノイズ除去時間は以下の計算式であらわされます。
 $IGEMGCNT[3:0] \times 16 / fsys$

- 0000: ノイズフィルタを経由しません
- 0001: 入力ノイズ除去時間 16 / fsys[s]
- 0010: 入力ノイズ除去時間 32 / fsys[s]
- 0011: 入力ノイズ除去時間 48 / fsys[s]
- 0100: 入力ノイズ除去時間 64 / fsys[s]
- 0101: 入力ノイズ除去時間 80 / fsys[s]
- 0110: 入力ノイズ除去時間 96 / fsys[s]
- 0111: 入力ノイズ除去時間 112 / fsys[s]
- 1000: 入力ノイズ除去時間 128 / fsys[s]
- 1001: 入力ノイズ除去時間 144 / fsys[s]
- 1010: 入力ノイズ除去時間 160 / fsys[s]
- 1011: 入力ノイズ除去時間 176 / fsys[s]
- 1100: 入力ノイズ除去時間 192 / fsys[s]
- 1101: 入力ノイズ除去時間 208 / fsys[s]
- 1110: 入力ノイズ除去時間 224 / fsys[s]
- 1111: 入力ノイズ除去時間 240 / fsys[s]

- <IGEMGRS>: EMG 保護状態からの復帰 (GEMG 端子入力)
“0”: don't care
“1”: 復帰 (自動的に“0”にクリアされます)
- <IGEMGOC>: EMG 保護/ホールドモード時の出力状態設定 (GEMG 端子入力)
“0”: インアクティブレベル出力
“1”: Hi-z
- <IGEMGEN>: EMG/ホールドモード保護回路の動作 (GEMG 端子入力)
“0”: 禁止
“1”: 許可

10.4.1.19 IGBT EMG ステータスレジスタ <IGBT モード>

MTnIGEMGST (n=0~2)

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	IGEMGIN	IGEMGST
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます						ノイズ除去後の EMG 状態	EMG 保護 状態
							0: Low 1: High	0: 通常動作中 1: 保護中

<IGEMGIN>: ノイズ除去後の EMG 入力状態 (GEMG 端子入力)

“0”: Low

“1”: High

<IGEMGST>: EMG 保護状態 (GEMG 端子入力)

“0”: 通常動作中

“1”: 保護中

リードすることにより、EMG 保護の状態を知ることができます。

10.4.1.20 PMD コントロールレジスタ<PMDモード>

PMD コントロールレジスタ <PMD モード>に關しましては『PMD』を参照してください。

10.5 タイマモードの動作説明

各チャンネルは表 10-1に示される仕様相違点を除いて同一の動作をしますので、チャンネル0 を例に説明します。

10.5.1 構成

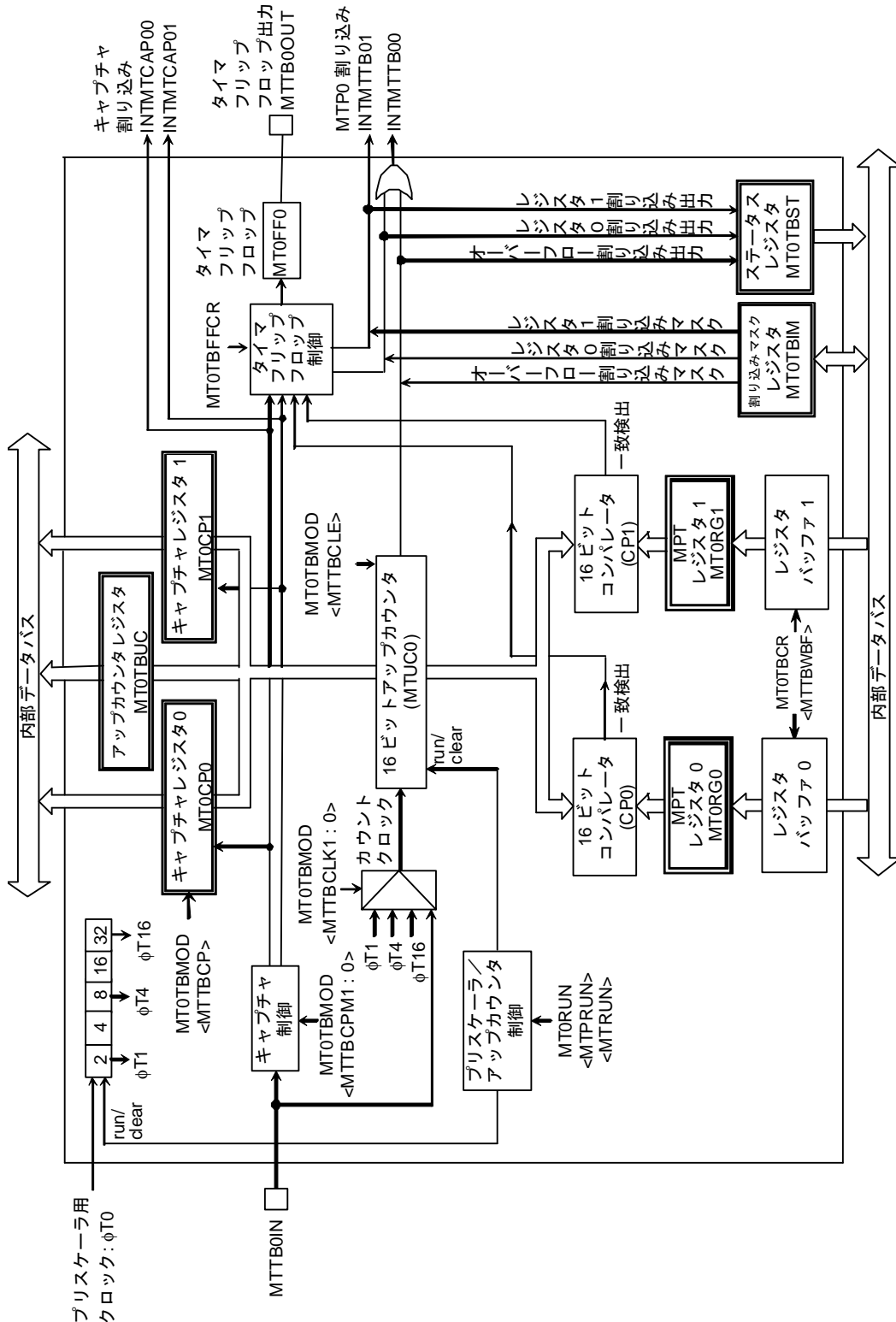


図 10-2 タイマモードブロック図

10.5.2 プリスケーラ

アップカウンタ MTUC0 のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック $\phi T0$ は CGSYSCR<PRCK2:0> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG SYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは MT0RUN<MTPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し“0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 10-5 に示します。

表 10-5 プリスケアラ出カクロック分解能 (fc=40MHz)

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケアラ クロック選択 <PRCK2:0>	プリスケアラ出カクロック分解能		
			φT1	φT4	φT16
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1(0.05\mu s)$	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	100 (fc/2)	000 (fperiph/1)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		001 (fperiph/2)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		010 (fperiph/4)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		011 (fperiph/8)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		100 (fperiph/16)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
		101 (fperiph/32)	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$
	101 (fc/4)	000 (fperiph/1)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		001 (fperiph/2)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		010 (fperiph/4)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		011 (fperiph/8)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
		100 (fperiph/16)	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$
		101 (fperiph/32)	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$	$fc/2^{12}(102.4\mu s)$
	110 (fc/8)	000 (fperiph/1)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		001 (fperiph/2)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		010 (fperiph/4)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
		011 (fperiph/8)	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$
		100 (fperiph/16)	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$	$fc/2^{12}(102.4\mu s)$
		101 (fperiph/32)	$fc/2^9(12.8\mu s)$	$fc/2^{11}(51.2\mu s)$	$fc/2^{13}(204.8\mu s)$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1(0.05\mu s)$	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	100 (fc/2)	000 (fperiph/1)	—	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	$fc/2^2(0.1\mu s)$	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	101 (fc/4)	000 (fperiph/1)	—	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	—	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	$fc/2^3(0.2\mu s)$	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$
	110 (fc/8)	000 (fperiph/1)	—	—	$fc/2^5(0.8\mu s)$
		001 (fperiph/2)	—	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$
		010 (fperiph/4)	—	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$
		011 (fperiph/8)	$fc/2^4(0.4\mu s)$	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$
		100 (fperiph/16)	$fc/2^5(0.8\mu s)$	$fc/2^7(3.2\mu s)$	$fc/2^9(12.8\mu s)$
		101 (fperiph/32)	$fc/2^6(1.6\mu s)$	$fc/2^8(6.4\mu s)$	$fc/2^{10}(25.6\mu s)$

- (注1) プリスケーラ出力クロック T_n は、かならず $T_n < f_{sys}$ を満足するように (T_n が f_{sys} よりも遅くなるように) 選択してください。
- (注2) タイマ動作中はクロックギアの切り替えは行わないでください。
- (注3) 表中 “—” は設定禁止です。

10.5.3 アップカウンタ(MTUC0)

16ビットのバイナリカウンタです。

- ソースクロック

ソースクロックは MTOTBMOD<MTTBCLK1:0>で設定することができます。

プリスケアラ出力クロック T1、 T4、 T16、または、MTTB0IN 端子の外部クロックのいずれかを選択できます。

- カウンタ動作の開始と停止

カウンタ動作は MTORUN<MTRUN>で行います。<MTRUN> = “1” でカウントを開始し、“0” でカウント停止と同時にカウンタのクリアを行います。

アップカウンタ MTUC0 と、タイマレジスタ MTORG0、MTORG1 への設定値とを比較し、一致を検出すると、INTMTTB00、INTMTTB10 を発生します。

- カウンタクリアのタイミング

- コンペア一致時

MTOTBMOD<MTTBACLE> = “1” に設定することで、MTORG1 とのコンペア一致とともにカウンタのクリアをすることができます。

MTOTBMOD<MTTBACLE> = “0” に設定するとカウンタはフリーランニングカウンタとして動作します。

- ②カウンタ停止時

MTORUN<MTRUN> = “0” に設定すると、カウンタが停止するとともにクリアされます。

- カウンタのオーバーフロー

MTUC0 がオーバーフローすると、オーバーフロー割り込み INTMTTB00 が発生します。

10.5.4 タイマレジスタ (MTORG0、MTORG1)

アップカウンタ MTUC0 と比較する値を設定するレジスタです。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。

- 構成

タイマレジスタのうち、MTORG0/1 はダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファのイネーブル/ディセーブルを制御は MTOTBCR<MTTBWBF> によって行います。<MTTBWBF> = “0” のときディセーブル、<MTTBWBF> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、MTUC0 と MTORG1 との一致時にレジスタバッファ 0 からタイマレジスタ MTORG0/1 へデータ転送が行われます。

- 初期状態

リセット動作により、MTORG0、MTORG1 は不定で、ダブルバッファはディセーブルになっています。

- 設定方法

①ダブルバッファを使用しない場合

タイマレジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でアクセスしてください。

②ダブルバッファを使用する場合

MTORG0/1 とレジスタバッファ 0/1 は、それぞれ同じアドレスに割り付けられています。

<MTTBWBF> = “0” のときは、MTORG0/1 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<MTTBWBF> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておき、タイマレジスタにデータを書き込んだ後、<MTTBWBF> = “1” に設定し、レジスタバッファへ次のデータを書き込んでください。

10.5.5 キャプチャ制御

アップカウンタ MTUC0 の値をキャプチャレジスタ MT0CP0、MT0CP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、MT0TBMOD<MTTB0CPM1:0>で設定します。

また、ソフトウェアによってもアップカウンタ MTUC0 の値をキャプチャレジスタへ取り込むことができ、MT0TBMOD<MTTB0CP> に “0” を書き込むたびに、その時点の MTUC0 の値をキャプチャレジスタ MT0CP0 へキャプチャします。なお、プリスケアラは、RUN 状態 (MTORUN<MTPRUN> = “1”) にしておく必要があります。

10.5.6 キャプチャレジスタ(MT0CAP0,MT0CAP1)

アップカウンタ MTUC0 の値をキャプチャするレジスタです。

10.5.7 アップカウンタキャプチャレジスタ(MT0TBUC)

キャプチャ制御回路によるキャプチャ機能の他に、MT0TBUC レジスタを読み出すことにより、アップカウンタ (MTUC0) の現在のカウント値をキャプチャすることができます。

10.5.8 コンパレータ (CP0,CP1)

アップカウンタ (MTUC0) と、タイマレジスタ MTORG0、MTORG1 への設定値と比較し、一致を検出します。一致すると INTMTTB00、INTMTTB01 を発生します。

10.5.9 タイマフリップフロップ (MT0FF0)

タイマフリップフロップ (MT0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、MT0TBFFCR<MTTB0C1T1,MTTB0C0T1,MTTB0E1T1,MTTB0E0T1>によって設定できます。

リセット後、MT0FF0 の値は不定となります。MT0TBFFCR<MTTB0FFOC1:0>に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることが可能です。

MT0FF0 の値は、タイマ出力端子 MTTB00OUT 端子へ出力することができます。タイマ出力を行う場合、あらかじめポート関連レジスタ PxCR、PxFRn により、設定を行う必要があります。

10.5.10 キャプチャ割り込み(INTMTCAP00,INTMTCAP01)

キャプチャレジスタ MTOCP0、MTOCP1 にラッチするタイミングで割り込み INTMTCAP00、INTMTCAP01 をそれぞれ発生します。割り込みの設定は CPU で行います。

10.6 IGBTモードの動作説明

各チャンネルは表 10-1 に示される仕様相違点を除いて同一の動作をしますので、チャンネル 0 を例に説明します。

10.6.1 構成

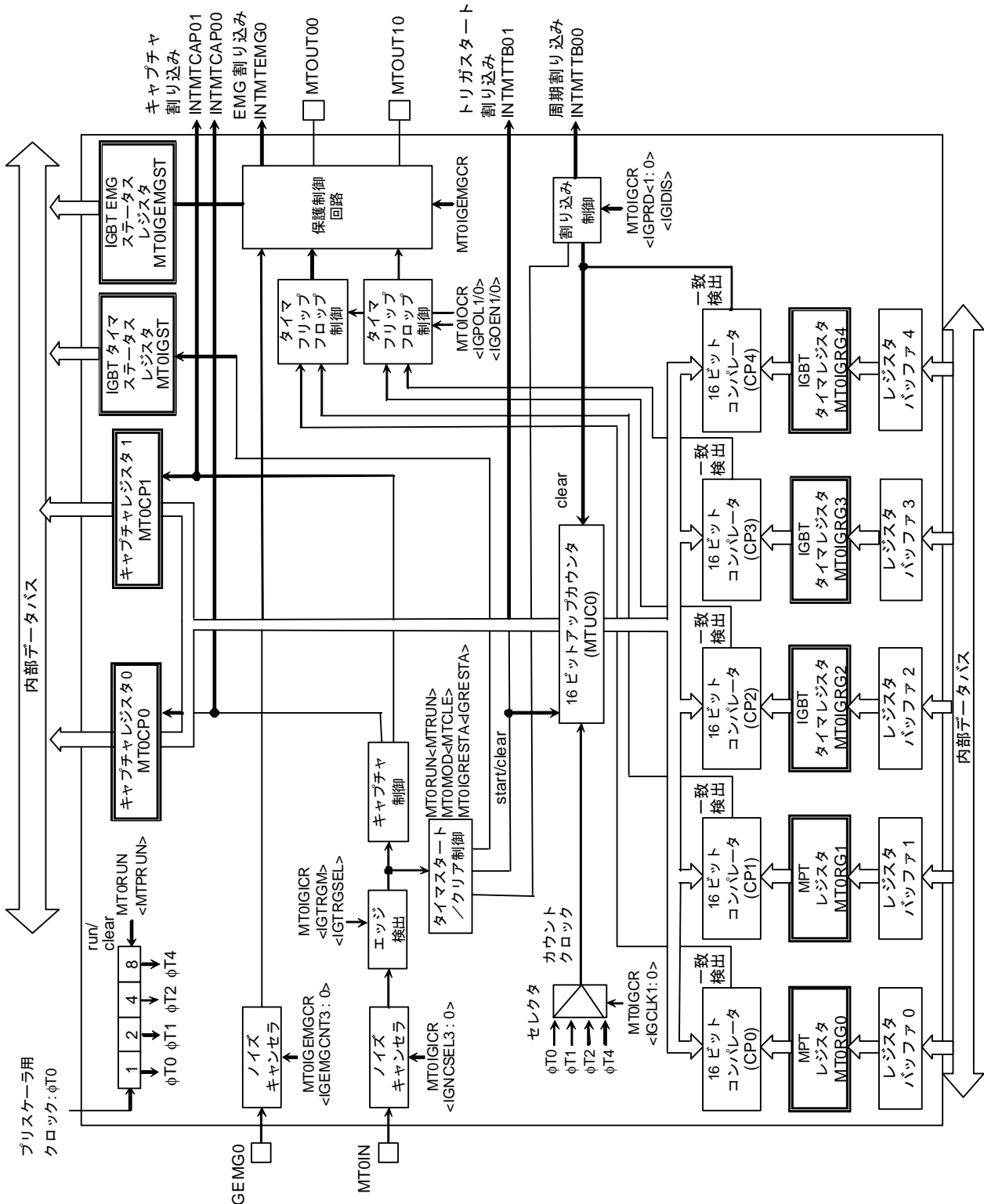


図 10-3 IGBT モードブロック図

10.6.2 プリスケーラ

アップカウンタ MTUC0 のソースクロックを生成する 4 ビットのプリスケーラです。

プリスケーラへの入力クロック $\phi T0$ は CGSYSCR<PRCK2:0> にて選択した fperiph/1, fperiph/2, fperiph/4, fperiph/8, fperiph/16, fperiph/32 のいずれかのクロックです。このペリフェラルクロック fperiph は CG SYSCR<FPSEL>で選択したクロック fgear またはクロックギア分周前のクロック fc のいずれかのクロックです。

プリスケーラは MT0RUN<MTPRUN> により動作/停止の設定をします。“1” をライトするとカウント開始し “0” をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を、表 10-6 に示します。

表 10-6 プリスケーラ出カクロック分解能 (fc=40MHz)

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケーラ クロック選択 <PRCK2:0>	プリスケーラ出カクロック分解能			
			$\phi T0$	$\phi T1$	$\phi T2$	$\phi T4$
0 (fgear)	000 (fc)	000 (fper iph/1)	fc(0.025 μ s)	fc/2 ¹ (0.05 μ s)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)
		001 (fper iph/2)	fc/2 ¹ (0.05 μ s)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)
		010 (fper iph/4)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)
		011 (fper iph/8)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		100 (fper iph/16)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		101 (fper iph/32)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)
	100 (fc/2)	000 (fper iph/1)	fc/2 ¹ (0.05 μ s)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)
		001 (fper iph/2)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)
		010 (fper iph/4)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		011 (fper iph/8)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		100 (fper iph/16)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)
		101 (fper iph/32)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)	fc/2 ⁹ (12.8 μ s)
	101 (fc/4)	000 (fper iph/1)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)
		001 (fper iph/2)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		010 (fper iph/4)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		011 (fper iph/8)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)
		100 (fper iph/16)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)	fc/2 ⁹ (12.8 μ s)
		101 (fper iph/32)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)	fc/2 ⁹ (12.8 μ s)	fc/2 ¹⁰ (25.6 μ s)
	110 (fc/8)	000 (fper iph/1)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		001 (fper iph/2)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		010 (fper iph/4)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)
		011 (fper iph/8)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)	fc/2 ⁹ (12.8 μ s)
		100 (fper iph/16)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)	fc/2 ⁹ (12.8 μ s)	fc/2 ¹⁰ (25.6 μ s)
		101 (fper iph/32)	fc/2 ⁸ (6.4 μ s)	fc/2 ⁹ (12.8 μ s)	fc/2 ¹⁰ (25.6 μ s)	fc/2 ¹¹ (51.2 μ s)
1 (fc)	000 (fc)	000 (fper iph/1)	fc(0.025 μ s)	fc/2 ¹ (0.05 μ s)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)
		001 (fper iph/2)	fc/2 ¹ (0.05 μ s)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)
		010 (fper iph/4)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)
		011 (fper iph/8)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		100 (fper iph/16)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		101 (fper iph/32)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)
	100 (fc/2)	000 (fper iph/1)	—	fc/2 ¹ (0.05 μ s)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)
		001 (fper iph/2)	fc/2 ¹ (0.05 μ s)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)
		010 (fper iph/4)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)
		011 (fper iph/8)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		100 (fper iph/16)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		101 (fper iph/32)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)
	101 (fc/4)	000 (fper iph/1)	—	—	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)
		001 (fper iph/2)	—	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)
		010 (fper iph/4)	fc/2 ² (0.1 μ s)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)
		011 (fper iph/8)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		100 (fper iph/16)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		101 (fper iph/32)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)
	110 (fc/8)	000 (fper iph/1)	—	—	—	fc/2 ³ (0.2 μ s)
		001 (fper iph/2)	—	—	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)
		010 (fper iph/4)	—	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)
		011 (fper iph/8)	fc/2 ³ (0.2 μ s)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)
		100 (fper iph/16)	fc/2 ⁴ (0.4 μ s)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)
		101 (fper iph/32)	fc/2 ⁵ (0.8 μ s)	fc/2 ⁶ (1.6 μ s)	fc/2 ⁷ (3.2 μ s)	fc/2 ⁸ (6.4 μ s)

- (注1) プリスケーラ出力クロック T_n は、かならず T_n f_{sys} を満足するように (T_n が f_{sys} よりも遅くなるように) 選択してください。
- (注2) タイマ動作中はクロックギアの切り替えは行わないでください。
- (注3) 表中 “—” は設定禁止です。

10.6.3 アップカウンタ(MTUC0)

16 ビットのバイナリカウンタです。

- ソースクロック

ソースクロックは MTOIGCR<IGCLK1:0> で設定することができます。

プリスケアラ出カクロック T0、 T1、 T2、 T4、 のいずれかを選択できます。

- カウンタ動作の開始と停止

カウンタ動作は MTORUN<MTRUN> で行います。<MTRUN> = “ 1 ” でカウントを開始し、“ 0 ” でカウント停止と同時にカウンタのクリアを行います。

また MTOIGRESTA<IGRESTA> = “ 1 ” に設定することで、カウンタのクリアを行い 0 からカウントアップを始めます。

- カウンタクリアのタイミング

コンペア一致時

アップカウンタ (MTUC0) の値と MTOIGRG4 とのコンペア一致とともにカウンタのクリアをすることができます。

カウンタ停止時

MTORUN<MTRUN> = “ 0 ” に設定すると、カウンタが停止するとともにクリアされます。

カウンタリスタート時

MTOIGRESTA<IGRESTA> = “ 1 ” に設定すると、カウンタのクリアを行い 0 からカウントアップを始めます。

トリガスタートモード時

トリガスタートモード時、MTOIN の端子が設定されたクリア停止レベルであるときカウンタはクリア停止します。

- カウントアップ&クリア動作

ソースクロック T0 を選択した場合とそれ以外 (T1、 T2、 T4) を選択した場合の、カウント&クリア動作及び設定周期はそれぞれ以下ようになります。

ソースクロック T0 を選択時

ソースクロック T0 を選択した場合、一致カウントとクリアカウントでソースクロック 2 クロック分が必要となります。そのため設定周期は M+ 1 となります。

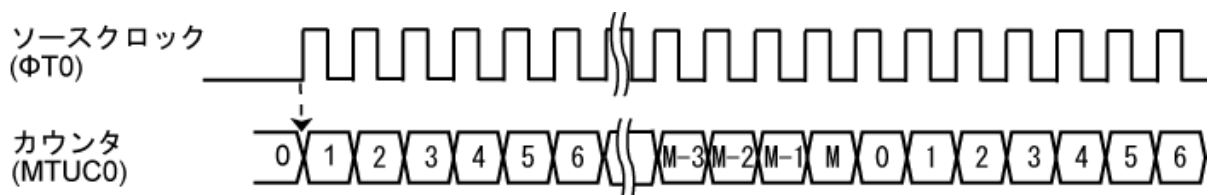


図 10-4 ソースクロック T0 を選択時のカウントアップ/クリア動作

ソースクロック T0 以外選択時

ソースクロック T1、T2、T4 を選択した場合、一致カウントとクリアカウントでソースクロック 1 クロック分が必要となります。そのため設定周期はMとなります。

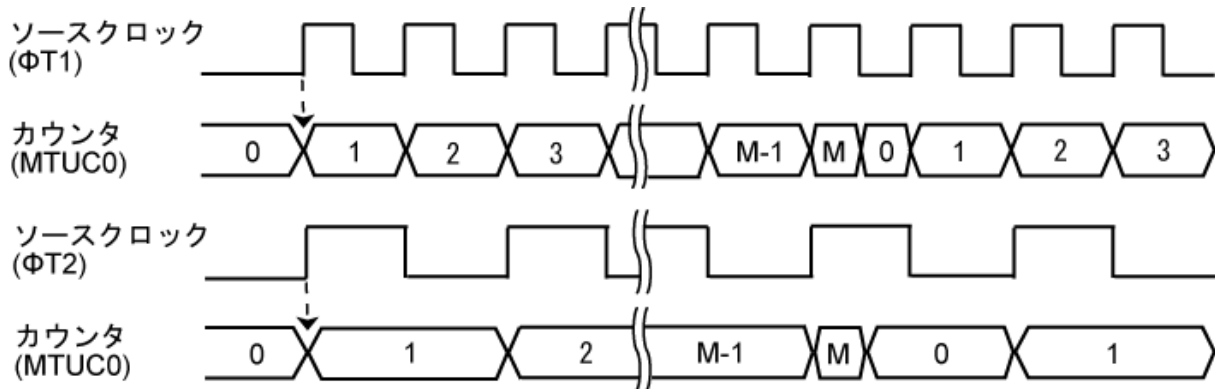


図 10-5 ソースクロック T1, T2 を選択時のカウントアップ/クリア動作

10.6.4 周期設定レジスタ (MT0IGRG4)

PPG 出力の周期を設定するレジスタです。ダブルバッファ構成になっており、データ更新タイミングは MT0IGRG4 とアップカウンタ MTUC0 が一致しカウンタがクリアされた次の周期になります。このときレジスタバッファ 4 からタイマレジスタ MT0IGRG4 へデータ転送がおこなわれます。

10.6.5 タイマレジスタ (MT0RG0、MT0RG1、MT0IGRG2、MT0IGRG3)

アップカウンタ MTUC0 と比較する値を設定するレジスタです。タイマレジスタに設定された値とアップカウンタの値をコンパレータで比較し、一致すると一致検出信号が出力されます。タイマレジスタ、MT0RG0/1、MT0IGRG2/3 はダブルバッファ構成になっており、レジスタバッファとペアになっています。MT0IGRG4 とアップカウンタ MTUC0 が一致しカウンタがクリアされたのと同時にデータ更新されます。このときレジスタバッファ 2/3 からタイマレジスタ MT0IGRG2/3 へデータ転送がおこなわれます。

IGBT モード時は、MT0RG0/1 は常にダブルバッファ構成になっています。

・タイマレジスタ (MT0RG0、MT0RG1、MT0IGRG2、MT0IGRG3)、周期レジスタ (MT0IGRG4) の WR/RD 動作

WR 時

タイマ停止時は、上記レジスタに直接書き込むことができます。タイマ動作中は各々のレジスタバッファに一度ラッチされ、MT0IGRG4 とアップカウンタ MTUC0 の一致でカウンタがクリアされたのと同時にデータ更新されます。

RD 時

現時点での 16bit コンパレータと比較対象となっているレジスタの値を読み出します。レジスタバッファの値を読みだすことはできません。

設定方法

タイマレジスタは 8bit 単位でのアクセスは禁止です。16bit 単位または 32bit 単位でア

クセスしてください。

10.6.6 キャプチャ制御

コマンドスタートおよびトリガキャプチャモードに設定すると MTOIN 端子の立ち上がりエッジと立ち下がりエッジでアップカウンタ値 (MTUC0) をそれぞれキャプチャレジスタ MTOCP0、MTOCP1 にキャプチャします。

10.6.7 キャプチャレジスタ (MTOCAP0, MTOCAP1)

アップカウンタ MTUC0 の値をキャプチャするレジスタです。

10.6.8 コンパレータ (CP0, CP1, CP2, CP3, CP4)

アップカウンタ (MTUC0) と、タイマレジスタ MTORG0、MTORG1、MTOIGRG2、MTOIGRG3、MTOIGRG4 への設定値と比較し、一致を検出します。

10.6.9 MTOOUT00, MTOOUT01 出力制御

アップカウンタとタイマレジスタの一致信号で MTOOUT00, MTOOUT01 出力を制御します。

出力端子の初期状態の設定は MT0IGOCR<IGPOL0,1>で行います。リセット後の初期状態は Low となっており、MT0IGOCR<IGPOL0,1>=0 で初期状態 Low、1 で初期状態 High から出力します。出力制御は MT0IGOCR<IGOEN0,1>で行います。リセット後は禁止状態であり、使用する場合に MT0IGOCR<IGOEN0,1>=1 に設定してください。

10.6.10 キャプチャ割り込み (INTMTCAP00, INTMTCAP01)

キャプチャレジスタ MTOCP0、MTOCP1 にラッチするタイミングで割り込み INTMTCAP00、INTMTCAP01 をそれぞれ発生します。割り込みの設定は CPU で行います。

10.6.11 トリガスタート割り込み(INTMTTB01)

コマンドスタート&トリガスタートモードもしくはトリガスタートモードのスタート方式を選択したとき、MTnIGCR<IGTRGSEL>で指定されたエッジが入力され、カウントがスタートした時にトリガ割り込みが発生します。なお、トリガキャプチャモード時のトリガエッジではINTMTTB01 割り込みは発生しません。また緊急出力停止中もスタートトリガで割り込みが発生します。

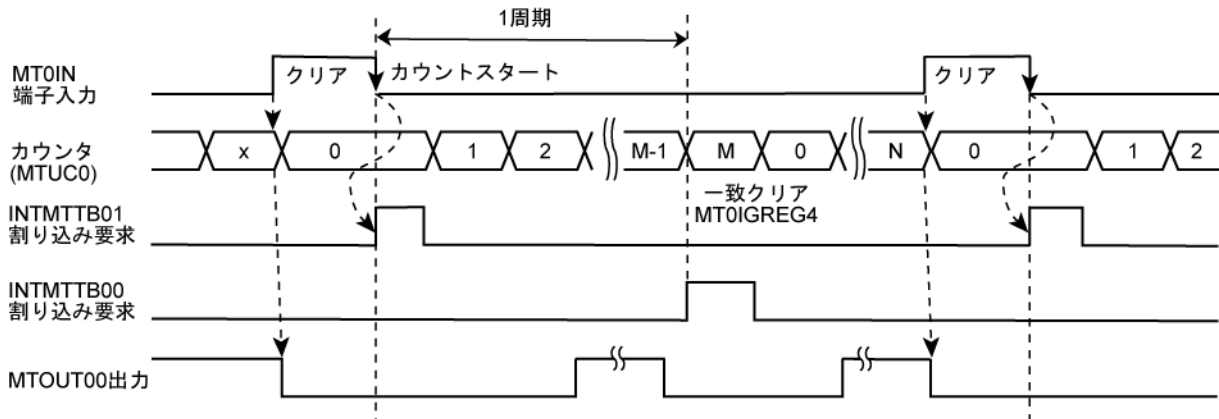


図 10-6 トリガスタート割り込み動作

10.6.12 周期割り込み(INTMTTB00)

コマンドスタート&トリガキャプチャモードもしくはコマンドスタート&トリガスタートモードのスタート方式を選択したとき、コマンドスタートでカウント開始時点、およびカウンタ周期設定値 (MTnIGREG4) までカウントが進み、カウンタが一致された時点 (周期設定値と一致し周期終了) で発生します。また、緊急出力停止中も周期との一致で割り込みが発生します。また割り込みの周期の選択は、MTnIGCR<IGPRD[1:0]>で1周期毎、2周期毎、4周期毎に設定できます。

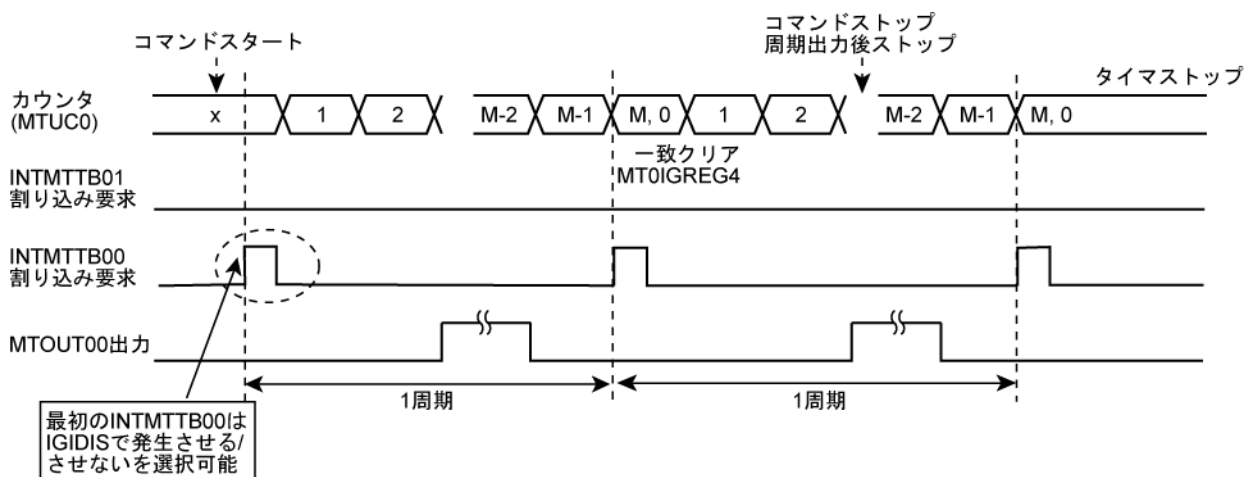


図 10-7 周期割り込み動作

コマンドスタートでカウント開始時点のに発生する割り込みについては、コマンドスタート割り込み制御レジスタ MTOIGCR<IGIDIS>にて許可/禁止をおこないます。

なお、コマンドスタート時 (MTORUN<MTRUN>に “1” を書き込み時) MTOIN 端子が停止レベルだった場合、カウントはスタートせず (INTMTTB00 も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTMTTB01 が発生します。

10.6.13 基本動作

MTOUT00 端子,MTOUT10 端子からそれぞれ PPG を出力します。
 タイマレジスタ (MTORG0/1, MT0IGRG2/3/4) で設定されたデータと 16 ビットアップカウンタとの比較により波形を制御します。

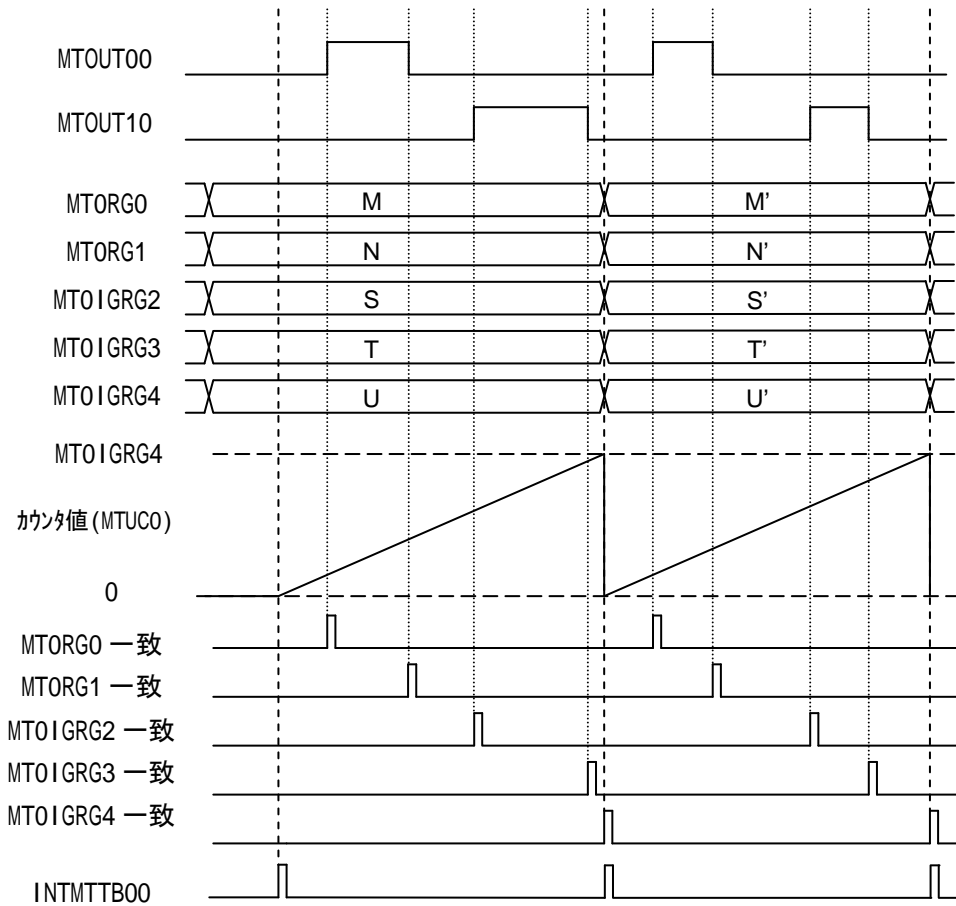


図 10-8 IGBT モード基本タイミング

10.6.14 スタート方式

IGBT モードでは、3つのスタートモードを選択できます。

10.6.14.1 コマンドスタート&トリガキャプチャモード

MT0RUN<MTRUN>に“1”を書き込むことによりカウントアップをスタートします。そしてカウンタが設定された周期に達するとカウンタはクリアされます。このとき MTOIGCR<IGSNGL>で連続モードが設定されていると再びカウントアップを始め、単発モードが設定されているとそこでカウントを停止します。

周期に達する前に MTOIGRESTA<IGRESTA>に“1”を書き込むとそこでカウンタはクリアされ、カウントアップを継続します。

また、MTOIN 端子への入力の立ち上がり、立ち下がり時のカウンタ値をキャプチャレジスタに格納することができます。

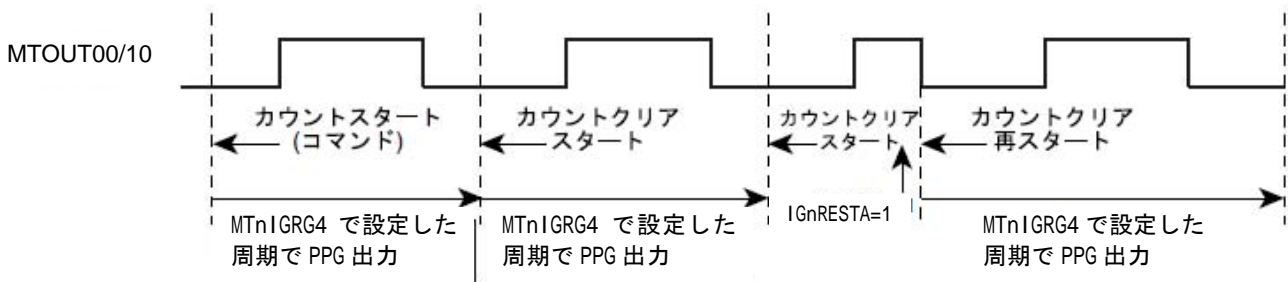


図 10-9 コマンドスタート時の連続モード

コマンドスタート&トリガキャプチャモードでカウントをスタートすると MTnIN 端子入力の立ち上がりエッジと立ち下がりエッジでのカウンタ値をそれぞれキャプチャレジスタ MTnCAP0、MTnCAP1 にキャプチャします。キャプチャ動作が行われた時にそれぞれ INTMTCAPn0、INTMTCAPn1 が発生します。

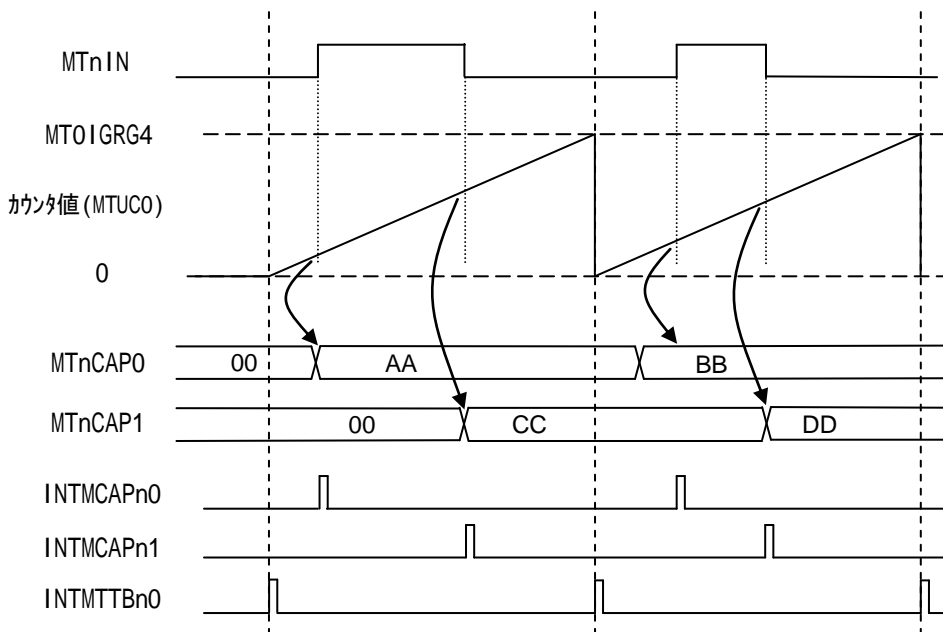


図 10-10 キャプチャ動作

10.6.14.2 コマンドスタート&トリガスタートモード

MT0RUN<MTRUN>に“1”を書き込むことでカウントアップをスタートします。そして MT0IN 端子入力にトリガ入力がない場合は前記コマンドスタート&キャプチャモードと同様な動きをしますが、MT0IN 端子に MT0IGICR<IGTRGSEL>で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。なお、コマンドスタート時 (MT0RUN<MTRUN>に“1”を書き込み時) MT0IN 端子が停止レベルだった場合、カウントはスタートせず (INTMTTB10 も発生しない)、トリガスタートエッジで初めてカウントがスタートし INTMTTB10 が発生します (コマンドスタートよりもトリガ入力のほうが優先されます)。

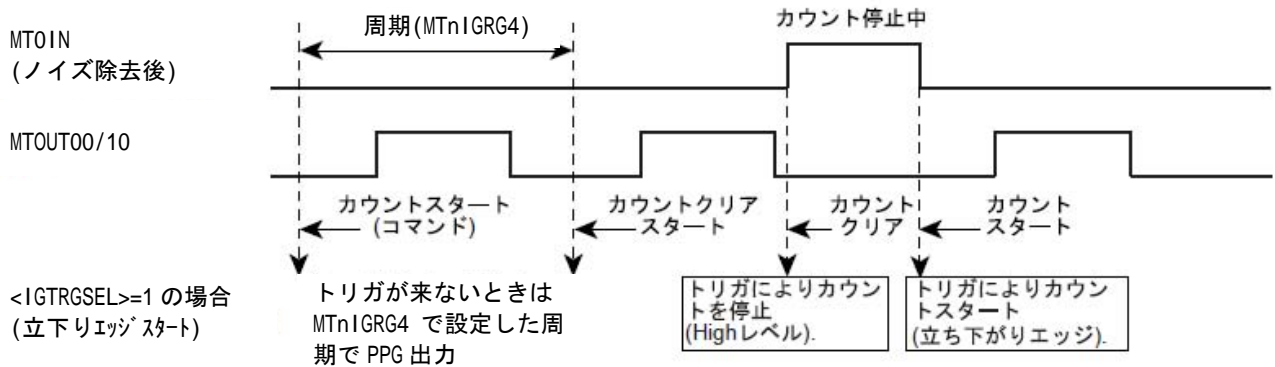


図 10-11 コマンドスタートとトリガスタート

10.6.14.3 トリガスタートモード

MT0IGICR<IGTRGSEL> で選択されたエッジ入力があるとタイマのカウントを開始し、設定されたクリア停止レベルが入力されている間、カウンタはクリア停止しています。

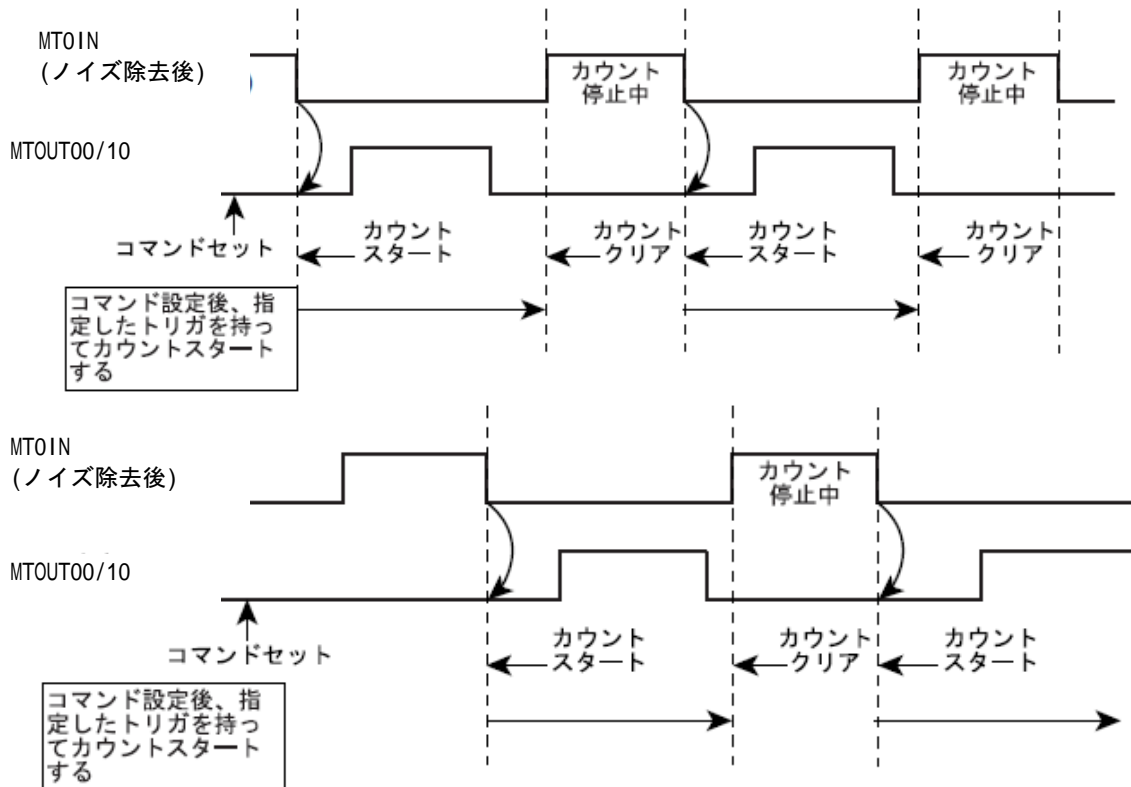


図 10-12 トリガスタート

10.6.15 単発／連続出力モード

IGBT 出力端子を連続で出力するか単発で出力するかを設定することができます。

10.6.15.1 連続出力モード

タイマスタート時 ($MT0RUN<MTRUN> = "1"$) に $MT0IGCR<IGSNGL> = "0"$ にすると連続出力モードになります。連続出力モードは連続して設定された波形を出力するモードです。

10.6.15.2 単発出力モード

タイマスタート時 ($MT0RUN<MTRUN> = "1"$) に $MT0IGCR<IGSNGL> = "1"$ にすると単発出力モードになります。単発出力モードは1周期を出力終了後にカウントを停止します。

トリガスタートの場合はトリガが入力されるまでカウントは停止し、指定されたトリガの入力でカウントがスタートし1周期の出力後にカウントを停止します。再度トリガスタートをかける場合は、 $MTnRUN<MTRUN> = "1"$ に設定してください。

10.6.16 停止方式

$MT0RUN$ を "0" にすると $MT0IGCR<IGSTP[1:0]>$ の設定に従って、出力状態の選択、タイマの停止を行います。

10.6.16.1 出力初期状態でカウント停止

$MT0IGCR<IGSTP[1:0]>$ が "00" の場合、カウントは即停止し、 $MTOUT00/10$ の出力は、 $MT0IGOCR<IGPOL[1:0]>$ で設定した初期値になります。

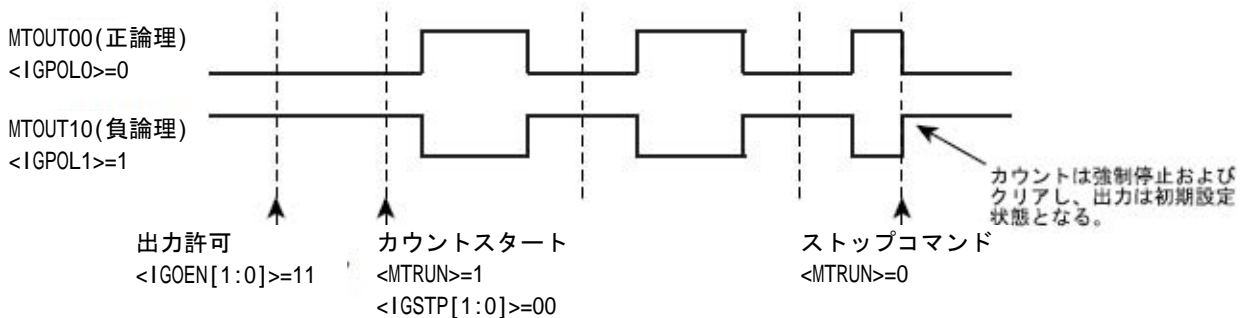


図 10-13 出力初期状態でカウント停止

10.6.16.2 出力保持状態でカウント停止

$<IGSTP[1:0]>$ が "01" の場合、カウントは即停止し、 $MTOUT00/10$ の出力はそのときの状態を保持します。

再スタートする場合は $MT0RUN<MTRUN> = "1"$ に設定し再スタートします。このとき出力は初期値 ($<IGPOL0>$ 、 $<IGPOL1>$ の設定値) になってから再スタートします。

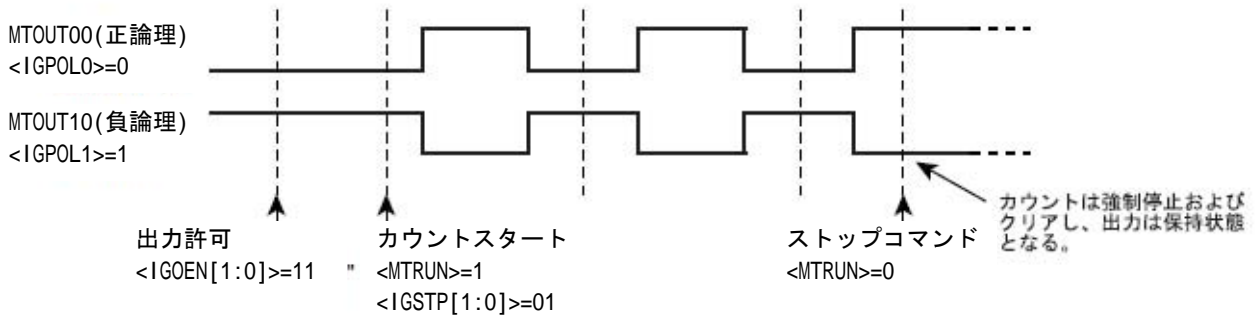


図 10-14 出力保持状態でカウント停止

10.6.16.3 周期終了後に初期状態でカウント停止

<IGSTP[1:0]>が“10”の場合、カウントは出力されている周期の出力が完了するまでカウント動作し、周期終了後カウンタは停止します。ただし、周期終了までの間にトリガ入力にストップレベルが入力されると、そこでカウンタは停止します。

タイマの再設定するときは、周期終了後にカウントが停止したことを確認してから、タイマの再設定をおこなってください。

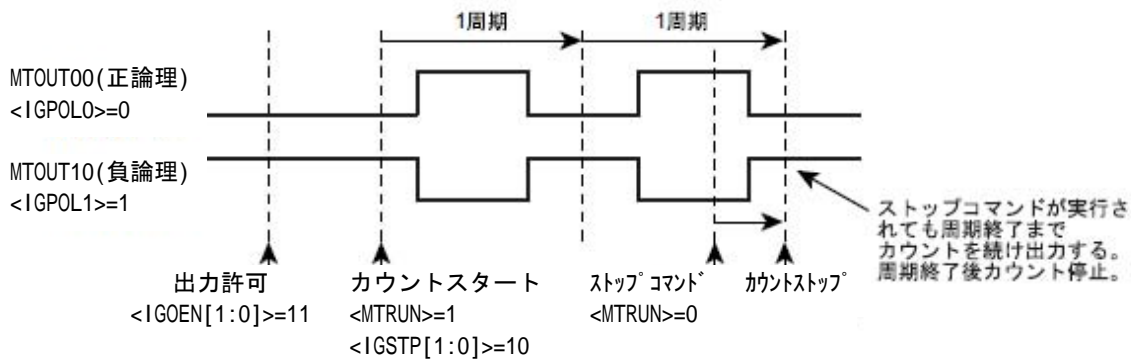


図 10-15 周期終了後に初期状態でカウント停止

10.6.17 トリガ入力

10.6.17.1 トリガ入力の論理

MT0IN 入力が有効になる条件を、 $MT0IGICR<IGTRGSEL>$ で選択します。

- $<IGTRGSEL>=0$: 立ち上がりエッジ検出でカウントスタート
“High”レベル中カウントアップ、“Low”レベル中カウント停止
- $<IGTRGSEL>=1$: 立ち下がりエッジ検出でカウントスタート
“Low”レベル中カウントアップ、“High”レベル中カウント停止

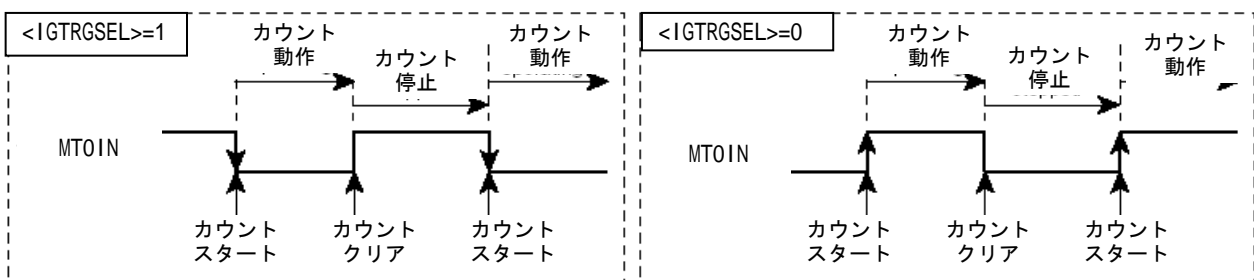


図 10-16 トリガ入力の論理

周期ストップモード中はトリガによるストップは受け付けますが、スタートは受け付けません(周期中にストップトリガを受け付けるとその時点で出力は初期値となりカウンタは停止します)。

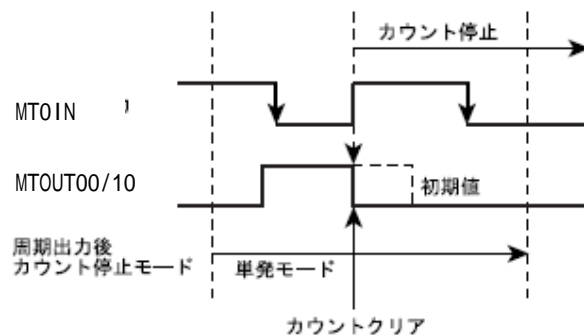


図 10-17 周期ストップモード中のトリガ受け付け

10.6.17.2 トリガ常時受け付け/アクティブ中受付禁止

PPG 出力中に常時 MT0IN 端子からのトリガを受け付けるか、PPG 出力がアクティブ中はトリガ受付を禁止するかを $MT0IGICR<IGTRGM>$ により選択できます。設定は、 $MT0IGOCR<IGOEN[1:0]>$ で出力許可に設定してある端子のみに有効です。

$<IGTRGM>=“0”$ の場合、MTOUT00/10のアクティブ/ノンアクティブの出力状態にかかわらず MT0IN 端子からのトリガ入力を常時受け付け、タイマのスタート/クリア停止を行うとともに、MTOUT00/10の出力がノンアクティブ状態となります。

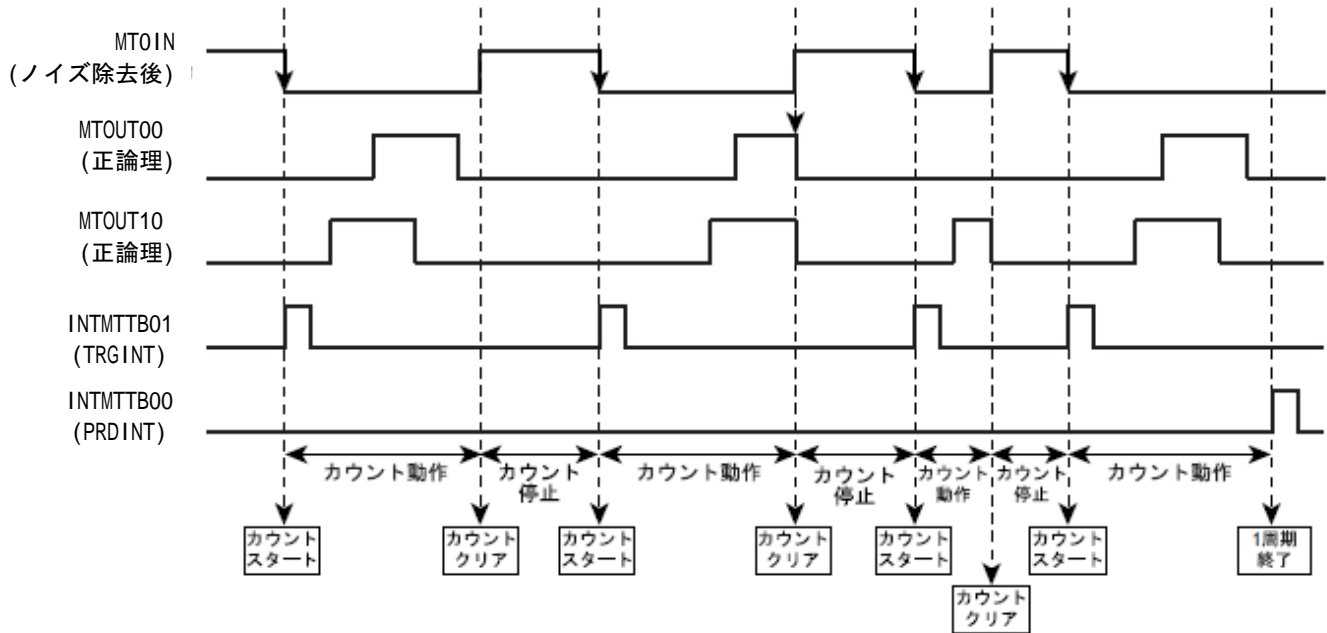


図 10-18 トリガ常時受け付け

<IGTRGM> = “1” の場合、MTOUT00/10 出力が非アクティブ状態の時に入力されたエッジは受け付けられ、カウントクリア、停止します。

MTOUT00/10 出力がアクティブ状態で入力された場合、カウントはすぐに停止せず、出力が非アクティブ状態になるまでカウント継続します。非アクティブ状態になったときにトリガ信号のレベルが動作しないレベルであればカウントクリア停止し、次のスタートトリガを待ちます。

MTOUT00/10 の両方出力許可で動作させる場合は両方の出力が非アクティブ状態でなければトリガは受け付けられません。

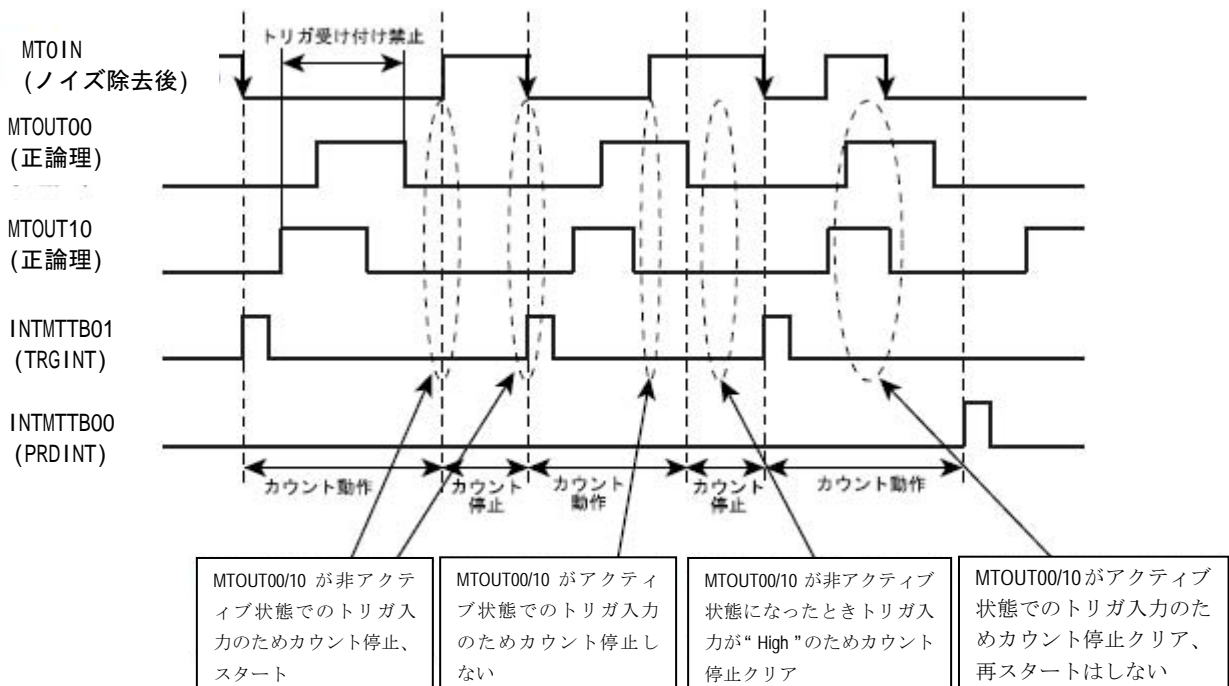


図 10-19 アクティブ中トリガ受付禁止

10.6.18 ノイズキャンセラ

外部入力端子である MTnIN、GEMGn へ入力される信号はデジタルノイズキャンセラによりノイズが除去されます。

デジタルノイズキャンセラはそれぞれ MTnIGICR<IGNCSEL3:0>、MTnIGEMGCR<IGEMGCNT3:0> の設定によりノイズ除去時間を選択できます。

10.6.19 緊急停止機能

10.6.19.1 動作説明

MTnIGEMGCR<IGEMGEN> = “1” にすることで、緊急停止機能が許可 (GEMGn 端子の入力の許可) されます。

GEMG 端子に Low レベル入力が検知されると、MTnIGEMGCR<IGEMGOC> の設定に従い、MTOUT0n/ MTOUT1n 波形を初期状態 (IGPOL0、IGPOL1 の設定) もしくは Hi-z にし、GEMGn 割り込みを発生します。

なおこの機能は MTOUT0n/ MTOUT1n 出力を禁止するだけでカウントは停止しませんので、EMG 割り込み処理ルーチン内でタイマ停止の処理を行ってください。

10.6.19.2 緊急停止モニタ

緊急出力停止状態になると MTnIGEMGST<IGEMGST> が “1” にセットされます。IGEMGST をロードしたとき “1” の場合は緊急出力停止中であることを示します。

10.6.19.3 GEMG割り込み

緊急出力停止入力が受け付けられると GEMG 割り込み (INTMTEMGn) を発生します。処理を割り込みによって行うときは事前に INTMTEMGn 割り込みを許可しておいてください。

また GEMG 端子の状態が “Low” の状態で緊急出力停止状態を解除しても再び割り込みが発生し緊急出力停止状態になります。

10.6.19.4 緊急出力停止状態の解除

緊急出力停止状態を解除するときは GEMGn 端子の入力が High の状態を確認し、MTnRUN<MTRUN> を “0” にし、タイマ動作が停止したことを確認 (MTnIGST<IGST> = 0) した後で、MTnIGEMGCR<IGEMGRS> = “1” を書き込むことにより、緊急停止状態が解除されます。

停止時の状態選択レジスタにて IGSTP[1:0] = “01” に設定している場合、MTnIGEMGCR<IGEMGRS> = “1” を書き込む前に、MTnIGOCR<IGPOL[1:0]> で初期状態設定を行ってください。

10.7 モータ制御回路（PMD : Programmable Motor Driver）

TMPM380 はモータ制御回路（PMD）を2チャンネル内蔵しています。
 本製品の PMD は1シャントセンサレスモータ制御を実現する為に通電出力制御や、DC 過電圧検出入力を追加し、ADC を連携させたモータ制御を可能としています。

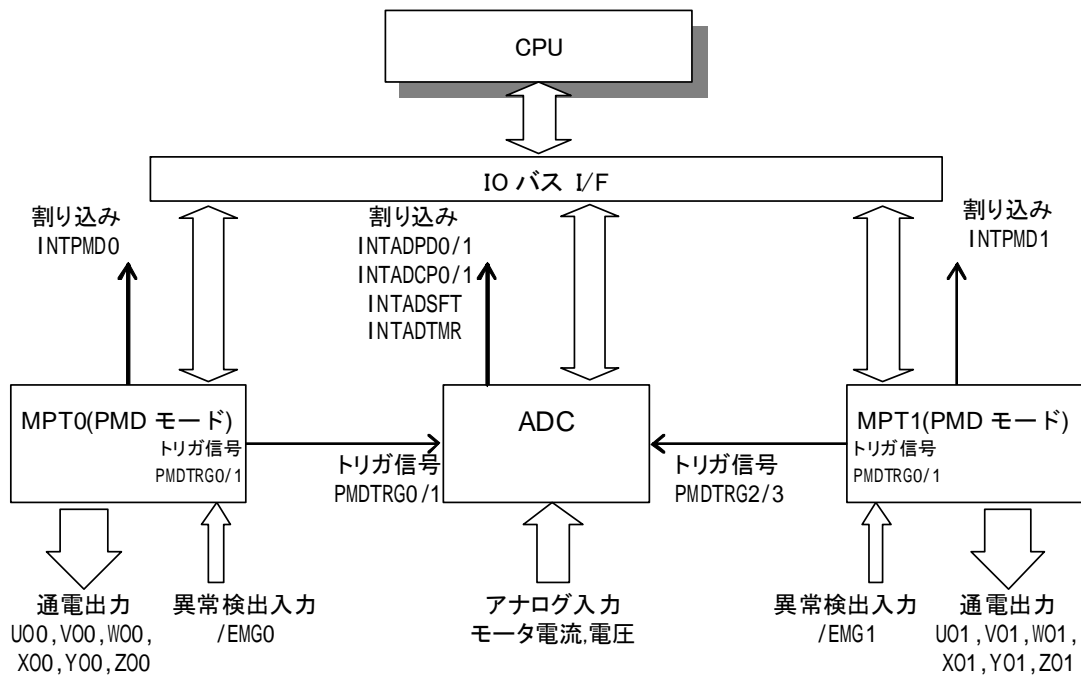


図 10-20 モータ制御関連ブロック図

10.7.1 PMD回路への入出力信号

モータ制御回路のチャンネル別の入力信号及び出力信号は以下の通りです。

表 10-7 入出力信号一覧

CH	端子名	PMD 信号名	機能
PMD0	PC6/EMG0	EMG0	EMG 状態信号
	PC0/UO0	UO 0	U 相出力
	PC1/XO0	XO 0	X 相出力
	PC2/VO0	VO 0	V 相出力
	PC3/YO0	YO 0	Y 相出力
	PC4/WO0	WO 0	W 相出力
	PC5/ZO0	ZO 0	Z 相出力
PMD1	PG6/EMG1	EMG1	EMG 状態信号
	PG0/UO1	UO 1	U 相出力
	PG1/XO1	XO 1	X 相出力
	PG2/VO1	VO 1	V 相出力
	PG3/YO1	YO 1	Y 相出力
	PG4/WO1	WO 1	W 相出力
	PG5/ZO1	ZO 1	Z 相出力

10.7.2 PMDレジスタ一覧

PMD のレジスタ一覧を以下に示します。(上段 : PMD0、下段 : PMD1)

表 10-8 PMD レジスタ一覧

アドレス	レジスタ略称	レジスタ名
0x4005 0400 0x4005 0480	MTPD0MDEN MTPD1MDEN	PMD イネーブルレジスタ
0x4005 0404 0x4005 0484	MTPD0PORTMD MTPD1PORTMD	ポート出力モードレジスタ
0x4005 0408 0x4005 0488	MTPD0MDCR MTPD1MDCR	PMD 制御レジスタ
0x4005 040C 0x4005 048C	MTPD0CNTSTA MTPD1CNTSTA	PWM カウンタステータスレジスタ
0x4005 0410 0x4005 0490	MTPD0MDCNT MTPD1MDCNT	PWM カウンタレジスタ
0x4005 0414 0x4005 0494	MTPD0MDPRD MTPD1MDPRD	PWM 周期レジスタ
0x4005 0418 0x4005 0498	MTPD0CMPU MTPD1CMPU	PMD コンペア U レジスタ
0x4005 041C 0x4005 049C	MTPD0CMPV MTPD1CMPV	PMD コンペア V レジスタ
0x4005 0420 0x4005 04A0	MTPD0CMPW MTPD1CMPW	PMD コンペア W レジスタ
0x4005 0424 0x4005 04A4	Reserved	-
0x4005 0428 0x4005 04A8	MTPD0MDOUT MTPD1MDOUT	PMD 出力制御レジスタ
0x4005 042C 0x4005 04AC	MTPD0MDPOT MTPD1MDPOT	PMD 出力設定レジスタ
0x4005 0430 0x4005 04B0	MTPD0EMGREL MTPD1EMGREL	EMG 解除レジスタ
0x4005 0434 0x4005 04B4	MTPD0EMGCR MTPD1EMGCR	EMG 制御レジスタ
0x4005 0438 0x4005 04B8	MTPD0EMGSTA MTPD1EMGSTA	EMG ステータスレジスタ
0x4005 043C 0x4005 04BC	Reserved	-
0x4005 0440 0x4005 04C0	Reserved	-
0x4005 0444 0x4005 04C4	MTPD0DTR MTPD1DTR	デッドタイムレジスタ
0x4005 0448 0x4005 04C8	MTPD0TRGCMP0 MTPD1TRGCMP0	トリガコンペア 0 レジスタ
0x4005 044C 0x4005 04CC	MTPD0TRGCMP1 MTPD1TRGCMP1	トリガコンペア 1 レジスタ
0x4005 0450 0x4005 04D0	Reserved	-
0x4005 0454 0x4005 04D4	Reserved	-
0x4005 0458 0x4005 04D8	MTPD0TRGCR MTPD1TRGCR	トリガ制御レジスタ
0x4005 045C 0x4005 04DC	MTPD0TRGMD MTPD1TRGMD	トリガ出力モード設定レジスタ
0x4005 0460 0x4005 04E0	Reserved	-
0x4005 047C 0x4005 04FC	Reserved	-

10.7.3 PMD 回路

10.7.3.1 PMDの構成

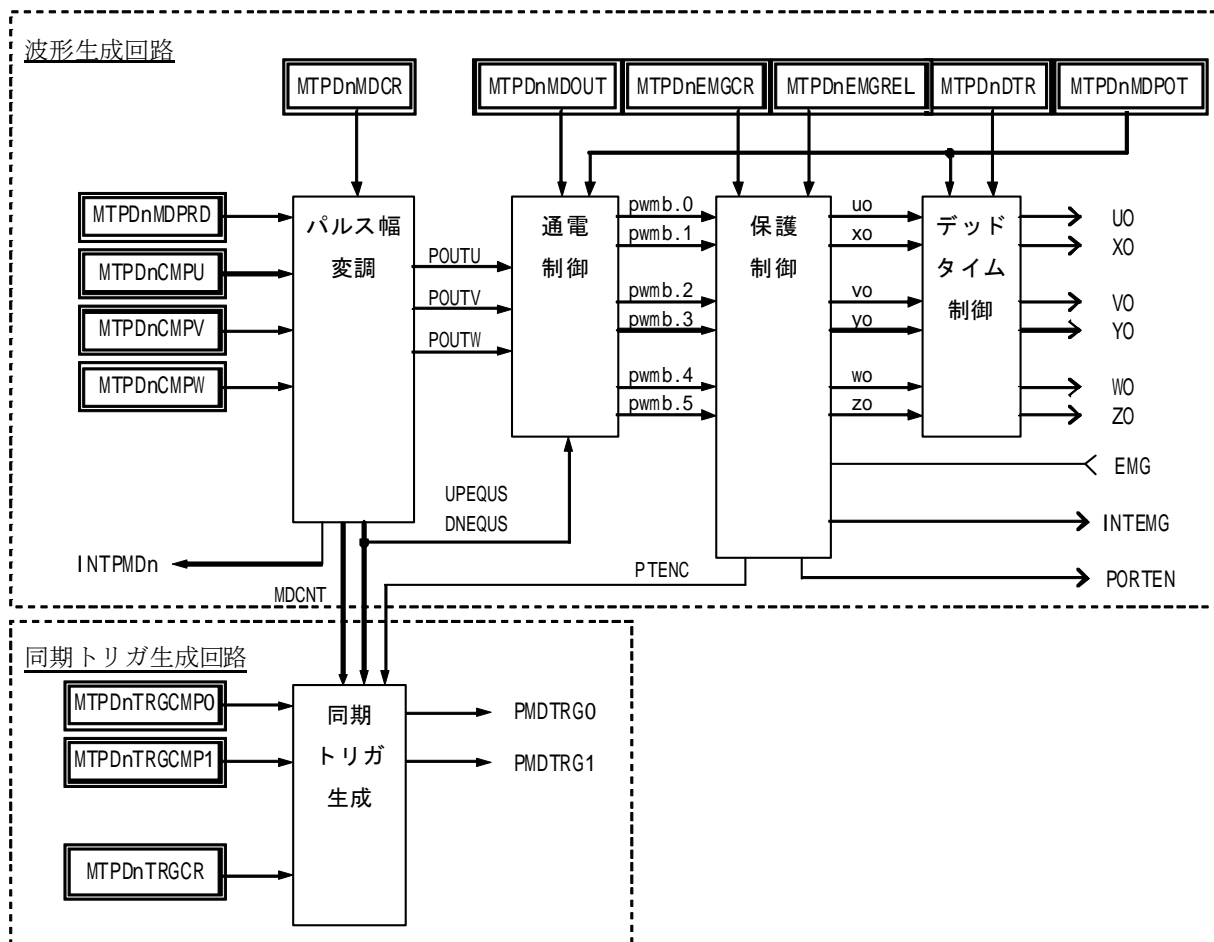


図 10-21 PMD 回路概略図

PMD (プログラマブルモータドライバ) 回路は波形生成回路と同期トリガ生成回路の2ブロックから成り、波形生成回路はパルス幅変調回路、通電制御回路、保護制御回路、デッドタイム制御回路で構成されています。

- パルス幅変調回路は PWM 周波数が等しい 3 相の独立した PWM 波形を生成します。
- 通電制御回路は U、V、W 相の各上下相の出力パターンを決定します。
- 保護回路では EMG 入力による緊急出力停止を行いません。
- デッドタイム制御回路では上下相の切り替え時の短絡を防止します。
- 同期トリガ生成回路では ADC への同期トリガ信号を生成します。

10.7.3.2 PMDイネーブルレジスタ(MTPDnMDEN)

(PMD0: 0x4005 0400、PMD1: 0x4005 0480)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—	—	—	—	PWMEN
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R/W
リセット後	0	0	0	0	0	0	0	0

<PWMEN> : 波形合成機能の許可／禁止

“0” : 禁止

“1” : 許可

ポートを機能出力(PWM出力)として設定している場合、<PWMEN>=“0”(禁止)にすると出力ポートはハイ・インピーダンスになります。

出力ポート極性等、PWMEN 以外の初期設定を行った後に、<PWMEN>=“1”(許可)を設定して下さい。

10.7.3.3 ポート出力モードレジスタ(MTPDnPORTMD)

(PMD0: 0x4005 0404、PMD1: 0x4005 0484)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—	—	—	—	PORTMD
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

<PORTMD> : PORT 制御の設定

“0” : High-z

“1” : PMD 出力

<PORTMD>の設定により外部 PORT に対して全相6端子のポート出力制御信号を出力します。“High-z”選択時にツールブレイクが発生した場合、外部出力ポートをハイ・インピーダンスに設定します。それ以外の場合は PMD 出力に従います。

<PWMEN>=0 時は出力ポートの設定によらず出力ポートをハイ・インピーダンスに設定します。

※ 外部ポート出力制御は PMDnEMGMD の設定により EMG 入力時にも行なわれます。

bit1 : 必ず“0”を書き込んで下さい

10.7.4 パルス幅変調回路

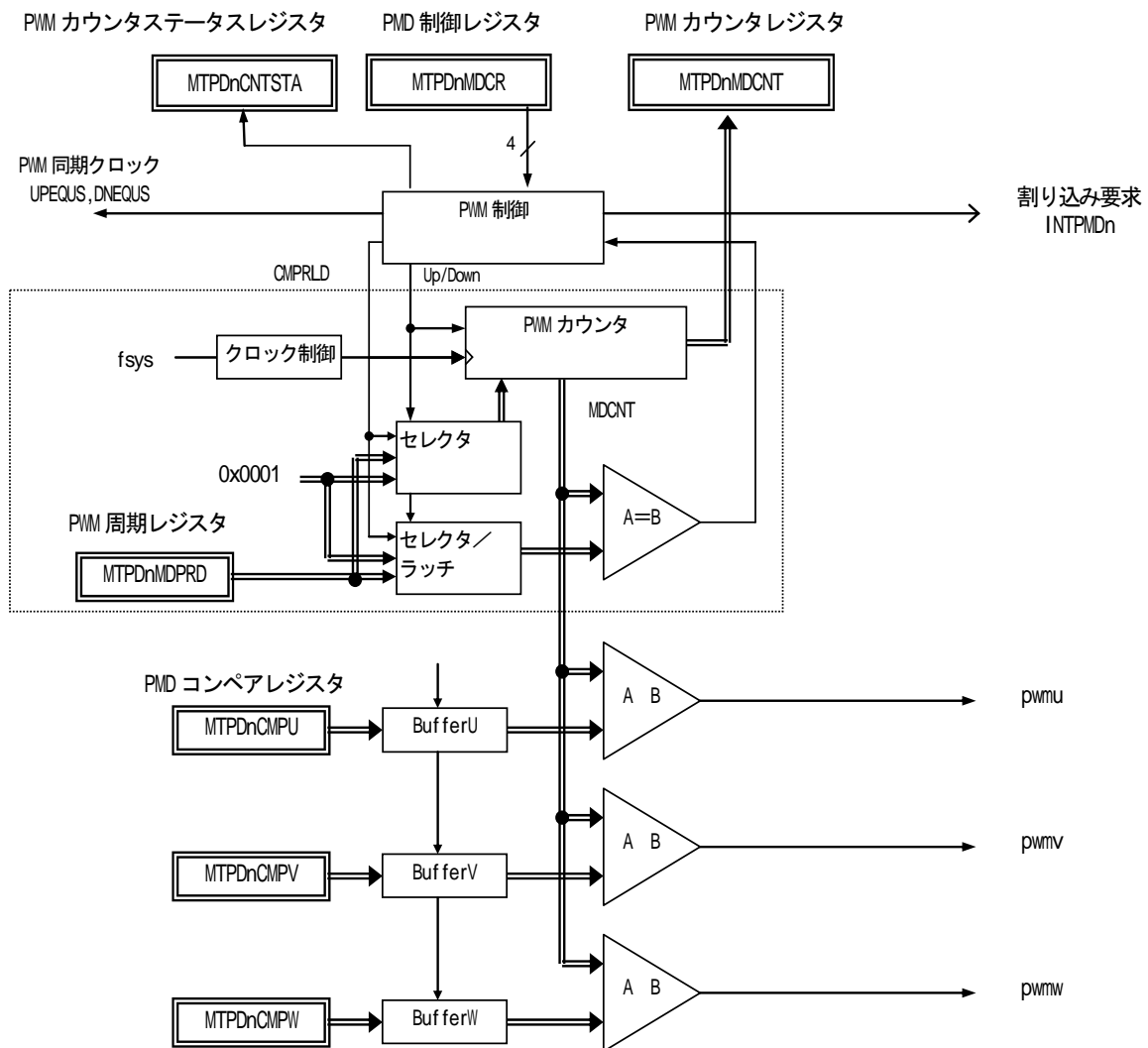


図 10-22 パルス幅変調回路概略図

パルス幅変調回路は、16bit のアップ/ダウンカウンタである PMD カウンタを持ち、25nsec@40MHz の分解能でPWMキャリアを生成します。PWM キャリアの波形モードは PWM モード 0 としてエッジ PWM (のこぎり波変調)、モード 1 としてセンターPWM (三角波変調) を選択可能です。また、PWM 周期延長モード(PWMCK=1)にすることにより、PWM カウンタは 100nsec の分解能で PWM キャリアを生成します。

(1) PWM 周期設定

MDPRDレジスタによりPWM周期を決定します。MDPRDレジスタはダブルバッファ構成であり、コンパレータ入力はPWM周期で更新されます。PWM半周期毎の更新も選択できます。

$$\text{のこぎり波 PWM} : \text{MDPRDレジスタ設定値} = \frac{\text{発振周波数 [Hz]}}{\text{PWM周波数 [Hz]}}$$

$$\text{三角波変調 PWM} : \text{MDPRDレジスタ設定値} = \frac{\text{発振周波数 [Hz]}}{\text{PWM周波数 [Hz]} \times 2}$$

(2) コンペア機能

3相のPWMコンペアレジスタ (PMDnCMPU/V/W) の値と、PMDカウンタ (MDCNT) が生成する搬送波とをコンパレータで大小比較して所望のデューティのPWM波形を生成します。

各相のPMDコンペアレジスタは比較レジスタを持ち、ダブルバッファ構成となります。PMDコンペアレジスタの値はPWM周期に同期して(内部カウンタ値がMDPRDと一致時)比較レジスタにロードされます。PWM半周期での更新(半周期毎ロード)も選択できます。

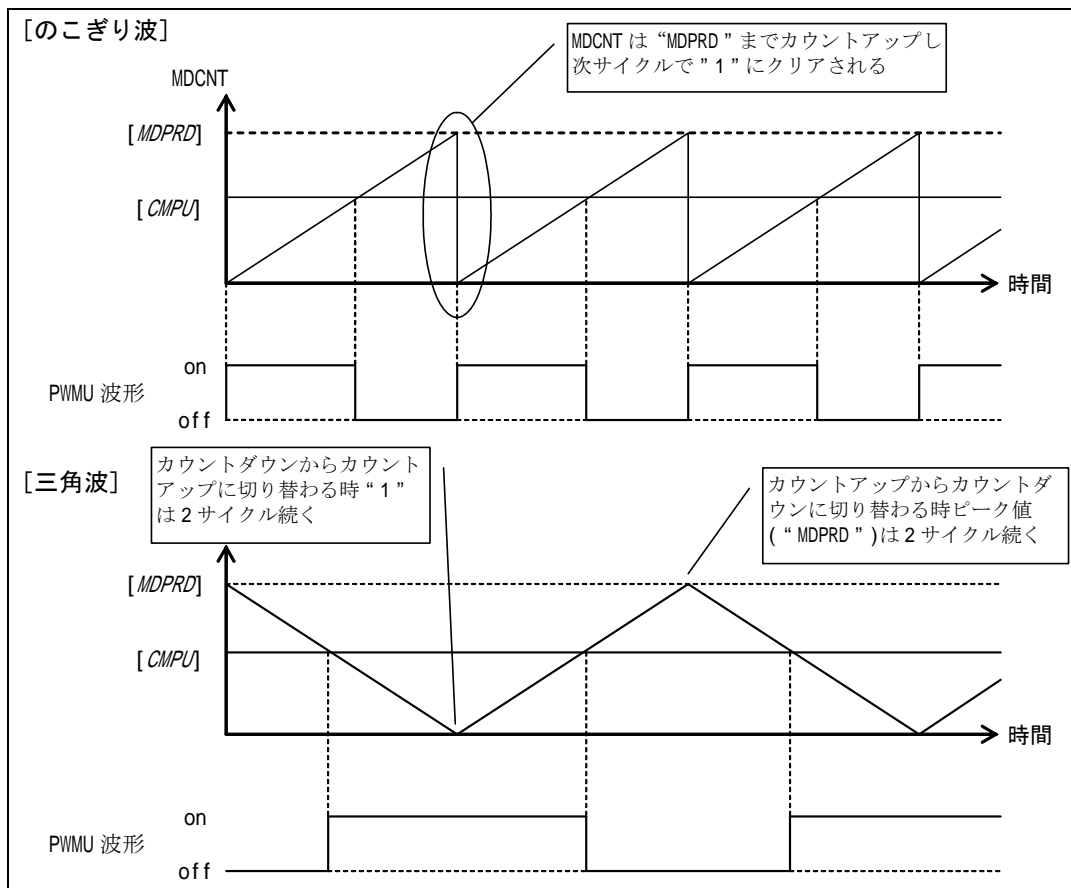


図 10-23 PWM 波形

(3) 波形モード

2種類の3相PWMの生成方法を選択できます。

) 3相独立 **Duty** モード：3相のPMDコンペアレジスタにそれぞれ独立した値を設定して、3相の独立したPWM波形を生成します。これは、正弦波等の任意の駆動波形生成に使用します。

) 3相共通 **Duty** モード：U相のPMDコンペアレジスタだけに設定し、U相の設定値で3相同一のPWM波形を生成します。これは、DCモータの矩形波駆動に使用します。

(4) 割り込み処理

パルス幅変調回路ではPWM波形に同期してPWM割り込み要求を発生します。PWM割り込みの頻度はPWM周期半周期に1回、1周期に1回、2周期に1回、4周期に1回を選択する事ができます。

10.7.4.1 PMD制御レジスタ(MTPDnMDCR)

(PMD0 : 0x4005 0408、PMD1 : 0x4005 0488)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	—	PWMCK	SYNTMD	DTYMD	PINT	INTPRD		PWMMD
Read/Write	R→0	R/W						
リセット後	0	0	0	0	0	0	0	0

<PMDMD> : PWM キャリア波形

“0” : PWM モード0(エッジ PWM、ノコギリ波)

“1” : PWM モード1(センターPWM、三角波)

PWM のモードを選択します。PWM モード0はエッジ PWM、PWM モード1 はセンターPWM になります。

<INTPRD> : PWM 割り込み周期選択

“00” : PWM0.5 周期毎に割り込み(PWM モード1のみ)

“01” : // 1周期毎に割り込み

“10” : // 2周期毎に割り込み

“11” : // 4周期毎に割り込み

PWM 割り込みの発生する頻度を PWM 周期 0.5 周期/1 周期/2 周期/4 周期に 1 回から選択します。

“00”設定時、コンペアレジスタ(PMDnCMPU/V/W)、周期レジスタ(PMDnMDPRD)は内部カウンタが 1 または PMDnMDPRD 一致時にダブルバッファ更新されます。

<PINT> : PWM 割り込みタイミング

“0” : PWM カウンタ=1 のとき割り込み要求

“1” : PWM カウンタ=MDPRD のとき割り込み要求

(エッジモード選択時は MDPRD のとき、0.5 周期選択時は1,MDPRD 両方時。)

割り込み発生タイミングを PWM カウンタがMIN時か MAX 時かを選択可能。エッジモード選択時は MDPRD のとき、0.5 周期選択時は1,MDPRD 両方時となります。

<DTYMD> : DUTY モード

“0” : U 相共通

“1” : 3 相独立

デューティの設定を PMDnCMPU/V/W の3相独立で行うか、PMDnCMPU レジスタの設定を3相共通で用いるかの選択を行います。

<SYNTMD> : ポート出力モード

U,V,W相のポート出力設定を行いません。※表 10-9参照

<PWMCK> : PWM 周期延長モード

“0” : 通常周期

“1” : 4 倍周期

通常設定時、PWM カウンタは 25ns 分解能@fsys=40MHz で動作します。

※ノコギリ波 25ns、三角波 50ns

4 倍周期設定時、PWM カウンタは 100ns 分解能@2bit カウンタ(fsyst=40MHz 動作)で動作します。

※ノコギリ波 100ns、三角波 200ns

10.7.4.2 PWMカウンタステータスレジスタ (MTPDnCNTSTA)

(PMD0: 0x4005 040C、PMD1: 0x4005 048C)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—	—	—	—	UPDWN
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R
リセット後	0	0	0	0	0	0	0	0

<UPDWN> : PWM カウンタフラグ

“0” : アップカウント中

“1” : ダウンカウント中

PWM カウンタがアップカウント中かダウンカウント中かを示します。カウントアップ中は0。
エッジ PWM モードを選択した場合、常に“0”が読み出されます。

10.7.4.3 PWMカウンタレジスタ (MTPDnMDCNT)

(PMD0: 0x4005 0410、PMD1: 0x4005 0490)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	MDCNT							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	MDCNT							
Read/Write	R							
リセット後	0	0	0	0	0	0	0	1

<MDCNT> : PWM カウンタ

PMD カウンタ値 25ns 分解能@fsys=40MHz

※ ノコギリ波 25ns、三角波 50ns

※ PWMCK を 1 に設定した場合、100ns 分解能となります。

PWM 周期をカウントする 16bit のレジスタで読み出し専用です。

10.7.4.4 PWM周期レジスタ(MTPDnMDPRD)

(PMD0 : 0x4005 0414、PMD1 : 0x4005 0494)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	MDPRD							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	MDPRD							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

<MDPRD> : PWM 周期の設定

MDPRD ≥ 0x010

<MDPRD>はPWM周期を決定するレジスタで、ダブルバッファ構成となっています。したがって、PMDカウンタの動作中でも変更する事が出来ます。バッファへはPWM周期毎にロードされます。

(内部カウンタがMDPRDと一致した時にロード。半周期選択時(intprd=00設定時)は"1"、MDPRD時にロード。最下位ビットは0を設定して下さい。)

<MDPRD>に0x010未満の値を設定した場合、自動的に<MDPRD>=0x010として動作します(レジスタには設定した値が入ります)。

※ このレジスタへのバイト書き込みは禁止です(上位8bit([15:8]), 下位8bit([7:0])を別々にWR)。

バイト書き込みした場合の動作は保障できません。

10.7.4.5 PWMコンペアレジスタ (MTPDnCMPU, MTPDnCMPV, MTPDnCMPW)

(PMD0 : 0x4005 0418 ~ 041B PMD1 : 0x4005 0498 ~ 049B)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	CMPU0,1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	CMPU0,1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

(PMD0 : 0x4005 041C ~ 041F PMD1 : 0x4005 049C ~ 049F)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	CMPV0,1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	CMPV0,1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

(PMD0 : 0x4005 0420 ~ 0423 PMD1 : 0x4005 04A0 ~ 04A3)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	CMPW0,1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	CMPW0,1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

<CMPU、CMPV、CMPW> : PWMパルス幅の設定

コンペアレジスタ 25ns 分解能@fsys=40MHz

※ ノコギリ波 25ns、三角波 50ns

※ PWMCK を 1 に設定した場合、100ns 分解能となります。

<CMPU、CMPV、CMPW>は、UVW 各相の出力するパルス幅を決定する比較レジスタで、ダブルバッファ構成となっています。バッファと PMD カウンタとを大小比較しパルス幅を決定します。(内部カウンタが MDP RD と一致時にロード。半周期選択時(intprd=00 設定時)は 1,MDPRD 時にロード。) リード時はダブルバッファ前段の値(バスから設定したデータ)をリードします。

- ※ このレジスタへのバイト書き込みは禁止です(上位 8bit([15:8]), 下位 8bit([7:0])を別々に WR)。
バイト書き込みした場合の動作は保障できません。

10.7.5 通電制御回路

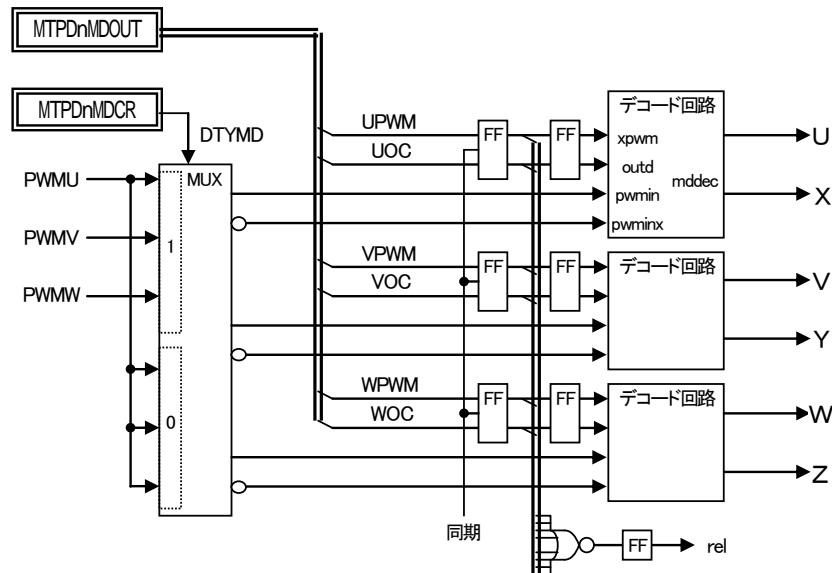


図 10-24 通電制御回路概略図

PMD出力レジスタ (MTPDnMDOUT) に設定された内容により、出力ポートの制御を行います。設定内容は、ポート出力時の同期信号の選択とポート出力設定に分けられます。ポート出力設定はダブルバッファ構成であり、更新タイミングはPWMへの同期更新と非同期更新を選択できます。

6本のポートの出力設定は、それぞれ独立にアクティブ/インアクティブの設定をMDOUTビット10~8およびMDPOTビット3, 2により行います。さらに、U, V, Wの3相それぞれに、PWM出力とH・L出力との選択をMDOUTビット10, 9, 8により設定します。PWM出力を選択するとPWM波形が、H・L出力を選択するとH固定またはL固定の出力が得られます。MDOUTによるポート出力設定とPMD制御レジスタ (MTPDnMDCR) の極性設定によって得られる端子出力の関係については、「表 10-9 UOC, VOC, WOC 及びUPWM, VPWM, WPWMの各ビットの設定によるポート出力」を参照してください。

10.7.5.1 PMD出力設定レジスタ(MTPDnMDPOT)

(PMD0: 0x4005 042C、PMD1: 0x4005 04AC)

Bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—	POLH	POLL	PSYNCS	
Read/Write	R→0	R→0	R→0	R→0	R/W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0

<PSYNCS> : MDOUT 設定転送タイミング選択

“00” : PWM 非同期

“01” : PWM カウンタ=1 のときリロード

“10” : PWM カウンタ=MDPRD のときリロード

“11” : PWM カウンタ=1および MDPRD のときリロード

U,V,W 相出力設定のポート出力反映時のタイミングを選択します。

(MDCNT のピーク/ボトム同期又は非同期を選択)

※MDEN ビット 1<PWMEN>=0 の状態で選択を行って下さい。

<POLL> : 下相ポート極性

“0” : ロー・アクティブ

“1” : ハイ・アクティブ

下相の出力ポート極性を選択します。

※MDEN ビット 1<PWMEN>=0 の状態で選択を行って下さい。

<POLH> : 上相ポート極性

“0” : ロー・アクティブ

“1” : ハイ・アクティブ

上相の出力ポート極性を選択します。

※MDEN ビット 1<PWMEN>=0 の状態で選択を行って下さい。

10.7.5.2 PMD出力制御レジスタ(MTPDnMDOUT)

(PMD0: 0x4005 0428、PMD1: 0x4005 04A8)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	WPWM	VPWM	UPWM
Read/Write	R→0	R→0	R→0	R→0	R→0	R/W		
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	WOC		VOC		UOC	
Read/Write	R→0	R→0	R/W		R/W		R/W	
リセット後	0	0	0	0	0	0	0	0

<UOC、VOC、WOC>/<UPWM、VPWM、WPWM> : UVW 相出力制御

<MDOUT>は U、V、W 相のポート出力設定を行いません。下表参照

※ このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に WR)はしないでください。
バイト書き込みした場合の動作は保障できません。

表 10-9 UOC, VOC, WOC 及び UPWM, VPWM, WPWM の各ビットの設定によるポート出力

○MTPDnMDCR<SYNTMD>=0 時

極性ハイアクティブ (MDPOT ビット 3,2=1)

MDOUT 出力制御		MDOUT ビット 10,9,8 H・L/PWM 出力選択			
ビット 53,1 上相	ビット 42,0 下相	0: H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	L	L	PWM	PWM
0	1	L	H	L	PWM
1	0	H	L	PWM	L
1	1	H	H	PWM	PWM

極性ローアクティブ (MDPOT ビット 3,2=0)

MDOUT 出力制御		MDOUT ビット 10,9,8 H・L/PWM 出力選択			
ビット 53,1 上相	ビット 42,0 下相	0: H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	H	H	PWM	PWM
0	1	H	L	H	PWM
1	0	L	H	PWM	H
1	1	L	L	PWM	PWM

○MTPDnMDCR<SYNTMD>=1 時

極性ハイアクティブ (MDPOT ビット 3,2=1)

MDOUT 出力制御		MDOUT ビット 10,9,8 H・L/PWM 出力選択			
ビット 53,1 上相	ビット 42,0 下相	0: H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	L	L	PWM	PWM
0	1	L	H	L	PWM
1	0	H	L	PWM	L
1	1	H	H	PWM	PWM

極性ローアクティブ (MDPOT ビット 3,2=0)

MDOUT 出力制御		MDOUT ビット 10,9,8 H・L/PWM 出力選択			
ビット 53,1 上相	ビット 42,0 下相	0: H/L 出力		1: PWM 出力	
		上相出力	下相出力	上相出力	下相出力
0	0	H	H	PWM	PWM
0	1	H	L	H	PWM
1	0	L	H	PWM	H
1	1	L	L	PWM	PWM

・ 1シャント電流検出対応の出力設定

1シャント電流の検出は下記のように設定することで対応可能です。

表 10-10 1シャント電流の検出設定一覧

	通常	U相 PWM シフト	V相 PWM シフト	W相 PWM シフト
CMPU	duty_U	MDPRD-duty_U	duty_U	duty_U
CMPV	duty_V	duty_V	MDPRD-duty_V	duty_V
CMPW	duty_W	duty_W	duty_W	MDPRD-duty_W
UOC	11	00	11	11
VOC	11	11	00	11
WOC	11	11	11	00

10.7.6 保護制御回路

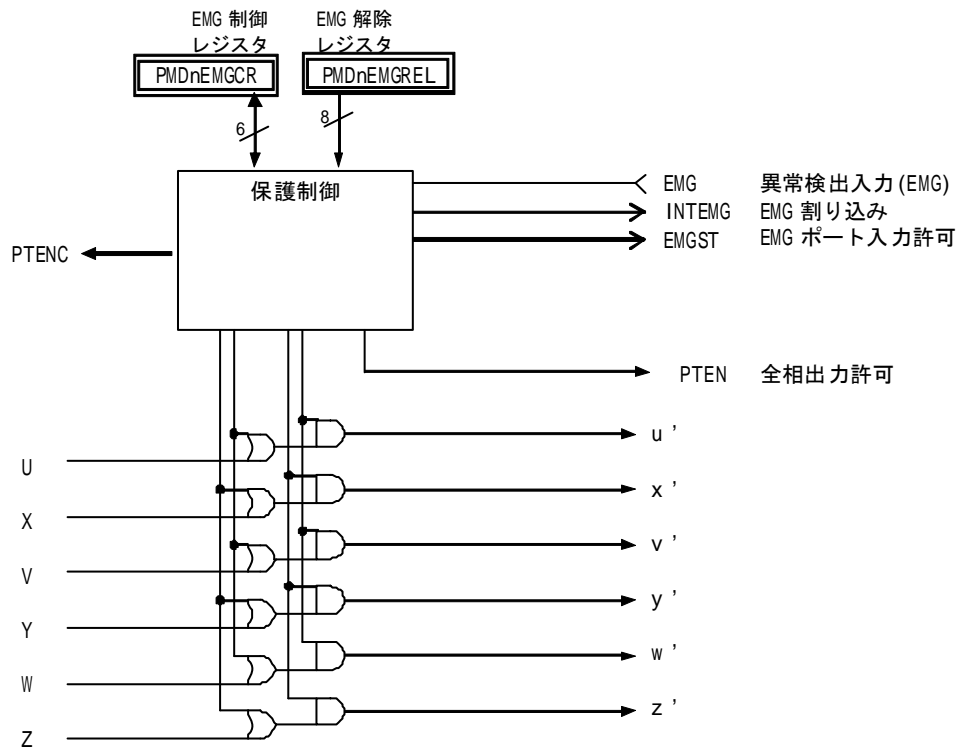


図 10-25 保護制御回路概略図

保護制御回路は、EMG 保護制御部で構成されます。

10.7.6.1 保護制御回路(EMG入力部)

保護制御回路は EMG 保護制御とポート出力禁止部から構成され、EMG 入力 Low レベルになると動作します。EMG 保護回路は緊急停止用の保護回路であり、EMG 入力があった場合 (H L)、直ちに 6 本の PWM 出力を禁止し (<EMGMD> の設定によります)、EMG 割り込み (INTEMG) を発生します。

また <EMGMD> の設定により、外部出力ポートを "ハイ・インピーダンス" に設定する制御信号を出力します。

ツールブレイクによる PMD 停止制御時も同様に 6 本の PWM 出力を禁止します、但し <EMGMD> の設定によります。ツールブレイク時は <PORTMD> の設定により、外部出力ポートの "ハイ・インピーダンス" 制御を選択することが出来ます。

EMG 保護は EMG 制御レジスタ (PMDnEMGCR) で設定します。

また、EMGSTA ビット 0 (EMGST) をリードした時、"1" の場合は EMG 保護状態であることを示します。

EMG 保護状態の時は、ポート出力を全てインアクティブに設定 (MDOUT[10-8][5-0]:0) 後、EMGCR ビット 1 に "1" を設定することにより EMG 保護状態から復帰することができます。

また、EMG 機能を禁止するには EMG 禁止コードレジスタ (EMGREL) に 0x5A と 0xA5 を順番に設定後、EMGCR ビット 0 に "0" を設定します (3 命令連続して行います。)。但し、EMG 保護入力が L に落ちている間は、復帰処理を行っても無視されます。EMGSTA ビット 1 の EMGI をリードしポート入力が H になったことを確認してから復帰処理をしてください。

EMG 保護回路を禁止するには EMGREL に所定のキーコード 0x5A、0xA5 を設定する事ではじめて可能になり、誤って EMG 保護回路を禁止する事を防止します。

10.7.6.2 EMG解除レジスタ(MTPDnEMGREL)

(PMD0: 0x4005 0430、PMD1: 0x4005 04B0)

Bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
Bit Symbol	EMGREL							
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0

<EMGREL> : EMG 禁止コード

<EMGREL> の bit[7-0] "5A" → "A5" に設定することにより EMG 機能を禁止することが出来ます。

この場合、EMGEN: 0 に設定してください。

10.7.6.3 EMG制御レジスタ (MTPDnEMGCR)

(PMD0:0x4005 0434、PMD1 :0x4005 04B4)

Bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	EMGCNT			
Read/Write	R→0	R→0	R→0	R→0	R/W			
リセット後	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	INHEN	EMGMD		—	EMGRS	EMGEN
Read/Write	R→0	R→0	R/W	R/W		R/W	W1	R/W
リセット後	0	0	1	1	1	0	0	1

<EMGEN> : EMG 保護回路の許可/禁止

“0” : 禁止

“1” : 許可

1を設定する事によりEMG保護回路が動作状態となります。初期状態では許可となっています。

禁止するときは禁止コード(EMGREL)に5A→A5を順にライトし、0に設定します。(3命令を連続して行います。)

<EMGRS> : EMG 保護状態からの復帰

“0” : —

“1” : 保護状態からの復帰

MDOUTに0を設定後、1を設定する事によりEMG保護状態から復帰します。

このbitはリードすると常に0が読まれます。

※必ず上位bit[10-8]、下位bit[5-0]両方に0をWRしてください。

※EMGIがHになったことを確認後復帰させてください。

bit2 : 必ず“0”を書き込んで下さい

<EMGMD> : EMG 保護モード選択

“00” : 全相オン / PORT出力 High-z

“01” : 全相オフ / PORT出力 High-z

“10” : 全相オン / PORT出力 許可

“11” : 全相オフ / PORT出力 High-z

※オン=PWM出力(出力制御なし) オフ=Low(ハイアクティブ(POLL/H=1)時)

EMG発生時に、全相(上相および下相)6端子のPWM出力をオン/オフさせます。

また、EMG発生時のPORT出力の許可/禁止制御を行いません。

<INHEN> : ツールブレイクの許可/禁止

“0” : 禁止

“1” : 許可

ツールからのPMD停止信号が入力された場合にPMDを停止させるかを選択します。初期状態では許可となっています。

<EMGCNT> : EMG入力検出時間

0~15 (0設定時はノイズフィルタをスルーする)

EMGCNT × 16/fsys (分解能 400[nsec] @40MHz)

10.7.6.4 EMGステータスレジスタ(MTPDnEMGST)

(PMD0 : 0x4005 0438、PMD1 : 0x4005 04B8)

Bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—	—	—	EMGI	EMGST
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R	R
リセット後	0	0	0	0	0	0	—	0

<EMGST> : EMG 保護状態

“0” : 通常動作中

“1” : 保護中

リードすることにより、EMG 保護の状態を知ることができます。

<EMGI> : EMG 入力

EMG の状態

リードすることにより、EMG 入力の状態を知ることができます。

10.7.7 デッドタイム回路

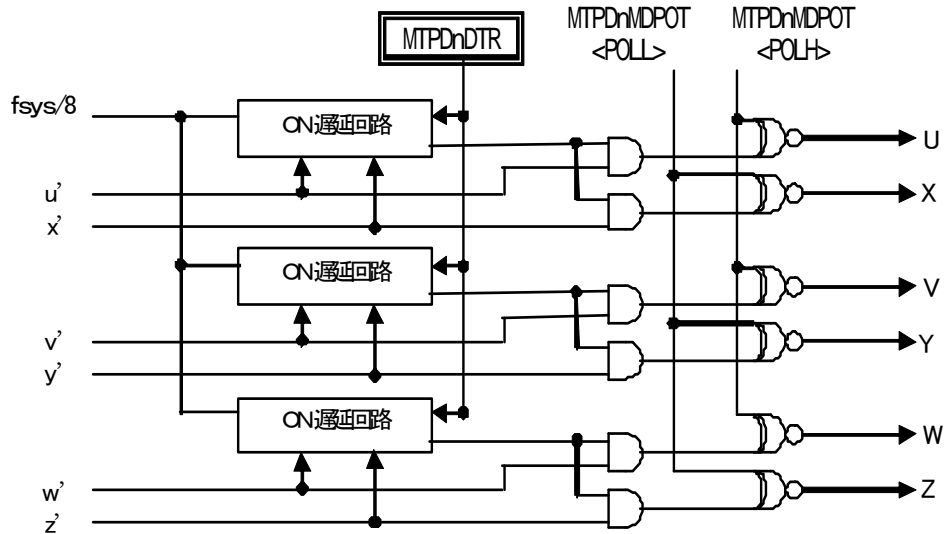


図 10-26 デッドタイム回路概略図

デッドタイム回路はデッドタイム部と出力極性切替部から構成されます。
 U,V,W のそれぞれの相において、上下相が逆転する場合に上下相が短絡を回避するため、デッドタイムカウンタによりオン時間を遅延させます。遅延時間は、8bit 値により 200ns @40MHz の分解能でデッドタイムレジスタ (DTR) に設定します。
 出力極性切替回路は、上相・下相をそれぞれに対してハイアクティブ/ローアクティブを PMD 出力設定レジスタ (MDPOT) の POLH、POLL により設定します。

10.7.7.1 デッドタイムレジスタ (MTPDnDTR)

(PMD0 : 0x4005 0444、PMD1 : 0x4005 04C4)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	DTR							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

<DTR> : デッドタイム

200nsec × 8bit (最大 51 μ sec ,fsys=40MHz)

注 1) PWMEN = 1 の状態では変更しないでください。

10.7.8 同期トリガ生成回路

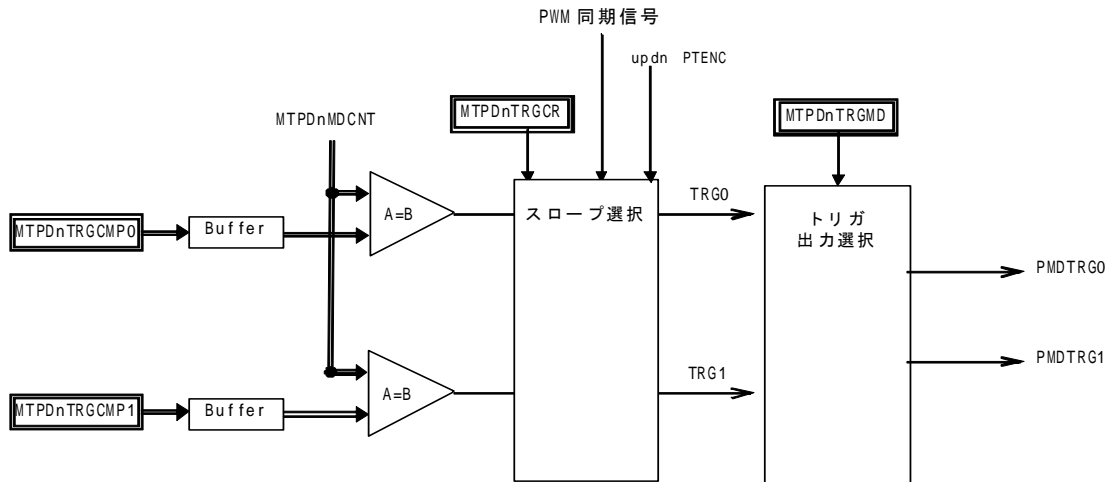


図 10-27 同期トリガ生成回路外略図

同期トリガ生成回路は PWM に同期して ADC のサンプリングを行う為のトリガ信号を生成します。動作は、MDCNT と TRGCMP とが一致する時に ADC トリガ信号 PMDTRG を発生します。発生タイミングはアップカウント動作時の一致、ダウンカウント動作時の一致、アップ/ダウンカウント両動作での一致を選択できます。エッジモード選択時はアップ時となります。PWM 出力禁止時 (PWMEN : 0) トリガは出力されません。

10.7.8.1 トリガコンペアレジスタ (MTPDnTRGCMP0~1)

(PMD0 : 0x4005 0448 ~ 044B 、 PMD1 : 0x4005 04C8 ~ 04CB)

Bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8
Bit Symbol	TRGCMP0							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
Bit Symbol	TRGCMP0							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

(PMD0 : 0x4005 044C ~ 044F 、 PMD1 : 0x4005 04CC ~ 04CF)

Bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8
Bit Symbol	TRGCMP1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
Bit	7	6	5	4	3	2	1	0
Bit Symbol	TRGCMP1							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

〈TRGCMP0~1〉 : トリガ出力用コンペアレジスタ

トリガ出力用コンペアレジスタ

PMDカウンタ MDCNT と一致すると PMDTRG を出力します。

リード時はダブルバッファ前段の値(バスから設定したデータ)をリードします。

注)コンペアレジスタの設定範囲: 1~[MDPRD 設定値-1]

TRGCMP_x = 0 及び TRGCMP_x ≥ [MDPRD 設定値] は設定禁止

※ このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に WR)はしないでください。

バイト書き込みした場合の動作は保障できません。

注 1) TRGCMP* (* = 0~1)に 0x0001 を設定した場合、PWMMD=0(ノコギリ波)時において PWM 開始(PWMEN=1)後、最初の 1 周期のみトリガ出力されません。

トリガコンペアレジスタ(TRGCMP_x)の更新タイミング

トリガコンペア_xレジスタ(TRGCMP_x)はダブルバッファ構造となっており、内部バッファの更新タイミングはモード設定(TRG_xMD)によってタイミングが異なります。

TRG_xBE に“1”を設定するとトリガモードに関係なく常に更新されます。

表 10-11 トリガ出力モード設定とトリガコンペアレジスタの内部バッファ更新タイミング

TRG _x MD	TBUF _x 更新タイミング
000:トリガ禁止	常に更新
001:ダウncount時的一致	PWM キャリアピーク(MDPRD と的一致)でバッファ更新
010:アップカウント時的一致	PWM キャリアボトム(1 と的一致)でバッファ更新
011:アップ及びダウncount時的一致	PWM キャリアのピークとボトムで更新
100:PWM キャリアピーク	常に更新
101:PWM キャリアボトム	
110:PWM キャリアピーク及びボトム	
111:トリガ禁止	

10.7.8.2 トリガ制御レジスタ(MTPDnTRGCR)

(PMD0 : 0x4005 0458、PMD1 : 0x4005 04D8)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—			—	—		
Read/Write	R/W	R/W			R/W	R/W		
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	TRG1BE	TRG1MD			TRG0BE	TRG0MD		
Read/Write	R/W	R/W			R/W	R/W		
リセット後	0	0	0	0	0	0	0	0

<TRG0MD、TRG1MD> : PMDTRG0~1 のモード設定

- “000” : トリガ出力禁止
- “001” : ダウンカウント時の一致でトリガ出力
- “010” : アップカウント時の一致でトリガ出力
- “011” : アップ/ダウンカウント時にトリガ出力
- “100” : PWM キャリアピークでトリガ出力
- “101” : PWM キャリアボトムでトリガ出力
- “110” : PWM キャリアピーク/ボトムでトリガ出力
- “111” : トリガ出力禁止

トリガ出力の一致モードを選択します。

PMDにてエッジモード選択時はダウンカウント/キャリアボトムを選択しても、アップカウント/キャリアピークでの出力となります。

※“011”選択時、TRGCMP*=0x0001 の場合、PWMMD=1(三角波)においてトリガ出力は1周期に1度となります。

<TRG0BE、TRG1BE> : PMDTRG0~1 のバッファ更新タイミング設定

- “0” : 同期更新
 - “1” : 非同期更新(書き込み後、直ちに反映される)
- バッファの非同期更新を許可します。

bit[15:7] : 必ず“00000000”を書き込んで下さい。

10.7.8.3 トリガ出力モード設定レジスタ(MTPDTRGMD)

(PMD0: 0x4005 045C、PMD1: 0x4005 04DC)

bit	31	30	29	28	27	26	25	24
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	23	22	21	20	19	18	17	16
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	15	14	13	12	11	10	9	8
Bit Symbol	—	—	—	—	—	—	—	—
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R→0	R→0
リセット後	0	0	0	0	0	0	0	0
bit	7	6	5	4	3	2	1	0
Bit Symbol	—	—	—	—	—	—	—	EMGTGE
Read/Write	R→0	R→0	R→0	R→0	R→0	R→0	R/W	R/W
リセット後	0	0	0	0	0	0	0	0

<EMGTGE> : EMG 保護動作中の出力許可設定

“0” : 保護動作時 トリガ出力禁止

“1” : 保護動作時 トリガ出力許可

EMG保護動作中のトリガ出力許可設定を選択します。

bit1 : 必ず“0”を書き込んで下さい

11 12/10ビット アナログ/デジタルコンバータ

重要

TMPM382(64ピン版)は、10本のアナログ入力を持っています。
AIN0~AIN9を使用することができます。

TMPM380は、1つの12/10(選択可能)ビット逐次変換方式アナログ/デジタルコンバータ (ADコンバータ)を内蔵しています。

ADコンバータは18本のアナログ入力を持っています。

機能と特徴

- (1) PMD(MPT)やタイマからのトリガ信号に同期して任意のアナログ入力を変換することができます。
- (2) ソフトウェア起動、常時起動において任意のアナログ入力を変換することができます。
- (3) AD変換値レジスタが12個あります。
- (4) トリガ起動によるプログラム終了時に割り込みを発生できます。
- (5) ソフトウェア起動、常時起動によるプログラム終了時に割り込みを発生できます。
- (6) AD監視機能があります。有効時に比較条件と一致した場合は割り込みを発生します。

11.1 ブロック図

下記は本 AD コンバータのブロック図です。

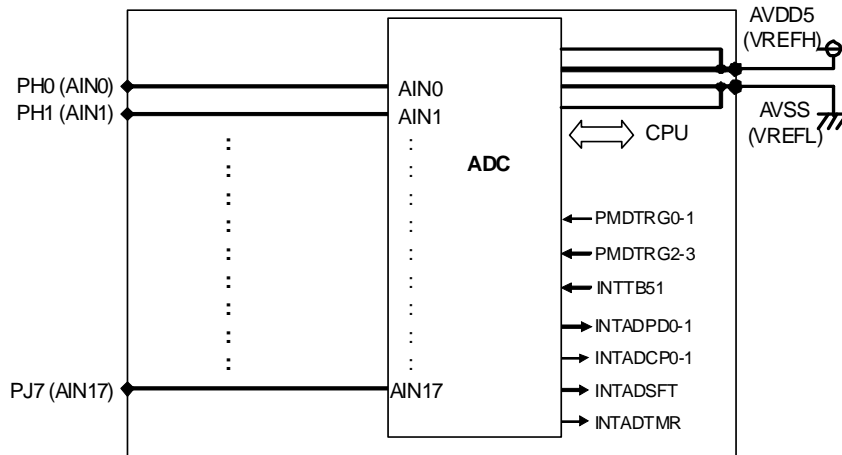


図 11-1 AD コンバータブロック図

TMPM382 は 10 本のアナログ入力を持っています。AIN0~AIN9 を使用することができます。
TMPM382 は PMD トリガ入力 PMDTRG2-3 はありません。

11.2 レジスタ一覧

AD コンバータには、以下のレジスタが存在します。

アドレス	レジスタ名	説明
4003_00 00	ADCLK	クロック設定レジスタ
4003_00 04	ADMOD0	モード設定レジスタ 0
4003_00 08	ADMOD1	モード設定レジスタ 1
4003_00 0C	ADMOD2	モード設定レジスタ 2
4003_00 10	ADCMPCR0	監視割り込み設定レジスタ 0
4003_00 14	ADCMPCR1	監視割り込み設定レジスタ 1
4003_00 18	ADCMP0	変換結果比較レジスタ 0
4003_00 1C	ADCMP1	変換結果比較レジスタ 1
4003_00 20	ADREG0	変換結果格納レジスタ 0
4003_00 24	ADREG1	変換結果格納レジスタ 1
4003_00 28	ADREG2	変換結果格納レジスタ 2
4003_00 2C	ADREG3	変換結果格納レジスタ 3
4003_00 30	ADREG4	変換結果格納レジスタ 4
4003_00 34	ADREG5	変換結果格納レジスタ 5
4003_00 38	ADREG6	変換結果格納レジスタ 6
4003_00 3C	ADREG7	変換結果格納レジスタ 7
4003_00 40	ADREG8	変換結果格納レジスタ 8
4003_00 44	ADREG9	変換結果格納レジスタ 9
4003_00 48	ADREG10	変換結果格納レジスタ 10
4003_00 4C	ADREG11	変換結果格納レジスタ 11
4003_00 50	ADPSEL0	PMD トリガ用プログラム番号選択レジスタ 0
4003_00 54	ADPSEL1	PMD トリガ用プログラム番号選択レジスタ 1
4003_00 58	ADPSEL2	PMD トリガ用プログラム番号選択レジスタ 2
4003_00 5C	ADPSEL3	PMD トリガ用プログラム番号選択レジスタ 3
4003_00 80	ADPINTS0	PMD トリガ用割り込み選択レジスタ 0
4003_00 84	ADPINTS1	PMD トリガ用割り込み選択レジスタ 1
4003_00 88	ADPINTS2	PMD トリガ用割り込み選択レジスタ 2
4003_00 8C	ADPINTS3	PMD トリガ用割り込み選択レジスタ 3
4003_00 90	ADPINTS4	PMD トリガ用割り込み選択レジスタ 4
4003_00 94	ADPINTS5	PMD トリガ用割り込み選択レジスタ 5
4003_00 98	ADPSET0	PMD トリガ用プログラム選択レジスタ 0
4003_00 9C	ADPSET1	PMD トリガ用プログラム選択レジスタ 1
4003_00 A0	ADPSET2	PMD トリガ用プログラム選択レジスタ 2
4003_00 A4	ADPSET3	PMD トリガ用プログラム選択レジスタ 3
4003_00 A8	ADPSET4	PMD トリガ用プログラム選択レジスタ 4
4003_00 AC	ADPSET5	PMD トリガ用プログラム選択レジスタ 5
4003_00 B0	ADTSET03	タイマトリガ用プログラムレジスタ 0~3
4003_00 B4	ADTSET47	タイマトリガ用プログラムレジスタ 4~7
4003_00 B8	ADTSET811	タイマトリガ用プログラムレジスタ 8~11
4003_00 BC	ADSSET03	ソフトウェア トリガ用プログラムレジスタ 0~3
4003_00 C0	ADSSET47	ソフトウェア トリガ用プログラムレジスタ 4~7
4003_00 C4	ADSSET811	ソフトウェア トリガ用プログラムレジスタ 8~11
4003_00 C8	ADASET03	常時変換用プログラムレジスタ 0~3
4003_00 CC	ADASET47	常時変換用プログラムレジスタ 4~7
4003_00 D0	ADASET811	常時変換用プログラムレジスタ 8~11
4003_00 D4	ADMOD3	モード設定レジスタ 3

表 11-1 ADC のレジスタ一覧

11.3 レジスタ詳細

A/D 変換は AD コンバータクロック設定レジスタによって選択されたクロックで実行されます。

11.3.1 クロック設定レジスタ(ADCLK)

ADCLK		7	6	5	4	3	2	1	0
ADCLK 0x4003_0000	Bitsymbol	-	TSH3	TSH2	TSH1	TSH0	ADCLK2	ADCLK1	ADCLK0
	Read/Write	R	R/W			R/W			
	リセット後	0	1011			000			
	機能	常に 0 が READ されま す	“ 1001 ” と書いてください			AD プリスケアラ出力(SCLK)選択 000 : fc 001 : Reserved 010 : Reserved 011 : Reserved 1XX : Reserved			

注 1 AD コンバータの変換時間は、12bit モードの場合は $T=74*(1/SCLK)$ 、10bit モードの場合は $T=68*(1/SCLK)$ です。

11.3.2 モード設定レジスタ (ADM0Dn)

AD コンバータはモード設定レジスタ (ADM0D0, 1, 2, 3) によって AD 変換開始方法が選択されます。

ADM0D0

ADM0D0 0xc4003_0004		7	6	5	4	3	2	1	0
Bitsymbol								DACON	ADSS
Read/Write		R						R/W	W
リセット後		0						0	0
機能		常に 0 が READ されます						DAC 制御 0: OFF 1: ON	ソフトウェア 変換スタート 0: Don't care 1: 変換開始

AD コンバータを使用する時には必ず<DACON>を"1"にセットしてください。

ADM0D1 レジスタの<ADEN>を"1"にセットして変換を許可し、<ADSS>を"1"にセットすると A/D 変換を開始します。また、PMD(MPT)トリガ、タイマ割り込み入力でも A/D 変換を開始します。PMD(MPT)トリガのタイミング設定、タイマ割り込みの設定はそれぞれ PMD(MPT)、タイマの説明をご参照ください。

ADM0D1

ADM0D1 0xc4003_0008		7	6	5	4	3	2	1	0
Bitsymbol	ADEN								ADAS
Read/Write	R/W	R						R/W	
リセット後	0	0							0
機能	A/D 変換許 可/禁止 0: 禁止 1: 許可	常に 0 が READ されます							常時 A/D 変 換許可 0: 変換禁止 1: 変換許可

<ADEN>のセットで AD を変換許可します。この状態の時に<ADSS>の常時 A/D 変換許可のセットで AD 変換を開始します。

ADM0D2

ADM0D2 0xc4003_000C		7	6	5	4	3	2	1	0
Bitsymbol								ADSFN	ADBFN
Read/Write		R						R	R
リセット後		0						0	0
機能		常に 0 が READ されます						ソフトウェア 変換フラ グ 1: ソフト変 換中 0: 終了	A/D 変換 BUSY フラ グ 0: 変換停止 1: 変換中

<ADBFN>は A/D 変換 Busy フラグで、PMD、タイマ、ソフトウェア、常時変換が開始されると、“1”にセットされ、変換が終了するとフラグが“0”にクリアされます。

<ADSFN>は A/D 変換 Busy フラグで、ソフトウェア変換が開始されると、“1”にセットされ、変換が終了するとフラグが“0”にクリアされます。

ADMOD3

ADMOD3
0x4003_00D4

	7	6	5	4	3	2	1	0
Bitsymbol	-	-	PMODE2	PMODE1	PMODE0	-	-	-
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	1	0	1	1	0	0	0
機能	"0" を書いてください	"1" を書いてください	"100" を書いてください			"0" を書いてください		
	15	14	13	12	11	10	9	8
Bitsymbol	-	-	-	-	BITS1	BITS0	-	RCUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	1	0	1
機能	"0" を書いてください				12bit/10bit 分解能モード 選択 00: 10bit 01: 12bit 10: Reserved 11: Reserved		"0" を書いてください	低消費電力 モード選択 0: 通常動作 1: lref cut

- ・ ADMOD3<PMODE[2:0]>は必ず "100" に設定してください。
- ・ 12bit/10bit の選択は、ADMOD3<BITS[1:0]>で設定できます。
- ・ ADMOD3<RCUT>を "1" にする事で消費電流を削減できます。ADC 使用時には "0" を書いてください。

※その他の設定は、必ず初期値を書いてください。

11.3.3 監視設定レジスタ

本 AD コンバータには AD 変換結果を監視する機能があります。

11.3.3.1 ADCMPCR0~1

AD 変換結果と ADCMP に設定した値との比較の許可禁止と比較する値の格納されたレジスタを選択するレジスタです。また判定するまでの比較回数を設定します。

判定確定すると割り込み (INTADCP0, INTADCP1) を発生します。

ADCMPCR0

ADCMPCR0
0x4003_0010

	7	6	5	4	3	2	1	0
Bitsymbol	CMPOEN	-	-	ADBIG0	REGS03	REGS02	REGS01	REGS00
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	A/D 監視機能 0:禁止 1:許可	常に 0 が READ されま す	常に 0 が READ されま す	大小判定設 定 0:比較 REG 以上 1:比較 REG 以下	比較する A/D 変換結果格納レジスタ 0000: ADREG0 0100: ADREG4 1000: ADREG8 0001: ADREG1 0101: ADREG5 1001: ADREG9 0010: ADREG2 0110: ADREG6 1010: ADREG10 0011: ADREG3 0111: ADREG7 1011: ADREG11			
	15	14	13	12	11	10	9	8
Bitsymbol	-	-	-	-	CMPCNT03	CMPCNT02	CMPCNT01	CMPCNT00
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	判定確定するまでの比較回数 0: 毎回有効 1: 2 回以上有効 . . 15: 16 回以上有効			

ADCMPCR1

ADCMPCR1
0x4003_0014

	7	6	5	4	3	2	1	0
Bitsymbol	CMP1EN	-	-	ADBIG1	REGS13	REGS12	REGS11	REGS10
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	A/D 監視機能 0:禁止 1:許可	常に 0 が READ されま す	常に 0 が READ されま す	大小判定設 定 0:比較 REG 以上 1:比較 REG 以下	比較する A/D 変換結果格納レジスタ 0000: ADREG0 0100: ADREG4 1000: ADREG8 0001: ADREG1 0101: ADREG5 1001: ADREG9 0010: ADREG2 0110: ADREG6 1010: ADREG10 0011: ADREG3 0111: ADREG7 1011: ADREG11			
	15	14	13	12	11	10	9	8
Bitsymbol	-	-	-	-	CMPCNT13	CMPCNT12	CMPCNT11	CMPCNT10
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	判定確定するまでの比較回数 0: 毎回有効 1: 2 回以上有効 . . 15: 16 回以上有効			

11.3.3.2 ADCMP0~1

AD 変換結果と比較する値を設定するレジスタです。

ADCMP0

ADCMP0
0x4003_0018

	7	6	5	4	3	2	1	0
Bitsymbol	AD0CMP03	AD0CMP02	AD0CMP01	AD0CMP00	-	-	-	-
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較値 0~3 ビット格納				常に 0 が READ されます			
	15	14	13	12	11	10	9	8
Bitsymbol	AD0CMP11	AD0CMP10	AD0CMP09	AD0CMP08	AD0CMP07	AD0CMP06	AD0CMP05	AD0CMP04
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較値 4~11 ビット格納							

ADCMP1

ADCMP1
0x4003_001C

	7	6	5	4	3	2	1	0
Bitsymbol	AD1CMP03	AD1CMP02	AD1CMP01	AD1CMP00	-	-	-	-
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較値 0~3 ビット格納				常に 0 が READ されます			
	15	14	13	12	11	10	9	8
Bitsymbol	AD1CMP11	AD1CMP10	AD1CMP09	AD1CMP08	AD1CMP07	AD1CMP06	AD1CMP05	AD1CMP04
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果比較値 4~11 ビット格納							

11.3.4 変換結果格納レジスタ

11.3.4.1 ADREG0~11

ADREG0~ADREG11 には AD 変換結果が格納されます。

bit[0]は、AD 変換結果格納フラグ<ADRNRF>で、AD 変換値が格納されると“1”にセットされます。このフラグは下位レジスタ(ADREGn[7:0])をリードすると“0”にクリアされます。

bit[1]は、Over Run フラグ<OVRn>で、AD 変換結果下位レジスタ(ADREGn[7:0])を読み出す前に AD 変換結果が上書きされると“1”にセットされます。このフラグは下位レジスタ(ADREGn[7:0])をリードすると“0”にクリアされます。(n=0~11)

ADREG0

ADREG0
0x4003_0020

	7	6	5	4	3	2	1	0
Bitsymbol	ADR003	ADR002	ADR001	ADR000	-	-	OVR0	ADR0RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR011	ADR010	ADR009	ADR008	ADR007	ADR006	ADR005	ADR004
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG1

ADREG1
0x4003_0024

	7	6	5	4	3	2	1	0
Bitsymbol	ADR103	ADR102	ADR101	ADR100	-	-	OVR1	ADR1RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR111	ADR110	ADR109	ADR108	ADR107	ADR106	ADR105	ADR104
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG2

ADREG2
0x4003_0028

	7	6	5	4	3	2	1	0
Bitsymbol	ADR203	ADR202	ADR201	ADR200	-	-	OVR2	ADR2RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR211	ADR210	ADR209	ADR208	ADR207	ADR206	ADR205	ADR204
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG3

ADREG3
0x4003_002C

	7	6	5	4	3	2	1	0
Bitsymbol	ADR303	ADR302	ADR301	ADR300	-	-	OVR3	ADR3RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR311	ADR310	ADR309	ADR308	ADR307	ADR306	ADR305	ADR304
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG4

ADREG4
0x4003_0030

	7	6	5	4	3	2	1	0
Bitsymbol	ADR403	ADR402	ADR401	ADR400	-	-	OVR4	ADR4RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR411	ADR410	ADR409	ADR408	ADR407	ADR406	ADR405	ADR404
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG5

ADREG5
0x4003_0034

	7	6	5	4	3	2	1	0
Bitsymbol	ADR503	ADR502	ADR501	ADR500	-	-	OVR5	ADR5RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR511	ADR510	ADR509	ADR508	ADR507	ADR506	ADR505	ADR504
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG6

ADREG6
0x4003_0038

	7	6	5	4	3	2	1	0
Bitsymbol	ADR603	ADR602	ADR601	ADR600	-	-	OVR6	ADR6RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR611	ADR610	ADR609	ADR608	ADR607	ADR606	ADR605	ADR604
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG7

ADREG7
0x4003_003C

	7	6	5	4	3	2	1	0
Bitsymbol	ADR703	ADR702	ADR701	ADR700	-	-	OVR7	ADR7RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR711	ADR710	ADR709	ADR708	ADR707	ADR706	ADR705	ADR704
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG8

ADREG8
0x4003_0040

	7	6	5	4	3	2	1	0
Bitsymbol	ADR803	ADR802	ADR801	ADR800	-	-	OVR8	ADR8RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR811	ADR810	ADR809	ADR808	ADR807	ADR806	ADR805	ADR804
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG9

ADREG9
0x4003_0044

	7	6	5	4	3	2	1	0
Bitsymbol	ADR903	ADR902	ADR901	ADR900	-	-	OVR9	ADR9RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR911	ADR910	ADR909	ADR908	ADR907	ADR906	ADR905	ADR904
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG10

ADREG10
0x4003_0048

	7	6	5	4	3	2	1	0
Bitsymbol	ADR1003	ADR1002	ADR1001	ADR1000	-	-	OVR10	ADR10RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR1011	ADR1010	ADR1009	ADR1008	ADR1007	ADR1006	ADR1005	ADR1004
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

ADREG11

ADREG11
0x4003_004C

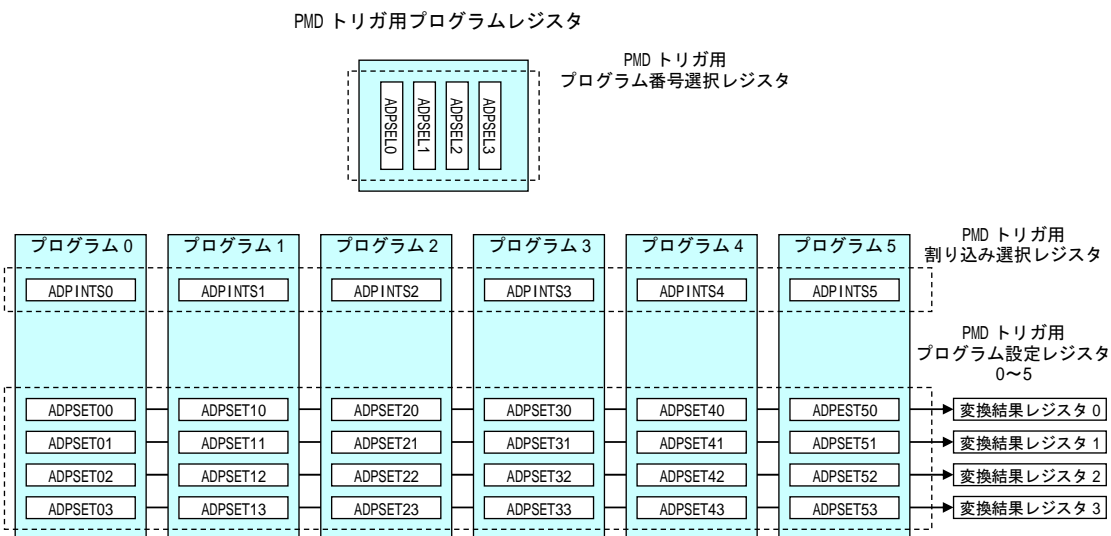
	7	6	5	4	3	2	1	0
Bitsymbol	ADR1103	ADR1102	ADR1101	ADR1100	-	-	OVR11	ADR11RF
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 0~3 ビット格納				常に 0 が READ されま す	常に 0 が READ されま す	"Over Run フ ラグ 0: 発生なし 1: 発生あり"	"AD 変換結果 格納フラグ 0: 変換結果な し 1: 変換結果あ り"
	15	14	13	12	11	10	9	8
Bitsymbol	ADR1111	ADR1110	ADR1109	ADR1108	ADR1107	ADR1106	ADR1105	ADR1104
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	A/D 変換結果値 4~11 ビット格納							

11.3.5 PMDトリガ用プログラムレジスタ

本 AD コンバータは PMD 回路（MTP 回路の PMD モード）が発生するトリガ信号によって AD 変換を開始することができます。

PMD トリガ用プログラムレジスタは PMD が発生する 4 種類のトリガによって起動するプログラム番号の設定、プログラム終了時に発生する割り込みの制御、AD 変換の AIN の設定などを行います。

PMD トリガ用プログラムレジスタは「PMD トリガ用プログラム番号選択レジスタ ADPSEL_p」、「PMD トリガ用割り込み選択レジスタ:ADPINTS_n」、「PMD トリガ用プログラム設定レジスタ:ADPSET_{nm}」の 3 種類のレジスタから構成されます。（ $p=0$ to 3, $n=0$ to 5, $m=0$ to 3）



「PMD トリガ用プログラム番号選択レジスタ : ADPSEL_p」は PMD トリガによる 4 種類 ($p=0\sim3$) の A/D 変換起動要因信号それぞれに対して、起動するプログラム番号を設定するレジスタです。プログラム番号は 0~5 まで設定できます。

「PMD トリガ用割り込み選択レジスタ:ADPINTS_n」はプログラムごとにプログラム終了時に発生させる割り込みの有無や種類を設定します。プログラム番号(n)は 0~5 まで設定できます。

「PMD トリガ用プログラム設定レジスタ:ADPSET_{nm}」はプログラム番号($n=0\sim5$)に対して、A/D 変換する AIN 番号を設定します。プログラム番号 1 つに対して PMD トリガ用プログラム設定レジスタは 4 個 ($m=0\sim3$) であり、4 個の設定レジスタの変換結果は、それぞれ変換結果格納レジスタ 0~3 (ADREG0~3 : $m=0\sim3$) に格納されます。

11.3.5.1 PMDトリガ用プログラム番号選択レジスタ ADPSELn

PMD からのトリガ入力に対して、それぞれのトリガごとに起動するプログラムを選択するレジスタです。

PMD が発生する 4 本のトリガ信号(PMDOTRG0~3)に対して、起動するプログラム番号 0~5 を選択するレジスタです。ADPSELO が PMDOTRG0 に対応し、ADPSEL3(PMDOTRG3)まで全部で 4 個あります。

ADPSELO : PMD トリガ用プログラム番号選択レジスタ 0

ADPSELO 0x4003_0050	7	6	5	4	3	2	1	0
Bitsymbol	PENSO	-	-	-	-	PMDS02	PMDS01	PMDS00
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	PMDOTRG0 トリガ制御 0: ディセーブル 1: イネーブル	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	プログラム番号選択 000: プログラム 0 100: プログラム 4 001: プログラム 1 101: プログラム 5 010: プログラム 2 110, 111: reserved 011: プログラム 3		

ADPSEL1 : PMD トリガ用プログラム番号選択レジスタ 1

ADPSEL1 0x4003_0054	7	6	5	4	3	2	1	0
Bitsymbol	PENS1	-	-	-	-	PMDS12	PMDS11	PMDS10
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	PMDOTRG1 トリガ制御 0: ディセーブル 1: イネーブル	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	プログラム番号選択 000: プログラム 0 100: プログラム 4 001: プログラム 1 101: プログラム 5 010: プログラム 2 110, 111: reserved 011: プログラム 3		

ADPSEL2 : PMD トリガ用プログラム番号選択レジスタ 2

ADPSEL2 0x4003_0058	7	6	5	4	3	2	1	0
Bitsymbol	PENS2	-	-	-	-	PMDS22	PMDS21	PMDS20
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	PMDOTRG2 トリガ制御 0: ディセーブル 1: イネーブル	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	常に 0 が READ されま す	プログラム番号選択 000: プログラム 0 100: プログラム 4 001: プログラム 1 101: プログラム 5 010: プログラム 2 110, 111: reserved 011: プログラム 3		

ADPSEL3 : PMD トリガ用プログラム番号選択レジスタ 3

ADPSEL3
0x4003_005C

	7	6	5	4	3	2	1	0
Bitsymbol	PENS3	-	-	-	-	PMDS32	PMDS31	PMDS30
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	PMDOTRG3 トリガ制御 0: ディセーブル 1: イネーブル	常に0がREADされません	常に0がREADされません	常に0がREADされません	常に0がREADされません	プログラム番号選択 000: プログラム 0 100: プログラム 4 001: プログラム 1 101: プログラム 5 010: プログラム 2 110,111: reserved 011: プログラム 3		

11.3.5.2 PMDトリガ用割り込み選択レジスタ ADPINTSn

プログラム番号 0~5 に対して、それぞれのプログラム番号ごとに起動する割り込み (INTADPD0, INTADPD1) を選択するレジスタです。ADPINTS0 がプログラム 0 に対応しており、ADPINTS5 (プログラム 5) まで全部で 6 個あります。

ADPINTS0 : PMD トリガ用割り込み選択レジスタ 0

ADPINTS0 0x4003_0080		7	6	5	4	3	2	1	0
Bitsymbol		-						INTSEL01	INTSEL00
Read/Write		R						R/W	
リセット後		0						0	
機能		常に 0 が READ されます						割り込み選択 00: 割り込み出力なし 01: INTADPD0 10: INTADPD1 11: 割り込み出力なし	

プログラム 0 に対して、起動する割り込みを選択するレジスタです。

ADPINTS1 : PMD トリガ用割り込み選択レジスタ 1

ADPINTS1 0x4003_0084		7	6	5	4	3	2	1	0
Bitsymbol		-						INTSEL11	INTSEL10
Read/Write		R						R/W	
リセット後		0						0	
機能		常に 0 が READ されます						割り込み選択 00: 割り込み出力なし 01: INTADPD0 10: INTADPD1 11: 割り込み出力なし	

プログラム 1 に対して、起動する割り込みを選択するレジスタです。

ADPINTS2 : PMD トリガ用割り込み選択レジスタ 2

ADPINTS2 0x4003_0088		7	6	5	4	3	2	1	0
Bitsymbol		-						INTSEL21	INTSEL20
Read/Write		R						R/W	
リセット後		0						0	
機能		常に 0 が READ されます						割り込み選択 00: 割り込み出力なし 01: INTADPD0 10: INTADPD1 11: 割り込み出力なし	

プログラム 2 に対して、起動する割り込みを選択するレジスタです。

ADPINTS3 : PMD トリガ用割り込み選択レジスタ 3

ADPINTS3 0x4003_008C		7	6	5	4	3	2	1	0
Bitsymbol		-						INTSEL31	INTSEL30
Read/Write		R						R/W	
リセット後		0						0	
機能		常に 0 が READ されます						割り込み選択 00: 割り込み出力なし 01: INTADPD0 10: INTADPD1 11: 割り込み出力なし	

プログラム 3 に対して、起動する割り込みを選択するレジスタです。

ADPINTS4 : PMD トリガ用割り込み選択レジスタ 4

ADPINTS4
0x4003_0090

	7	6	5	4	3	2	1	0
Bitsymbol	-						INTSEL41	INTSEL40
Read/Write	R						R/W	
リセット後	0						0	
機能	常に0が READ されます						割り込み選択 00: 割り込み出力なし 01: INTADPD0 10: INTADPD1 11: 割り込み出力なし	

プログラム 4 に対して、起動する割り込みを選択するレジスタです。

ADPINTS5 : PMD トリガ用割り込み選択レジスタ 5

ADPINTS5
0x4003_0094

	7	6	5	4	3	2	1	0
Bitsymbol	-						INTSEL51	INTSEL50
Read/Write	R						R/W	
リセット後	0						0	
機能	常に0が READ されます						割り込み選択 00: 割り込み出力なし 01: INTADPD0 10: INTADPD1 11: 割り込み出力なし	

プログラム 5 に対して、起動する割り込みを選択するレジスタです。

11.3.5.3 PMDトリガ用プログラム選択レジスタ ADPSETnm

PMD トリガ用プログラム選択レジスタ ADPSETnm ($m=0\sim 3$: 変換結果格納レジスタ、 $n=0\sim 5$: プログラム番号) は 6 個あり、それぞれのレジスタはさらに 4 個のレジスタから構成されています。これら 4 個のレジスタは AD 変換入力端子の選択を設定します。これら 4 つの設定レジスタの番号は変換結果格納レジスタの番号に対応しています。

<ENSPnm>を 1 にセットすると ADPSETnm をイネーブルにします。<AINSPnm 4:0>は AIN を選択します。プログラム設定レジスタの番号は変換結果レジスタ番号にそれぞれ対応しています ($m=0\sim 3$)。ADPSET0 は プログラム 0/変換結果レジスタ 0~3 に対応し、ADPSET5 (プログラム 5/変換結果レジスタ 0~3) までレジスタが全部で 6 個あります。

ADPSET0 : PMD トリガ用プログラム選択レジスタ 0

ADPSET0
0x4003_0098

	7	6	5	4	3	2	1	0
Bitsymbol	ENSP00	-	-	AINSP004	AINSP003	AINSP002	AINSP001	AINSP000
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG0 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSP01	-	-	AINSP014	AINSP013	AINSP012	AINSP011	AINSP010
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG1 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSP02	-	-	AINSP024	AINSP023	AINSP022	AINSP021	AINSP020
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG2 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSP03	-	-	AINSP034	AINSP033	AINSP032	AINSP031	AINSP030
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG3 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADPSET1 : PMD トリガ用プログラム選択レジスタ 1

ADPSET1
0x4003_009C

	7	6	5	4	3	2	1	0
Bitsymbol	ENSP10	-	-	AINSP104	AINSP103	AINSP102	AINSP101	AINSP100
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG0 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSP11	-	-	AINSP114	AINSP113	AINSP112	AINSP111	AINSP110
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG1 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSP12	-	-	AINSP124	AINSP123	AINSP122	AINSP121	AINSP120
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG2 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSP13	-	-	AINSP134	AINSP133	AINSP132	AINSP131	AINSP130
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG3 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADPSET2 : PMD トリガ用プログラム選択レジスタ 2

ADPSET2
0x4003_00A0

	7	6	5	4	3	2	1	0
Bitsymbol	ENSP20	-	-	AINSP204	AINSP203	AINSP202	AINSP201	AINSP200
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG0 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSP21	-	-	AINSP214	AINSP213	AINSP212	AINSP211	AINSP210
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG1 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSP22	-	-	AINSP224	AINSP223	AINSP222	AINSP221	AINSP220
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG2 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSP23	-	-	AINSP234	AINSP233	AINSP232	AINSP231	AINSP230
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG3 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADPSET3 : PMD トリガ用プログラム選択レジスタ 3

ADPSET3
0x4003_00A4

	7	6	5	4	3	2	1	0
Bitsymbol	ENSP30	-	-	AINSP304	AINSP303	AINSP302	AINSP301	AINSP300
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG0 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSP31	-	-	AINSP314	AINSP313	AINSP312	AINSP311	AINSP310
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG1 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSP32	-	-	AINSP324	AINSP323	AINSP322	AINSP321	AINSP320
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG2 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSP33	-	-	AINSP334	AINSP333	AINSP332	AINSP331	AINSP330
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG3 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADPSET4 : PMD トリガ用プログラム選択レジスタ 4

ADPSET4
0x4003_00A8

	7	6	5	4	3	2	1	0
Bitsymbol	ENSP40	-	-	AINSP404	AINSP403	AINSP402	AINSP401	AINSP400
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG0 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSP41	-	-	AINSP414	AINSP413	AINSP412	AINSP411	AINSP410
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG1 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSP42	-	-	AINSP424	AINSP423	AINSP422	AINSP421	AINSP420
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG2 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSP43	-	-	AINSP434	AINSP433	AINSP432	AINSP431	AINSP430
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG3 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADPSET5 : PMD トリガ用プログラム選択レジスタ 5

ADPSET5
0x4003_00AC

	7	6	5	4	3	2	1	0
Bitsymbol	ENSP50	-	-	AINSP504	AINSP503	AINSP502	AINSP501	AINSP500
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG0 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSP51	-	-	AINSP514	AINSP513	AINSP512	AINSP511	AINSP510
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG1 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSP52	-	-	AINSP524	AINSP523	AINSP522	AINSP521	AINSP520
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG2 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSP53	-	-	AINSP534	AINSP533	AINSP532	AINSP531	AINSP530
Read/Write	R/W	R/W		R/W				
リセット後	0	0		0				
機能	REG3 イネーブル 0:disable 1:enable	Reserved		AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

11.3.6 タイマトリガ用プログラムレジスタ ADTSET

本 AD コンバータはタイマ 5(TMRB5)の INTTB51 をトリガ信号として AD 変換を開始する事ができます。

タイマトリガ用プログラムレジスタは 12 個の設定レジスタから構成されます。<ENSTm>を 1 にセットすると ADTSETm をイネーブルにします。<AINSTm 4:0>は AIN を選択します。

設定レジスタの番号は変換結果レジスタ番号(m=0~11)にそれぞれ対応しています。

ADTSET0 は変換結果レジスタ 0 に対応し、ADTSET11(変換値レジスタ 11)まで全部で 12 個あります。

タイマトリガによる AD 変換が終了すると割り込み(INTADTMR)を発生します。

ADTSET03 : タイマトリガ用プログラムレジスタ 03

ADTSET03
0x4003_00B0

	7	6	5	4	3	2	1	0
Bitsymbol	ENST0	-	-	AINST04	AINST03	AINST02	AINST01	AINST00
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG0 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENST1	-	-	AINST14	AINST13	AINST12	AINST11	AINST10
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG1 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENST2	-	-	AINST24	AINST23	AINST22	AINST21	AINST20
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG2 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENST3	-	-	AINST34	AINST33	AINST32	AINST31	AINST30
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG3 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADTSET47 : タイマトリガ用プログラムレジスタ 47

ADTSET47
0x4003_00B4

	7	6	5	4	3	2	1	0
Bitsymbol	ENST4	-	-	AINST44	AINST43	AINST42	AINST41	AINST40
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG4 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENST5	-	-	AINST54	AINST53	AINST52	AINST51	AINST50
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG5 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENST6	-	-	AINST64	AINST63	AINST62	AINST61	AINST60
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG6 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENST7	-	-	AINST74	AINST73	AINST72	AINST71	AINST70
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG7 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADTSET811 : タイマトリガ用プログラムレジスタ 811

ADTSET811
0x4003_00B8

	7	6	5	4	3	2	1	0
Bitsymbol	ENST8	-	-	AINST84	AINST83	AINST82	AINST81	AINST80
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG8 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENST9	-	-	AINST94	AINST93	AINST92	AINST91	AINST90
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG9 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENST10	-	-	AINST104	AINST103	AINST102	AINST101	AINST100
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG10 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENST11	-	-	AINST114	AINST113	AINST112	AINST111	AINST110
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG11 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

11.3.7 ソフトウェアトリガ用プログラムレジスタADSSETm

本 AD 変換はソフトウェアによって AD 変換を開始する事ができます。ソフトウェアトリガ用のプログラムレジスタは 12 個の設定レジスタから構成されます。

<ENSSm>を 1 にセットすると ADSSETm をイネーブルにします。<AINSSm 4:0>は AIN を選択します。プログラム設定レジスタの番号(m=0~11)は変換結果レジスタ番号にそれぞれ対応しており、レジスタは全部で 12 個あります。

ソフトウェアトリガによる AD 変換が終了すると割り込み(INTADSFT)が発生します。

ADSSET03 : ソフトウェアトリガ用プログラムレジスタ 03

ADSSET03
0x4003_00BC

	7	6	5	4	3	2	1	0
Bitsymbol	ENSS0	-	-	AINSS04	AINSS03	AINSS02	AINSS01	AINSS00
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG0 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSS1	-	-	AINSS14	AINSS13	AINSS12	AINSS11	AINSS10
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG1 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSS2	-	-	AINSS24	AINSS23	AINSS22	AINSS21	AINSS20
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG2 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSS3	-	-	AINSS34	AINSS33	AINSS32	AINSS31	AINSS30
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG3 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADSSET47 : ソフトウェアトリガ用プログラムレジスタ 47

ADSSET47
0x4003_00C0

	7	6	5	4	3	2	1	0
Bitsymbol	ENSS4	-	-	AINSS44	AINSS43	AINSS42	AINSS41	AINSS40
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG4 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111: reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSS5	-	-	AINSS54	AINSS53	AINSS52	AINSS51	AINSS50
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG5 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111: reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSS6	-	-	AINSS64	AINSS63	AINSS62	AINSS61	AINSS60
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG6 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111: reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSS7	-	-	AINSS74	AINSS73	AINSS72	AINSS71	AINSS70
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG7 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111: reserved)				

ADSSET811 : ソフトウェアトリガ用プログラムレジスタ 811

ADSSET811
0x4003_00C4

	7	6	5	4	3	2	1	0
Bitsymbol	ENSS8	-	-	AINSS84	AINSS83	AINSS82	AINSS81	AINSS80
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG8 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (1001~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSS9	-	-	AINSS94	AINSS93	AINSS92	AINSS91	AINSS90
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG9 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSS10	-	-	AINSS104	AINSS103	AINSS102	AINSS101	AINSS100
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG10 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSS11	-	-	AINSS114	AINSS113	AINSS112	AINSS111	AINSS110
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG11 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA14 (100101 ~ 11111:reserved)				

11.3.8 常時変換用プログラムレジスタ ADASET

本 AD コンバータは常時変換状態に設定する事が出来ます。常時変換用のプログラムレジスタは 12 個の設定レジスタから構成されます。設定レジスタの番号は変換結果レジスタ番号 ($m=0\sim 11$) にそれぞれ対応しています。常時変換用プログラムレジスタの $\langle \text{ENSA}_m \rangle$ を 1 にセットすると ADPSET_m をイネーブルにします。 $\langle \text{AINS}_m 4:0 \rangle$ は AIN を選択します。レジスタは全部で 12 個あります。

ADASET03 : 常時変換用プログラムレジスタ 03

ADASET03
0x4003_00C8

	7	6	5	4	3	2	1	0
Bitsymbol	ENSA0	-	-	AINSA04	AINSA03	AINSA02	AINSA01	AINSA00
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG0 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSA1	-	-	AINSA14	AINSA13	AINSA12	AINSA11	AINSA10
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG1 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSA2	-	-	AINSA24	AINSA23	AINSA22	AINSA21	AINSA20
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG2 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSA3	-	-	AINSA34	AINSA33	AINSA32	AINSA31	AINSA30
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG3 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADASET47 : 常時変換用プログラムレジスタ 47

ADASET47
0x4003_00CC

	7	6	5	4	3	2	1	0
Bitsymbol	ENSA4	-	-	AINSA44	AINSA43	AINSA42	AINSA41	AINSA40
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG4 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSA5	-	-	AINSA54	AINSA53	AINSA52	AINSA51	AINSA50
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG5 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSA6	-	-	AINSA64	AINSA63	AINSA62	AINSA61	AINSA60
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG6 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSA7	-	-	AINSA74	AINSA73	AINSA72	AINSA71	AINSA70
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG7 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

ADASET811 : 常時変換用プログラムレジスタ 811

ADASET811
0x4003_00D0

	7	6	5	4	3	2	1	0
Bitsymbol	ENSA8	-	-	AINSA84	AINSA83	AINSA82	AINSA81	AINSA80
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG8 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	15	14	13	12	11	10	9	8
Bitsymbol	ENSA9	-	-	AINSA94	AINSA93	AINSA92	AINSA91	AINSA90
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG9 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	23	22	21	20	19	18	17	16
Bitsymbol	ENSA10	-	-	AINSA104	AINSA103	AINSA102	AINSA101	AINSA100
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG10 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				
	31	30	29	28	27	26	25	24
Bitsymbol	ENSA11	-	-	AINSA114	AINSA113	AINSA112	AINSA111	AINSA110
Read/Write	R/W	R	R	R/W				
リセット後	0	0	0	0				
機能	REG11 イネーブル 0:disable 1:enable	常に0が READ されま す	常に0が READ されま す	AIN 選択 00000:AINA0 00001:AINA1 : 10001:AINA17 (10010 ~ 11111:reserved)				

11.4 動作説明

11.4.1 アナログ基準電圧

アナログ基準電圧は AD コンバータの AVDD5, AVSS 端子それぞれ High、Low のレベルを入力します。また、ADMOD3<RCUT>を "1" にする事で AVDD5 と AVSS 間に流れる電流を制御して消費電流を削減できます。ADC 使用時には "0" を書いてください。

注) AD 変換精度への影響を避けるために AD 動作(変換)中は出力ポートとして使用しているポート H/I/J の出力データを書き換えないようにしてください。

11.4.2 AD変換開始

AD コンバータはソフトウェアによる起動 (ソフトウェアトリガ) または MPT(PMD モード)/タイマからのトリガ信号により任意の AD が変換開始します。トリガ要因は下記の 3 種類があります。

- ・ PMD トリガ (11.3.5 PMD トリガ用プログラム設定レジスタ参照)
- ・ タイマトリガ (タイマ5) (11.3.6 タイマトリガ用プログラム設定レジスタ参照)
- ・ ソフトトリガ (11.3.7 ソフトウェアトリガ用プログラムレジスタ参照)

またこれらの起動要因は優先順位があり

PMD トリガ 0 > PMD トリガ 1 > ... > トリガ 3 > タイマ > ソフトウェア > 常時

となっています。

なお、AD 変換のプログラム実行中に PMD トリガが発生すると実行中の AD 変換を中止して直ちに PMD トリガのプログラムを実行します。その他の上位要因が発生時は現在の AD 変換終了後に上位のプログラムに移行します。

トリガ要因発生から実際の AD 変換実行までには遅れがあります。トリガ要因による AD 変換タイミングと遅延時間を以下に示します。

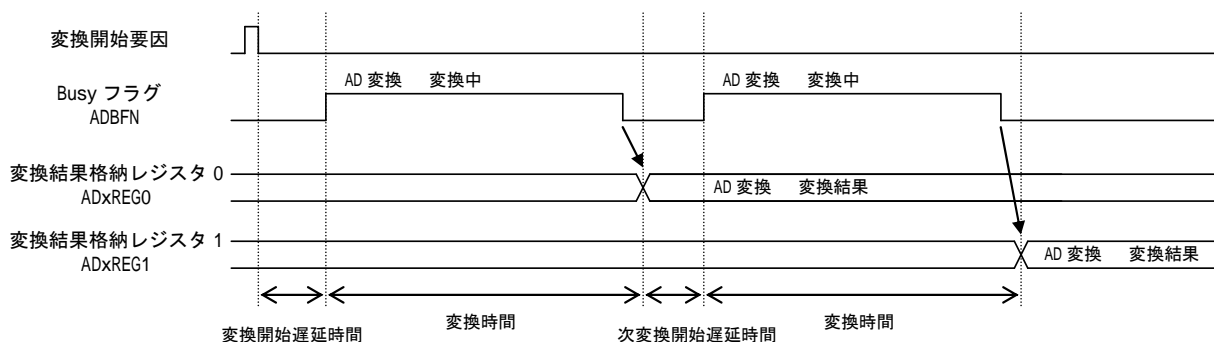


図 11-2 A/D 変換開始動作タイミングチャート

表 11-2 A/D 変換時間 (SCLK=40MHz)

[μ s]

	変換開始要因	fsys=40MHz	
		MIN	MAX
開始遅延時間 1	PMD	0.225	0.3
	TMRB	0.225	0.5
	ソフトウェア, 常時変換	0.25	0.525
AD 変換時間	—	1.85	
次変換開始遅延時間 2	PMD	0.175	0.225
	TMRB, ソフトウェア, 常時変換	0.175	0.425

1 変換開始要因発生から AD 変換開始までの時間

2 同一変換開始要因で複数の変換を設定する場合の 2 番目以降の開始遅延時間

11.4.3 AD監視機能

本 AD コンバータには AD 監視機能があり、監視機能有効時に比較条件と一致した場合、割り込みが発生します。

ADCMPCRO<CMPOEN>または ADCMPCR1<CMP1EN>に"1"を設定すると AD 監視機能が有効になり、<REGSxx>で指定された変換結果格納レジスタの内容が比較レジスタの値以上または以下になると AD 監視機能割り込みが発生します。(<ADBIGx>で以上か以下を指定)

比較動作は監視機能が設定された変換結果格納レジスタに対し、変換結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。

注1)AD 監視機能による比較動作では AD 変換結果格納フラグ<ADR_xRF>はクリアされません。
注2)AD 監視機能は通常の読み出し動作と異なりますので、ソフトによる変換結果読み出し無しに連続して AD 変換がおこなわれる場合は、Over Run フラグ<OVR_x>が"1"にセットされます。

11.5 AD変換タイミングチャート

ソフトウェア AD 変換、常時 AD 変換、PMD トリガ/タイマトリガ受け付け時のタイミングチャートを以下に示します。

11.5.1 ソフトウェアAD変換

ソフトウェアAD変換では、ADSSET03, ADSSET47, ADSSET811 でプログラムされたAD変換が終了時に割り込みが発生します (図 11-3)。

ソフトウェアAD変換中にADM0D1<ADEN>="0"とした場合、実行中のAD変換を終了します。このとき、変換途中の結果はレジスタには格納されません (図 11-4)。

【設定条件】

ソフトウェアトリガ設定 : AIN0、AIN1、AIN2、AIN3

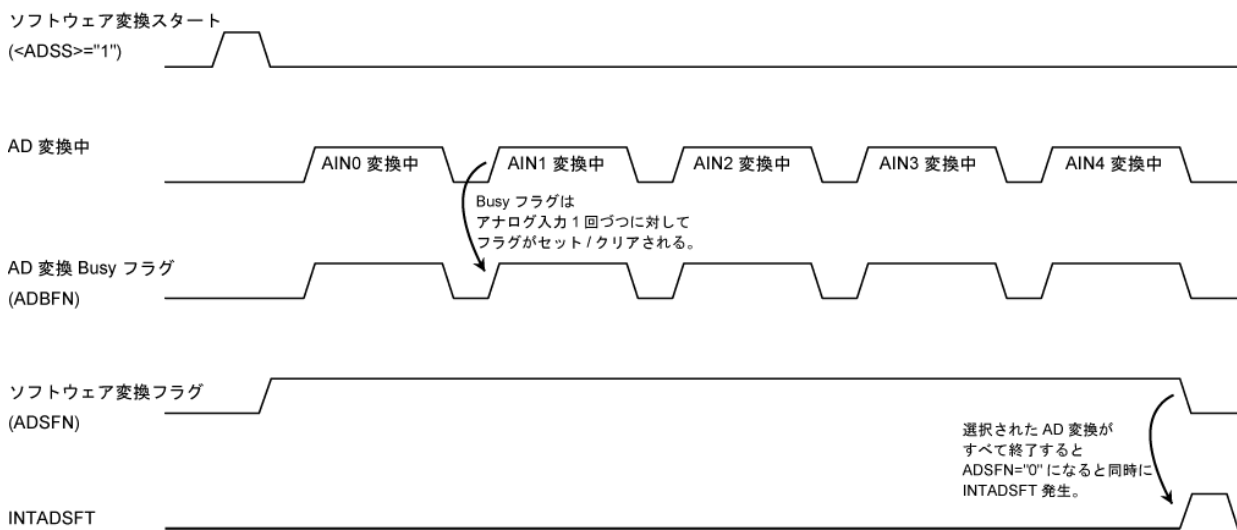


図 11-3 ソフトウェア AD 変換時のタイミングチャート

【設定条件】

ソフトウェアトリガ設定 : AIN0、AIN1、AIN2

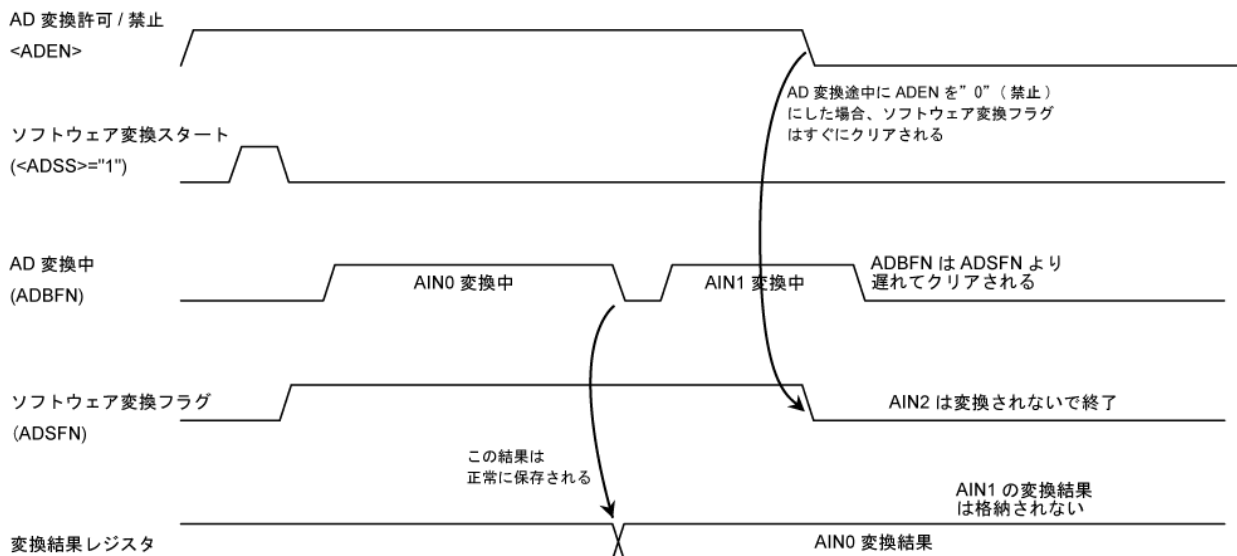


図 11-4 ソフトウェア AD 変換中に ADEN="0"書き込み (AINA0, AIAN1, AINA2 でのソフトウェア AD 変換設定時)

11.5.2 常時AD変換

常時AD変換では、変換結果を読み出す前に次のAD変換が終了した場合、Over Runフラグが"1"にセットされます。このとき、変換結果レジスタは後続のデータによって上書きされます。Over Runフラグは変換結果を読み出すことにより"0"にクリアされます（図 11-5）。

【設定条件】

常時変換設定：AIN0

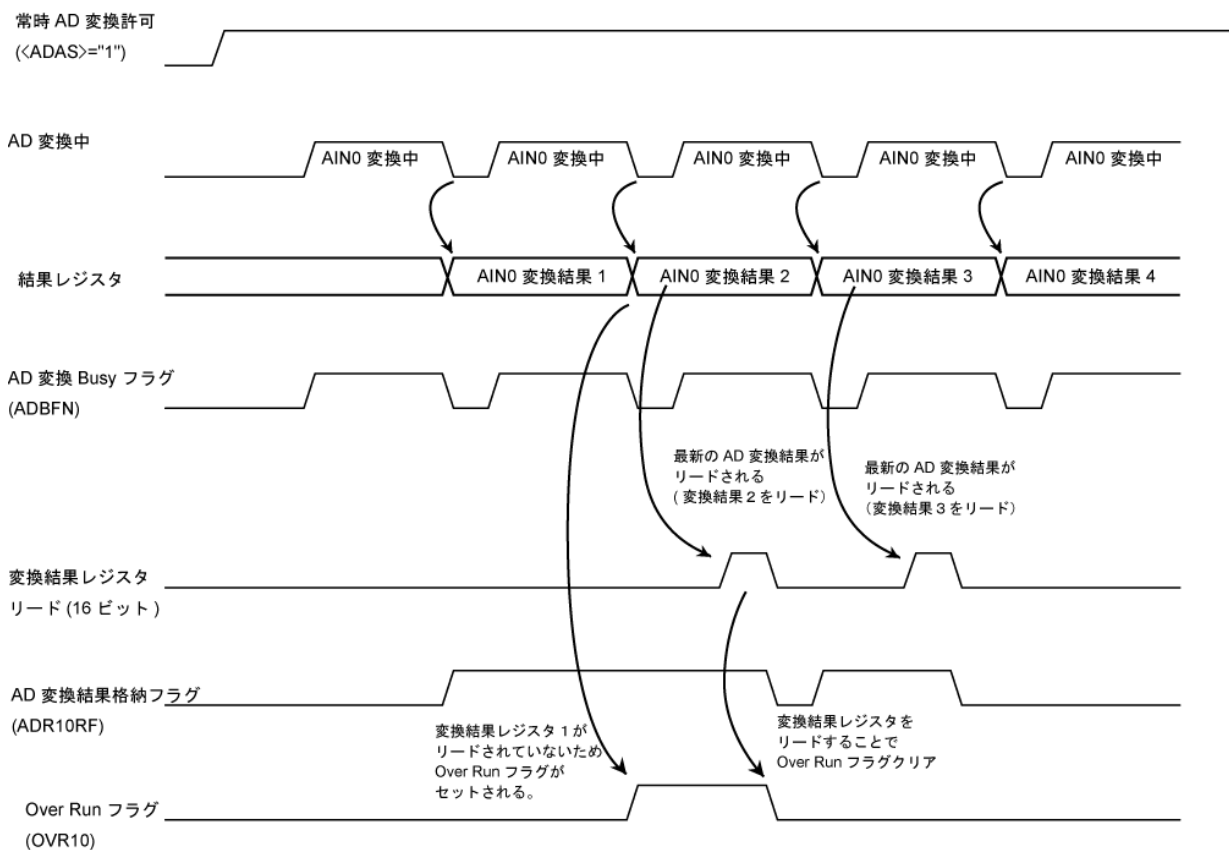


図 11-5 常時 AD 変換時のタイミングチャート

11.5.3 トリガによるAD変換開始

ソフトウェアAD変換実行中にPMDトリガが発生した場合、ソフトウェアAD変換は直ちに中断します (図 11-6)。タイマトリガの場合は実行中のAD変換が終了してから、タイマトリガによるAD変換を開始します (図 11-7)。なお、トリガによるAD変換が終了後、ソフトウェアAD変換は設定されたプログラムの最初からAD変換を開始します (図 11-8)。

【設定条件】

ソフトウェアトリガ設定 : AIN0、AIN1、AIN2

PMDトリガ設定 : AIN4

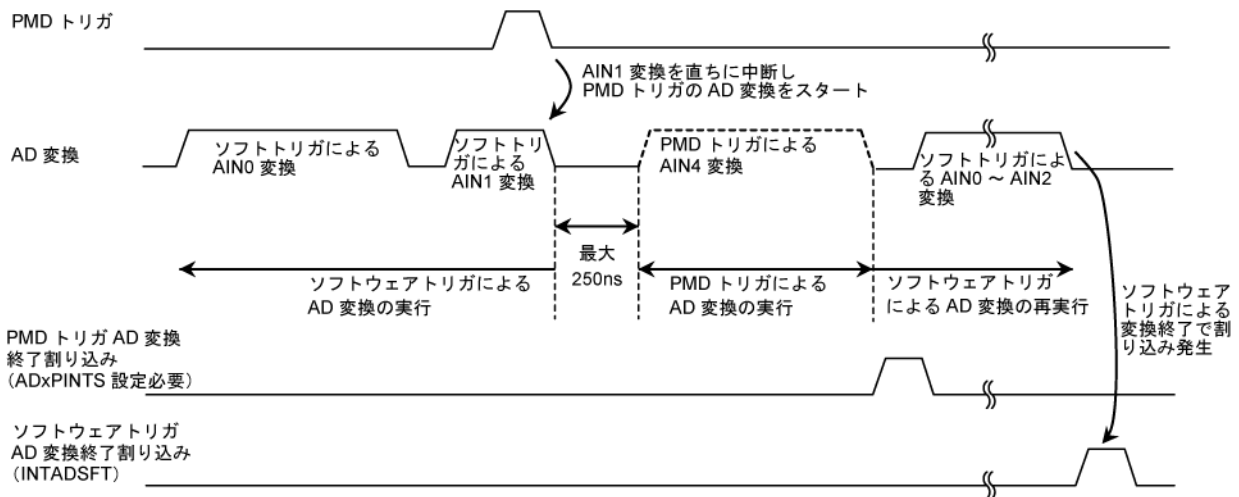


図 11-6 ソフトウェア AD 変換中の PMDトリガ発生

【設定条件】

ソフトウェアトリガ設定 : AIN0

タイマトリガ設定 : AIN1

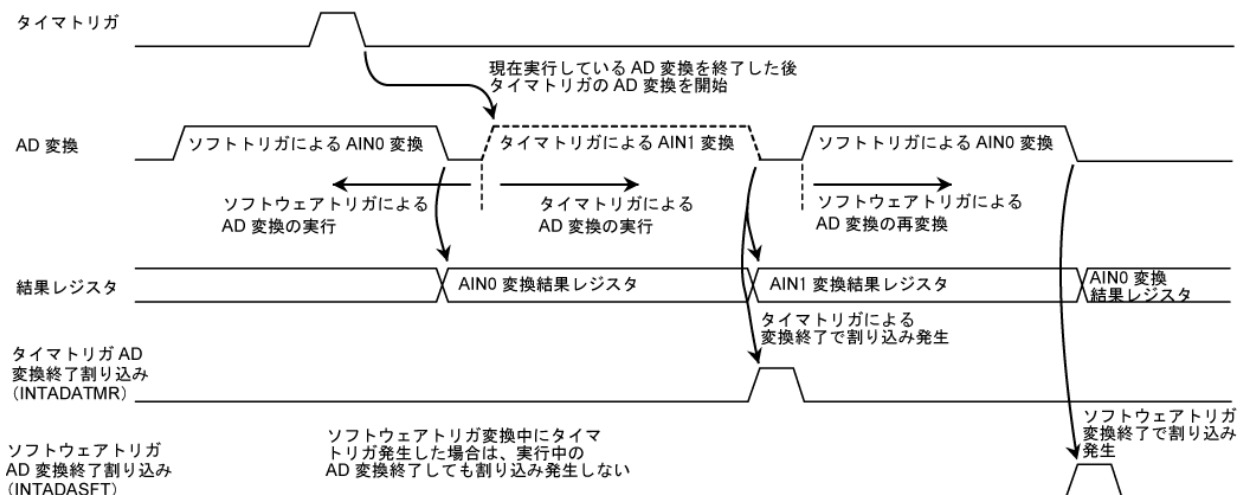


図 11-7 ソフトウェア AD 変換中のタイマトリガ発生(1)

【設定条件】

ソフトウェアトリガ設定 : AIN0、AIN1、AIN2

タイマトリガ設定 : AIN1

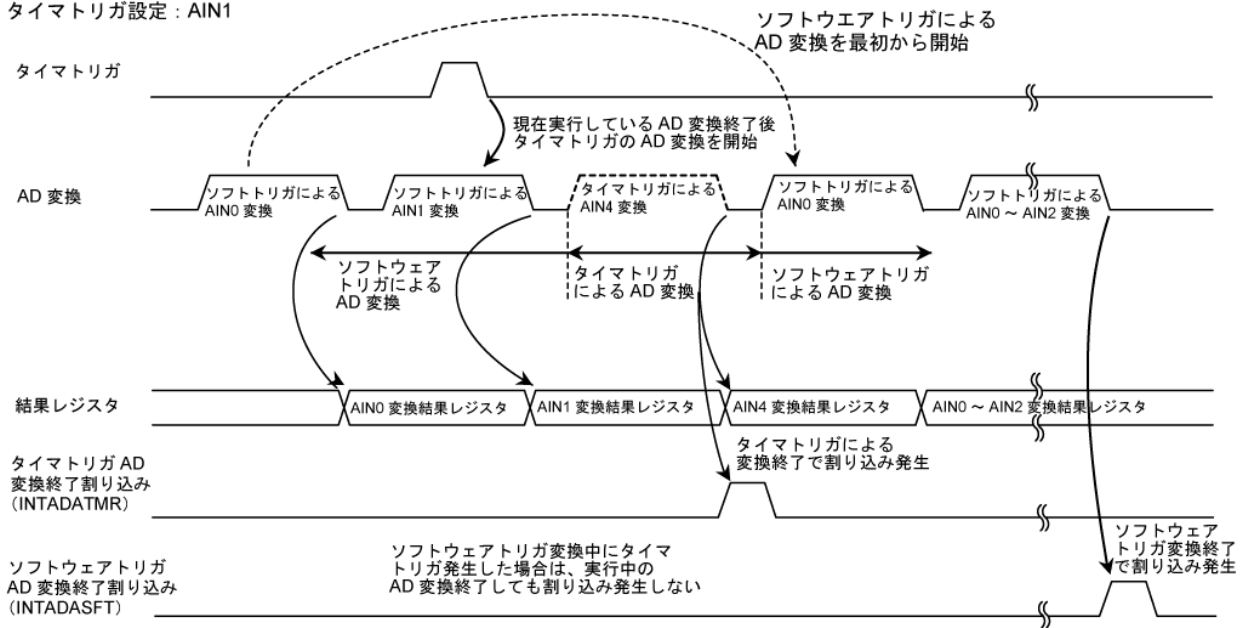


図 11-8 ソフトウェア AD 変換中のタイマトリガ発生(2)

AD コンバータ使用時の注意

電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。
AD 変換中に AD 入力に兼用となっている端子への入力及び端子出力を変化させる、または AD 変換中に出力ポートに設定している端子の出力電流が変動すると AD 変換精度が低下することがあります。プログラムで複数回の変換結果の平均値をとるなどして対策して下さい。

12 エンコーダ入力回路 (ENC)

重要

TMPM382(64ピン版)には、エンコーダ入力回路(ENC0、ENC1)はありません。それらに関する機能は使用しないでください。

TMPM380FY は、エンコーダ入力回路を 2 チャンネル (ENC0, 1) 内蔵しています。インクリメンタルエンコーダの信号を直接入力し、モータの絶対位置を容易に得ることができます。

本章はENC0の説明となります。ENC1については表 12-1、表 12-2、表 12-3に従ってレジスタ名、割り込み要因、端子名を読み替えてください。

表 12-1 エンコーダレジスタ一覧

レジスタ名	ENC0		ENC1	
	レジスタ Symbol	レジスタ アドレス	レジスタ Symbol	レジスタ アドレス
エンコーダ入力制御レジスタ	EN0TNCR	0x4001_0400	EN1TNCR	0x4001_0500
エンコーダカウンタリロードレジスタ	EN0RELOAD	0x4001_0404	EN1RELOAD	0x4001_0504
エンコーダ比較レジスタ	EN0INT	0x4001_0408	EN1INT	0x4001_0508
エンコーダカウンタ	EN0CNT	0x4001_040C	EN1CNT	0x4001_050C

表 12-2 割り込み要因

割り込み要因	ENC0	ENC1
エンコーダ入力割り込み	INTENC0	INTENC1

表 12-3 端子名

端子名	ENC0	ENC1
A 相入力端子	PD0/ENCA0 端子	PF2/ENCA1 端子
B 相入力端子	PD1/ENCB0 端子	PF3/ENCB1 端子
Z 相入力端子	PD2/ENCZ0 端子	PF4/ENCZ1 端子

12.1 概要

エンコーダ入力回路は、エンコーダモード、センサモード (2 種類)、タイマモードの 4 つの動作モードに対応しています。また、以下の機能を有しています。

- インクリメンタルエンコーダおよびホール IC センサ対応 (センサ信号を直接入力可能)
- 汎用 24 ビットタイマ機能
- 4 通倍 (6 通倍) 回路内蔵
- 回転方向検出回路内蔵
- カウンタ (24 ビット) 内蔵
- コンペア許可/禁止設定可能
- 割り込み出力 1 本
- 入力信号についてデジタルノイズフィルタ内蔵

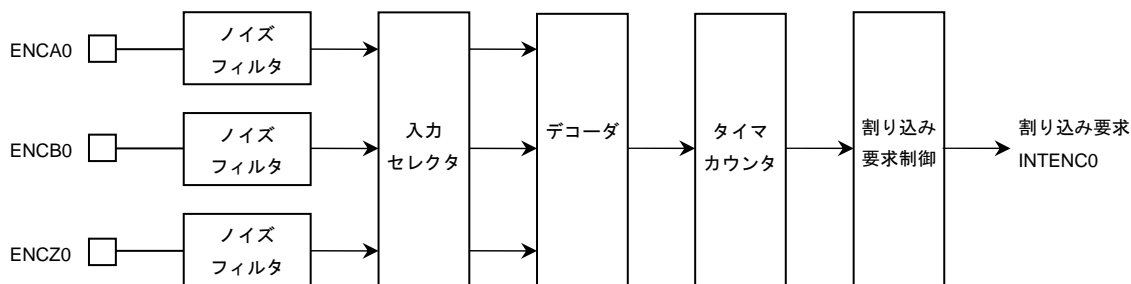


図 12-1 エンコーダ入力回路ブロック図

12.1.1 エンコーダモード

高速位置センサ対応 (位相判定) で、AB エンコーダ入力および ABZ エンコーダ入力に対応しています。

- イベント検出 (回転パルス) ... 割り込み発生
- イベントカウント ... 一致割り込み発生 (移動量測定)
- 回転方向検出
- アップダウンカウント (動作中随時変更可能)
- カウンタ周期設定可能

12.1.2 センサモード

低速位置センサ対応 (零クロス判定) で、UV ホールセンサ入力および UVW ホールセンサ入力に対応しています。

イベントカウントモードとタイマカウントモード (fsys でカウント) の 2 種類があります。

12.1.2.1 イベントカウントモード

- イベント検出 (回転パルス) ... 割り込み発生
- イベントカウント ... 一致割り込み発生 (移動量測定)
- 回転方向検出

12.1.2.2 タイマカウントモード

- イベント検出 (回転パルス) ... 割り込み発生
- タイマカウント
- 回転方向検出
- キャプチャ機能 ... イベントキャプチャ (イベント間隔測定) ... 割り込み発生
ソフトキャプチャ
- 未検出時間によるエラー (タイマコンペア) ... 一致割り込み発生
- 反転検出エラー ... 回転方向変化によるエラーフラグ

12.1.3 タイマモード

汎用 24 ビットタイマとして使用できます。

- 24 ビットアップカウンタ
- カウンタクリア制御 (ソフトクリア、タイマクリア、外部トリガ、フリーランカウント)
- コンペア機能 ... 一致割り込み発生
- キャプチャ機能 ... 外部トリガキャプチャ ... 割り込み発生
ソフトキャプチャ

12.2 制御

エンコーダ 0 入力制御レジスタ

EN0TNCR (0x4001_0400)	31	30	29	28	27	26	25	24	
Bit Symbol	-	-	-	-	-	-	-	-	
Read/Write	R	R	R	R	R	R	R	R	
リセット後	0	0	0	0	0	0	0	0	
機能	常に "0" が READ されます								
	23	22	21	20	19	18	17	16	
Bit Symbol	-	-	-	-	-	MODE1	MODE0	P3EN	
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0	
機能	常に "0" が READ されます					エンコーダ入力モード設定 00: エンコーダモード 01: センサモード(イベントカウンタ) 10: センサモード(タイマカウンタ) 11: タイマモード		[センサモード時] 2相/3相入力選択 0: 2相入力 1: 3相入力	
	15	14	13	12	11	10	9	8	
Bit Symbol	CMP	REVERR	UD	ZDET	SFTCAP	ENCLR	ZESSEL	CMPEN	
Read/Write	R	R	R	R	W	W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0	
機能	コンペア発生フラグ 0: - 1: コンペア発生 (RD でクリア)	[センサモード(タイマカウンタ)時] 反転エラーフラグ 0: - 1: エラー発生 (RD でクリア)	エンコーダ回転方向 0: CCW 1: CW	Z相通過検出 0: 非検出 1: Z検出	[センサモード(タイマカウンタ)時] ソフトキャプチャ実行 0: - 1: ソフトキャプチャ	エンコーダパルスカウンタ クリア 0: - 1: クリア	[タイマモード時] ENCZの使用エッジ選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ	コンペアイネーブル 0: コンペア実行しない 1: コンペア実行する	
	7	6	5	4	3	2	1	0	
Bit Symbol	ZEN	ENRUN	NR1	NR0	INTEN	ENDEV2	ENDEV1	ENDEV0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0	
機能	Z相イネーブル 0: ディセーブル 1: イネーブル	エンコーダ動作イネーブル 0: ディセーブル 1: イネーブル	ノイズフィルタ 00: フィルタ無し 01: 31/fsys 未満のパルスはノイズとして除去 (387.5ns@80MHz) 10: 63/fsys 未満のパルスはノイズとして除去 (787.5ns@80MHz) 11: 127/fsys 未満のパルスはノイズとして除去 (1587ns@80MHz)	エンコーダ割り込みイネーブル 0: ディセーブル 1: イネーブル	エンコーダパルス分周比 000: 1分周 001: 2分周 010: 4分周 011: 8分周 100: 16分周 101: 32分周 110: 64分周 111: 128分周				

(説明)

<MODE1:0> : 動作モード選択

"00": エンコーダモード

"01": センサモード (イベントカウンタ)

"10": センサモード (タイマカウンタ)

"11": タイマモード

動作モードを選択します。

動作モードは<MODE1:0>、<ZEN>、<P3EN>により決定し、全部で8種類の設定があります。動作モードの設定表を以下に示します。

<MODE1>	<MODE0>	<ZEN>	<P3EN>	入力端子	モード
0	0	0	0	A,B	エンコーダモード
		1		A,B,Z	エンコーダモード (Z使用)
0	1	0	0	U,V	センサモード (イベントカウント、2相入力)
			1	U,V,W	センサモード (イベントカウント、3相入力)
1	0	0	0	U,V	センサモード (タイマカウント、2相入力)
			1	U,V,W	センサモード (タイマカウント、3相入力)
1	1	0	0	-	タイマモード
		1		Z	タイマモード (Z使用)

<P3EN> : 2相/3相入力選択

"0": 2相入力

"1": 3相入力

入力信号の数を設定します。

<P3EN> に "0" が書き込まれると、2相入力をエンコードします。

<P3EN> に "1" が書き込まれると、3相入力をエンコードします。

注) エンコーダモード、タイマモードの場合は、必ず <P3EN> = "0" に設定してください。

<CMP> : コンペア発生フラグ

"0": -

"1": コンペア動作発生

コンペアが実施されると <CMP> が "1" にセットされます。

値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。このビットに値を書き込んでも何も起こりません。

<REVERR> : 反転エラー

"0": -

"1": 反転エラー発生

センサモード (タイマカウント) 時、反転エラーが発生すると <REVERR> が "1" にセットされます。値を読み出すとフラグがクリアされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。

このビットに値を書き込んでも何も起こりません。

エンコーダモード、センサモード (イベントカウント) およびタイマモードの場合、このビットは意味を持ちません。

注) モードを変更した後は、必ず最初にフラグをリードし、クリアしてください。

<UD> : エンコーダ回転方向

"0": CCW 方向

"1": CW 方向

モータが CW 方向 (インクリメンタルからエンコーダ信号の A 相が B 相に対して 90°進んでいる状態) に回転しているときは "1"、CCW 方向 (インクリメンタルからエンコーダ信号の A 相が B 相に対して 90°遅れている状態) に回転しているときは "0" がセットされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。

<ZDET> : Z 相通過検出

"0": Z 非検出

"1": Z 検出

<ENRUN> = "0" → "1" 変化後の Z 相入力 (ENCZ) の最初の検出エッジ (インクリメンタル型エンコーダ信号の Z 相の立ち上がりエッジ (CW 方向)、もしくは立ち下がりエッジ (CCW 方向)) のタイミングで "1" がセットされます。また、<ENRUN> = "0" のときは常に "0" がセットされます。

このビットの動作は <ZEN> の値とは無関係です。

センサモード (イベントカウント) およびセンサモード (タイマカウント) の場合、このビットは常に "0" です。

<SFTCAP> : ソフトキャプチャ実行

"0": -

"1": キャプチャ

<SFTCAP> に "1" が書き込まれると、エンコーダカウンタの値をキャプチャし、ENCNT レジスタに格納します。

"0" を書き込んでも何も起こりません。また、リードは常に "0" です。

エンコーダモードおよびセンサモード (イベントカウント) の場合、このビットは意味を持たず、"1" を書き込んでも何も起こりません。

<ENCLR> : エンコーダカウンタクリア

"0": -

"1": クリア

<ENCLR> に "1" が書き込まれると、エンコーダカウンタは 0 クリアされます。クリアされた後は、再びカウントを始めます。"0" を書き込んでも何も起こりません。また、リードは常に "0" です。

<ZESEL> : Z トリガエッジ選択

"0": ENCZ 入力の立ち上がりエッジを外部トリガとして使用

"1": ENCZ 入力の立ち下がりエッジを外部トリガとして使用

タイマモード時、外部トリガとして使用する ENCZ 入力のエッジを選択します。他のモードの場合、このビットは意味を持ちません。

<CMPEN> : コンペア実施イネーブル

"0":ディセーブル

"1":イネーブル

<CMPEN>に"1"が書き込まれると、エンコーダカウンタのカウント値と ENINT レジスタ値のコンペアを実施します。<CMPEN>に"0"が書き込まれると、コンペアを実施しません。

<ZEN> : Z相イネーブル

"0":ディセーブル

"1":イネーブル

・ エンコーダモード時

ENCZ 入力によるエンコーダカウンタのクリアを設定します。

<ZEN>="1"のとき、CW 方向に回転しているときは ENCZ の立ち上がりエッジ検出してエンコーダカウンタが 0 クリアされ、CCW 方向に回転しているときは ENCZ の立ち下がりエッジ検出してエンコーダカウンタが 0 クリアされます。ENCLK (A 相、B 相信号を 4 通り倍したクロック) タイミングとこのエッジ検出のタイミングが同時となった場合には、エンコーダカウンタはカウント動作を行わず 0 クリアされます。(クリア優先)

・

・ タイマモード時

ENCZ 入力を外部トリガとして使用するかどうか設定します。

<ZEN>="1"のとき、<ZESEL>で指定された ENCZ 入力のエッジ検出で、エンコーダカウンタの値をキャプチャ、およびエンコーダカウンタを 0 クリアします。

他のモードの場合、このビットは意味を持ちません。

<ENRUN> : エンコーダパルス動作イネーブル

"0":ディセーブル

"1":イネーブル

<ENRUN> = 1 で、<ZDET> を 0 クリアするとともにエンコーダ動作をイネーブルします。

<ENRUN> = 0 で、エンコーダ動作をディセーブルにします。

エンコーダの動作を停止した際 (<ENRUN> ビットを "1" → "0")、クリアされるカウンタおよびフラグと、クリアされないカウンタおよびフラグが存在します。

<ENRUN> と各信号の状態を以下に示します。

カウンタ/フラグ	<ENRUN> = 0 時 (リセット解除後)	<ENRUN> = 1 時 (動作中)	<ENRUN> = 0 時 (停止中)	<ENRUN> = 0 時 対象フラグ/カウンタの クリア手段
エンコーダカウンタ	0x000000	カウント動作	停止時の値を保持	ソフトクリア (<ENCLR> = 1 WR)
ノイズフィルタ カウンタ	0y0000000	カウントアップ動作	カウントアップ動作 (常時フィルタリング)	リセットのみ
エンコーダパルス 分周カウンタ]	0x00	カウントダウン動作	停止してクリア	<ENRUN> = 0 時はクリア
コンペアフラグ <CMP>	0	コンペア時 "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
反転エラーフラグ <REVERR>	0	エラー発生で "1" セット リードでクリア	クリア	<ENRUN> = 0 時はクリア
Z 検出フラグ <ZDET>	0	Z 検出で "1" セット	クリア	<ENRUN> = 0 時はクリア
回転方向ビット <UD>	0	方向検出で "0"/"1" セット	クリア	<ENRUN> = 0 時はクリア

<NR1:0> : ノイズフィルタ

"00":ノイズフィルタ無し

"01": 31 / fsys 未満のパルスはノイズとして除去

"10": 63 / fsys 未満のパルスはノイズとして除去

"11": 127 / fsys 未満のパルスはノイズとして除去

デジタルノイズフィルタでノイズとして除去するパルスの幅を設定します。

<INTEN> : エンコーダ割り込みイネーブル

"0":ディセーブル

"1":イネーブル

エンコーダ割り込みのイネーブルです。

<INTEN> = 1 で割り込み信号の発生をイネーブルにし、<INTEN> = 0 で割り込み信号の発生をディセーブルにします。

<ENDEV2:0> : エンコーダパルス分周比設定

"000" : 1 分周
"001" : 2 分周
"010" : 4 分周
"011" : 8 分周
"100" : 16 分周
"101" : 32 分周
"110" : 64 分周
"111" : 128 分周

エンコーダパルスの分周比を設定します。

この設定に従ってエンコーダパルスが分周され、イベント割り込みの発生周期として使用されます。

エンコーダ 0 カウンタリロードレジスタ

EN0RELOAD (0x4001_0404)		31	30	29	28	27	26	25	24
	Bit Symbol	-	-	-	-	-	-	-	-
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
	機能	常に "0" が READ されます							
		23	22	21	20	19	18	17	16
	Bit Symbol	-	-	-	-	-	-	-	-
	Read/Write	R	R	R	R	R	R	R	R
	リセット後	0	0	0	0	0	0	0	0
	機能	常に "0" が READ されます							
		15	14	13	12	11	10	9	8
	Bit Symbol	RELOAD15	RELOAD14	RELOAD13	RELOAD12	RELOAD11	RELOAD10	RELOAD9	RELOAD8
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	(下記参照)							
		7	6	5	4	3	2	1	0
Bit Symbol	RELOAD7	RELOAD6	RELOAD5	RELOAD4	RELOAD3	RELOAD2	RELOAD1	RELOAD0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット後	0	0	0	0	0	0	0	0	
機能	エンコーダカウンタの周期 (4 通倍(6 通倍)後) 設定 0x0000~0xFFFF Z相使用する場合 : 1 回転分のカウントパルス数を設定 Z相使用しない場合 : 1 回転分のカウントパルス数-1 を設定								

(説明)

<RELOAD15:0> : カウンタの周期設定

- エンコーダモード時

エンコーダカウンタの周期 (4 通倍後) を設定します。
エンコーダカウンタが UP カウントをおこなっていた場合、カウンタの値が<RELOAD15:0> の値と等しくなったら、次の ENCLK タイミングで 0 クリアされます。DOWN カウントをおこなっていた場合、カウンタの値が "0" になった次の ENCLK のタイミングで、<RELOAD15:0> の値がエンコーダカウンタにロードされます。

他のモードでは、このレジスタは使用しません。

エンコーダ 0 比較レジスタ

EN0INT (0x4001_0408)	31	30	29	28	27	26	25	24
Bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	常に "0" が READ されます							
	23	22	21	20	19	18	17	16
Bit Symbol	INT23	INT22	INT21	INT20	INT19	INT18	INT17	INT16
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	(下記参照) (センサモード(タイマカウント)、タイマモード時のみ使用)							
	15	14	13	12	11	10	9	8
Bit Symbol	INT15	INT14	INT13	INT12	INT11	INT10	INT9	INT8
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	(下記参照)							
	7	6	5	4	3	2	1	0
Bit Symbol	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	<エンコーダモード時> エンコーダのパルス位置割り込み発生位置設定 0x0000~0xFFFF <センサモード(イベントカウント)時> エンコーダのパルス位置割り込み発生位置設定 0x0000~0xFFFF <センサモード(タイマカウント)時> パルス未検出時間異常判定割り込み発生位置設定 0x000000~0xFFFFFFFF <タイマモード時> タイマコンペア割り込み発生位置設定 0x000000~0xFFFFFFFF							

(説明)

<INT15:0> : カウンタ比較値

- エンコーダモード時**
 <CMPEN>=1 のときエンコーダカウンタと <INT15:0> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN>=1 であれば割り込み要求 (INTENC0) が発生します。
 ただし、<ZEN>=1 のときは、<ZDET>=1 になるまでの間の一致については割り込み要求は発生しません。このモードでは <INT23:16> は使用しません。(設定しても無視されます。)
- センサモード(イベントカウント)時**
 <CMPEN>=1 のとき、エンコーダカウンタと <INT15:0> の値が一致すると、<CMP> が "1" にセットされます。さらに <INTEN>=1 であれば割り込み要求 (INTENC0) が発生します。
 <ZEN> の値には影響しません。このモードでは <INT23:16> は使用しません。(設定しても無視されます。)
- センサモード(タイマカウント)時**
 <CMPEN>=1 のとき、内部カウンタ値が <INT23:0> の値と一致すると、パルス未検出時間異常エラーと判定され、<CMP> が "1" にセットされます。さらに <INTEN>=1 であれば割り込み要求 (INTENC0) が発生します。<ZEN> の値には影響しません。
- タイマモード時**
 <CMPEN>=1 のとき、内部カウンタ値が <INT23:0> の値と一致すると、<CMP> が "1" にセットされます。さらに <INTEN>=1 であればタイマコンペア割り込み要求 (INTENC0) が発生します。
 <ZEN> の値には影響しません。

エンコーダ 0 カウンタレジスタ

EN0CNT (0x4001_040C)		31	30	29	28	27	26	25	24
Bit Symbol		-	-	-	-	-	-	-	-
Read/Write		R	R	R	R	R	R	R	R
リセット後		0	0	0	0	0	0	0	0
機能		常に "0" が READ されます							
		23	22	21	20	19	18	17	16
Bit Symbol		CNT23	CNT22	CNT21	CNT20	CNT19	CNT18	CNT17	CNT16
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能		(下記参照) (センサモード(タイマカウント)、タイマモード時のみ使用) (エンコーダモード、センサモード(イベントカウント)時は常に"0"が READ されます。)							
		15	14	13	12	11	10	9	8
Bit Symbol		CNT15	CNT14	CNT13	CNT12	CNT11	CNT10	CNT9	CNT8
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能		(下記参照)							
		7	6	5	4	3	2	1	0
Bit Symbol		CNT7	CNT6	CNT5	CNT4	CNT3	CNT2	CNT1	CNT0
Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後		0	0	0	0	0	0	0	0
機能		<エンコーダモード時> エンコーダパルスのカウント値 0x0000~0xFFFF <ホールセンサモード時> パルス検出時間の値もしくは ソフトキャプチャ値 0x000000~0xFFFFFFFF <タイマモード時> 内部カウンタのキャプチャ値もしくは ソフトキャプチャ値 0x000000~0xFFFFFFFF							

(説明)

<CNT15:0> : エンコーダカウンタ/キャプチャ値

- エンコーダモード時

エンコーダパルスのカウント値を読み出すことができます。

エンコーダモード時、エンコーダカウンタは、エンコーダパルス (ENCLK) を UP もしくは DOWN カウントします。

CW 方向に回転しているときは UP カウントを行い、カウンタ値が <RELOAD15:0> と等しくなったとき、次の ENCLK タイミングで 0 クリアされます。

CCW 方向に回転しているときは DOWN カウントを行い、カウンタ値が "0" のとき、次の ENCLK タイミングで <RELOAD15:0> の値がカウンタにロードされます。

- センサモード (イベントカウント) 時

エンコーダパルスのカウント値を読み出すことができます。

センサモード (イベントカウント) 時、エンコーダカウンタは、エンコーダパルス (ENCLK) を UP もしくは DOWN カウントします。

CW 方向に回転しているときは UP カウントを行い、カウンタ値が 0xFFFF までカウントすると、次の ENCLK タイミングで 0 クリアされます。

CCW 方向に回転しているときは DOWN カウントを行い、カウンタ値が "0" のとき、次の ENCLK タイミングで 0xFFFF がカウンタにロードされます。

- ・ センサモード (タイマカウント) 時

エンコーダパルス (ENCLK) によりエンコーダカウンタをキャプチャした値、もしくは、<SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。キャプチャした値はシステムリセットでクリアされます。また、<ENCLR> = 1 を書き込んでカウンタをクリアした後、ソフトキャプチャすることによりクリアすることも可能です。

センサモード (タイマカウント) 時、エンコーダカウンタは、f_{sys} で UP カウントし、フリーランで動作します。エンコーダパルス (ENCLK) を検出すると 0 クリアされます。0xFFFFFFFF までカウントすると自動的に 0 クリアされます。

- ・ タイマモード時

<SFTCAP> に "1" を書きこむことでエンコーダカウンタをソフトキャプチャした値を読み出すことができます。<ZEN> = 1 のときは、<ZESEL> で指定された Z 相の検出エッジでもキャプチャされます。キャプチャした値はリセットでクリアされます。<ENCLR> = 1 を書き込んでカウンタをクリアした後にソフトキャプチャすることにより、クリアすることも可能です。

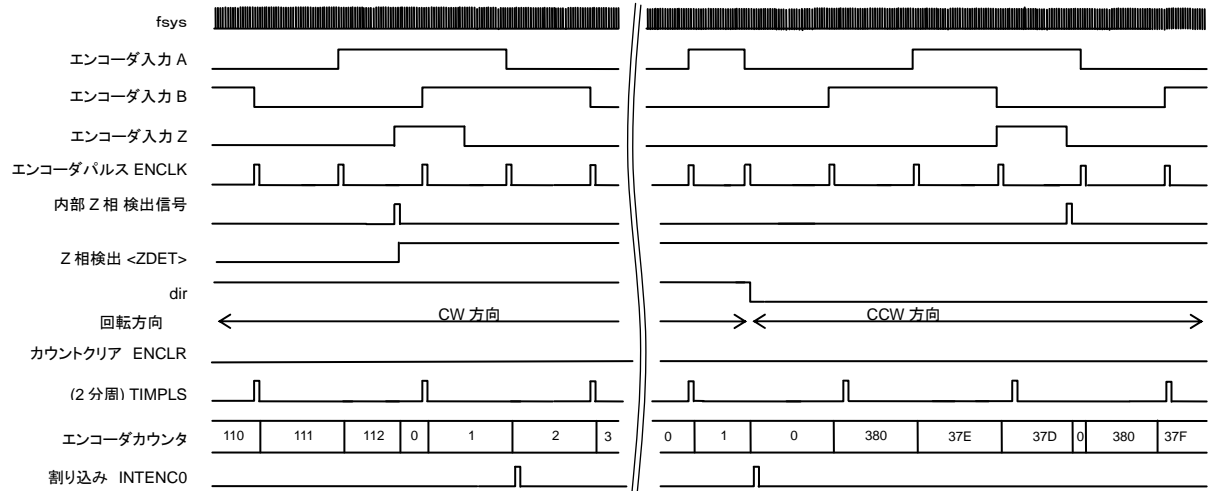
タイマモード時、エンコーダカウンタは、f_{sys} で UP カウントし、フリーランで動作します。0xFFFFFFFF までカウントすると自動的に 0 クリアされます。

12.3 機能

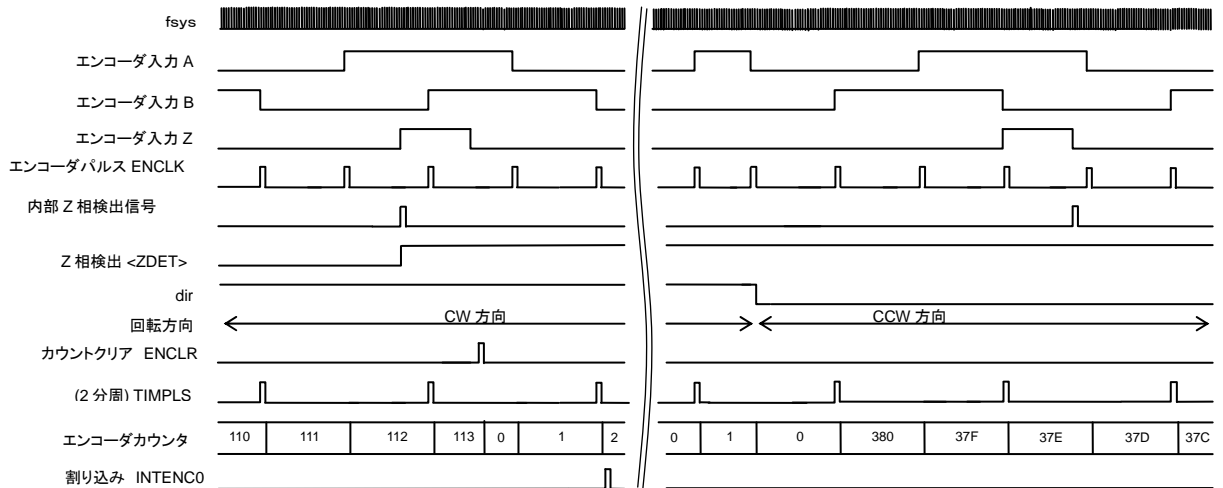
12.3.1 モード動作概要

12.3.1.1 エンコーダモード

(1) <ZEN> = 1 のとき (<RELOAD> = 0x0380、<EN0INT> = 0x0002)



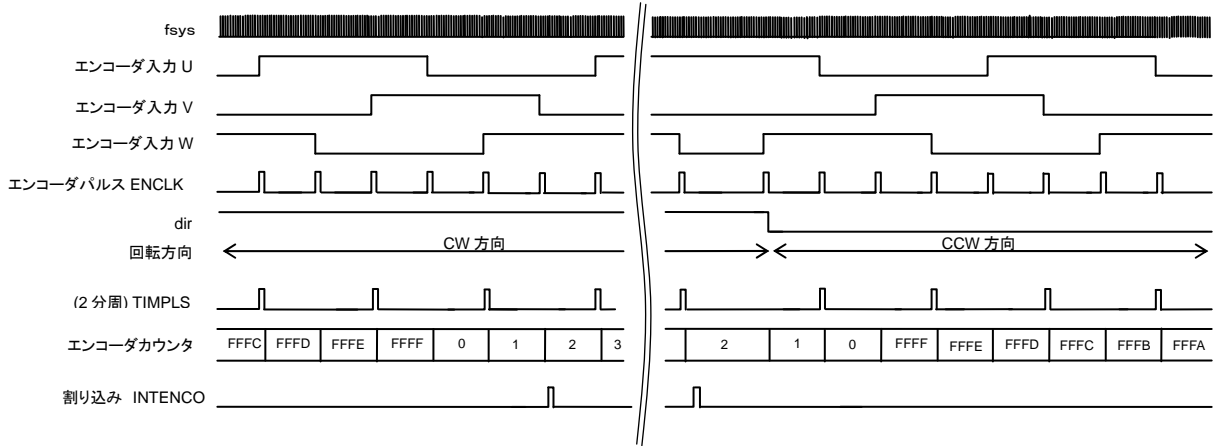
(2) <ZEN> = 0 のとき (<RELOAD> = 0x0380、<EN0INT> = 0x0002)



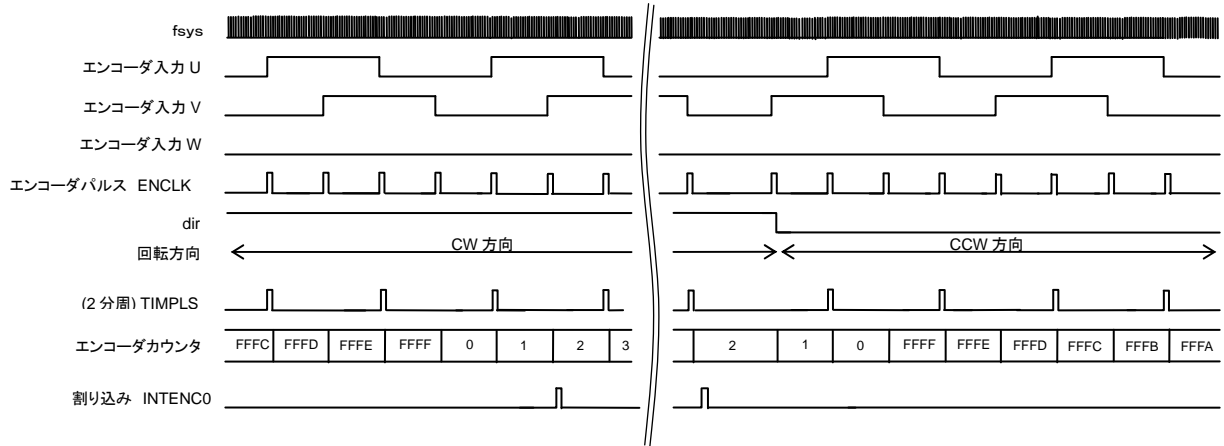
- ・ インクリメンタルエンコーダ入力を A、B、Z 相に接続します。A、B 信号を 4 逓倍して、エンコーダパルス数のカウントを行います。
- ・ CW 方向 (A 相が B 相に対して 90° 進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が <RELOAD> と等しくなったとき、次の ENCLK でカウンタが 0 クリアされます。
- ・ CCW 方向 (A 相が B 相に対して 90° 遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が 0x0000 と等しくなったとき、次の ENCLK でカウンタに <RELOAD> の値がセットされます。
- ・ さらに、<ZEN> = 1 の場合は、CW 方向に回転しているときは Z 相の立ち上がりエッジでカウンタが 0 クリアされます。CCW 方向に回転しているときは Z 相の立ち下がりエッジでカウンタが 0 クリアされます。ENCLK と Z 相検出のタイミングが同時になったときは、カウント動作を行わず、0 クリアされます。
- ・ <ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ・ <UD> は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- ・ ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- ・ <CMPEN> = 1 のとき、<EN0INT> の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。ただし、<ZEN> = 1 の場合、<ZDET> = 0 の期間の一致では割り込みを発生しません。
- ・ <ZDET>、<UD> は、<ENRUN> = 0 のときは 0 クリアされます。

12.3.1.2 センサモード (イベントカウント)

(1) <P3EN> = 1 のとき (<EN0INT> = 0x0002)



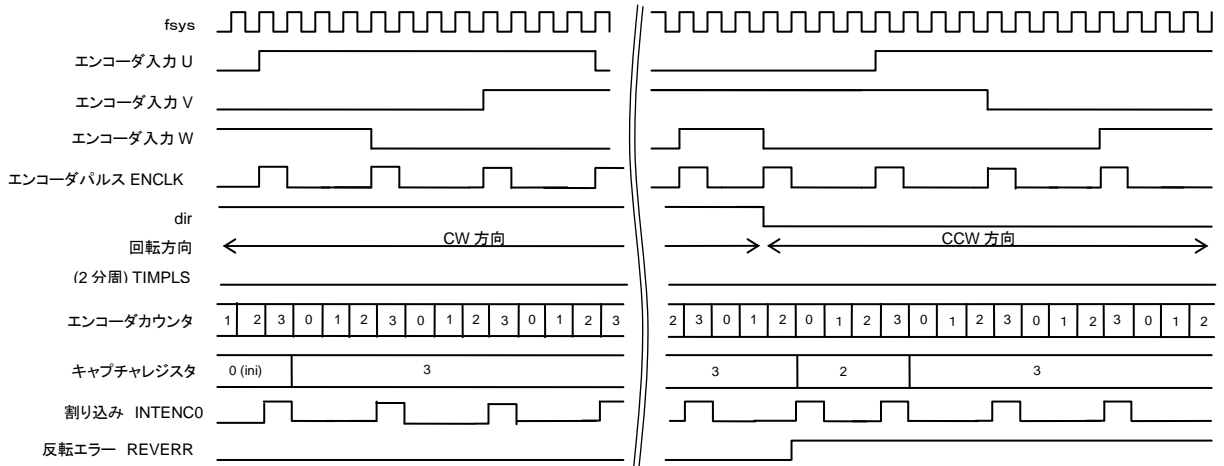
(2) <P3EN> = 1 のとき (<EN0INT> = 0x0002)



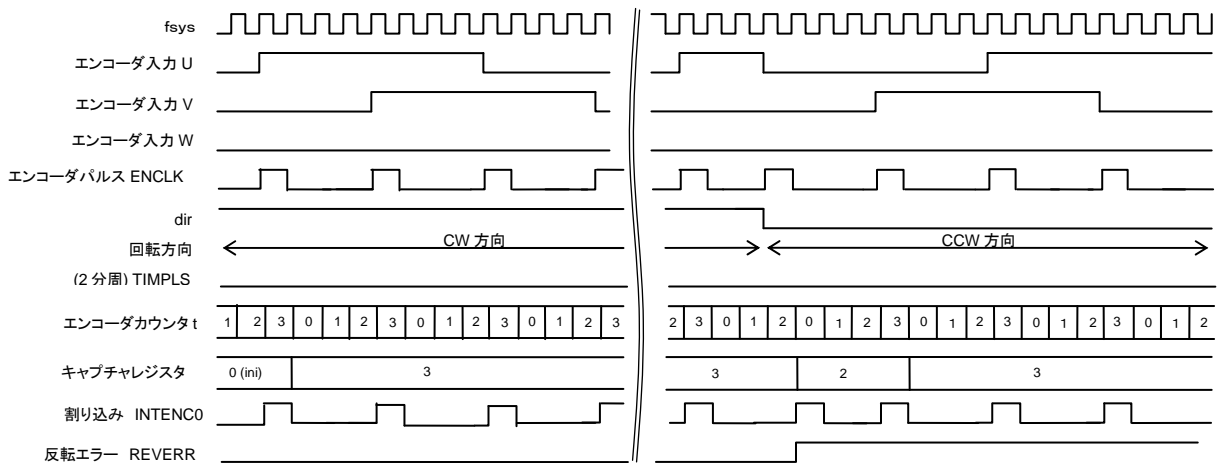
- ・ ホールセンサ入力を U、V、W 相に接続します。<P3EN> = 0 の場合は U、V 信号を 4 通倍、<P3EN> = 1 の場合は U、V、W 信号を 6 通倍して、ホールセンサパルス数のカウントを行います。
- ・ CW 方向 (U 相が V 相、V 相が W 相に対して 90° 進んでいる状態) に回転しているときは Up カウントを行い、カウンタ値が 0xFFFF と等しくなったとき、次の ENCLK でカウンタが 0 クリアされます。
- ・ CCW 方向 (U 相が V 相、V 相が W 相に対して 90° 遅れている状態) に回転しているときは Down カウントを行い、カウンタ値が 0x0000 と等しくなったとき、次の ENCLK でカウンタに 0xFFFF がセットされます。
- ・ <ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ・ <UD> は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- ・ ENCLK を分周した信号 (TIMPLS) を取り出すことができます。
- ・ <CMPEN> = 1 のとき、<EN0INT> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。
- ・ <UD> は <ENRUN> = 0 のときは 0 クリアされます。

12.3.1.3 センサモード (タイマカウント)

(1) <P3EN> = 1 のとき (<EN0INT> = 0x0002)



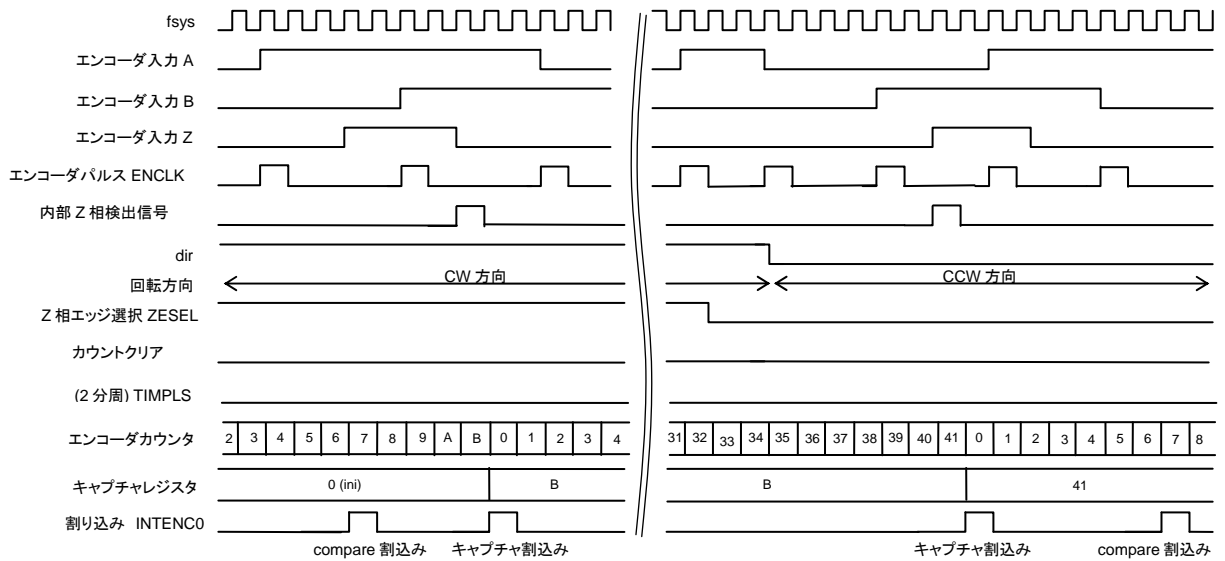
(2) <P3EN> = 0 のとき (<EN0INT> = 0x0002)



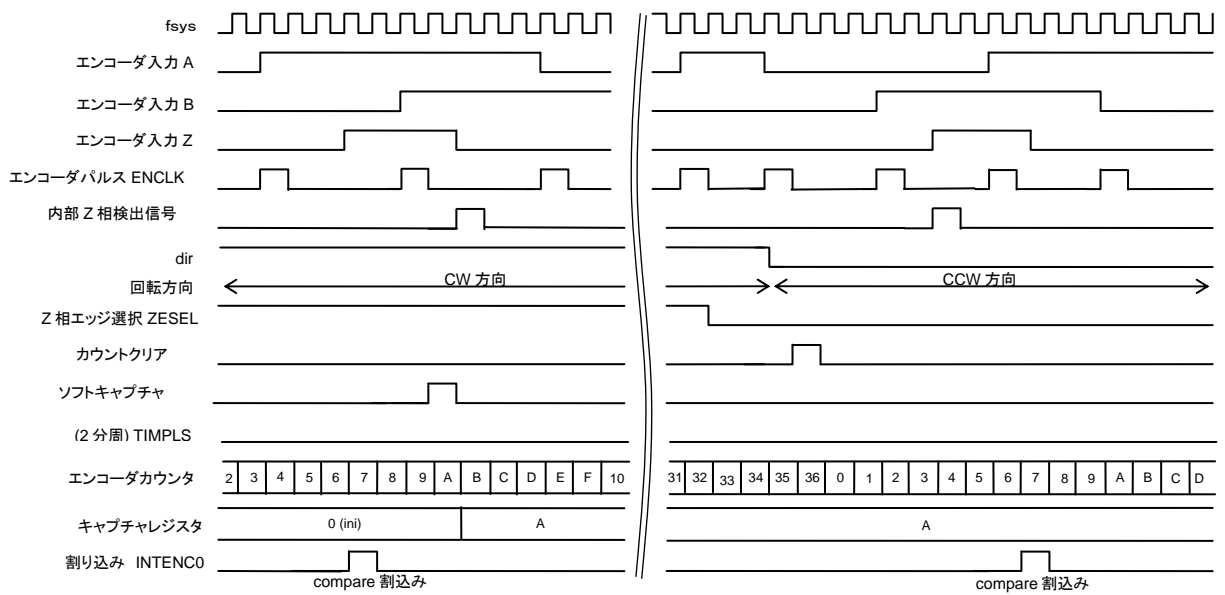
- ・ ホールセンサ入力を U、V、W 相に接続します。<P3EN> = 0 の場合は U、V 信号を 4 通倍、<P3EN> = 1 の場合は U、V、W 信号を 6 通倍して、ホールセンサパルス幅のカウントを行います。
- ・ カウンタは常に Up カウントを行い、ENCLK でカウンタが 0 クリアされます。また、カウンタ値が 0xFFFFFFFF と等しくなったとき、カウンタが 0 クリアされます。
- ・ <ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ・ ENCLK により、発生時のカウンタ値がキャプチャされます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- ・ <SFTCAP> に "1" が書き込まれると、発生時のカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- ・ <UD> は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- ・ <CMPEN> = 1 のとき、<EN0INT> の値とカウンタ値が等しくなったときに割り込みを発生させることができます。
- ・ <UD> は <ENRUN> = 0 のときは 0 クリアされます。
- ・ 回転方向が変化した場合は <REVERR> = 1 にセットされます。フラグは読み出すことでクリアされます。
- ・ ENCNT レジスタの値 (キャプチャ値) は、<ENRUN> の値にかかわらず保持されます。ENCNT レジスタのクリア要因はリセットのみです。

12.3.1.4 タイマモード

(1) <ZEN> = 1 のとき (<EN0INT> = 0x0006)



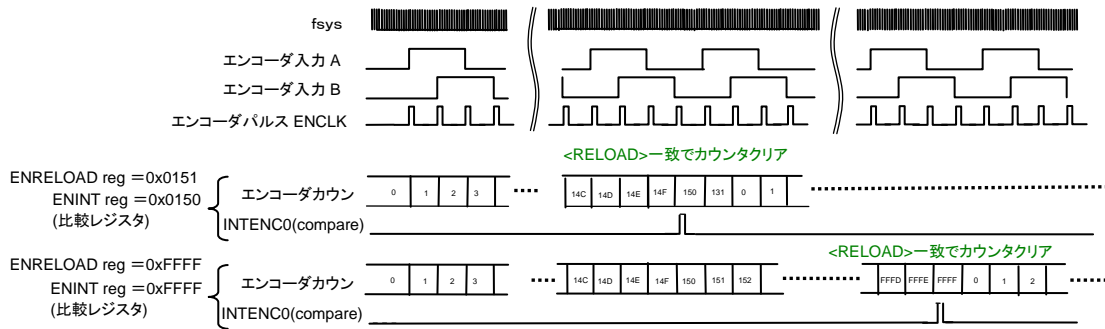
(2) <ZEN> = 0 のとき (<EN0INT> = 0x0006)



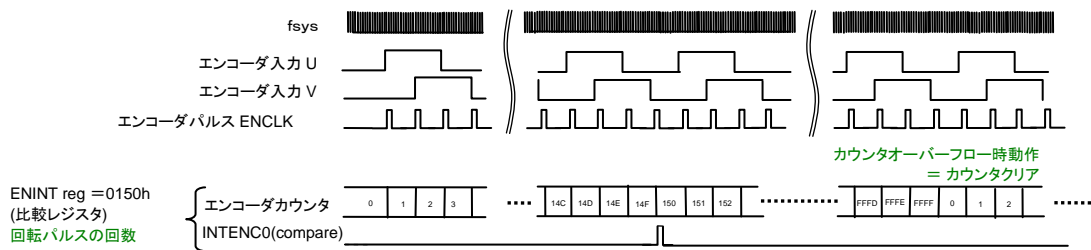
- ・ <ZEN> = 1 のとき、Z 入力端子を外部トリガとして使います。<ZEN> = 0 のとき、外部入力を使用しません。
- ・ カウンタは常に Up カウントを行います。<ZEN> = 1 の場合、<ZESEL> = 0 のときは Z 相の立ち上がりエッジでカウンタが 0 クリアされ、<ZESEL> = 1 のときは Z 相の立ち下がりエッジでカウンタが 0 クリアされます。また、エンコーダカウンタ値が 0xFFFFFFFF と等しくなったとき、カウンタが 0 クリアされます。
- ・ <ENCLR> に "1" が書き込まれると、カウンタは 0 クリアされます。
- ・ Z 相検出により、発生時のカウンタ値がキャプチャされます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- ・ <SFTCAP> に "1" が書き込まれると、発生時のエンコーダカウンタ値がキャプチャされます。キャプチャは任意のタイミングで行うことができます。キャプチャした値は ENCNT レジスタから読み出すことができます。
- ・ <UD> は CW 方向に回転していることを検出しているときは "1"、CCW 方向のときは "0" がセットされます。
- ・ <CMPEN> = "1" のとき、<ENPOINT> の値とエンコーダカウンタ値が等しくなったときに割り込みを発生させることができます。
- ・ <UD> は <ENRUN> = "0" のときは 0 クリアされます。
- ・ ENCNT レジスタの値 (キャプチャ値) は、<ENRUN> の値にかかわらず保持されます。ENCNT レジスタのクリア要因はリセットのみです。

12.3.2 カウンタおよび割り込み発生動作 <CMPEN> = 1 のとき

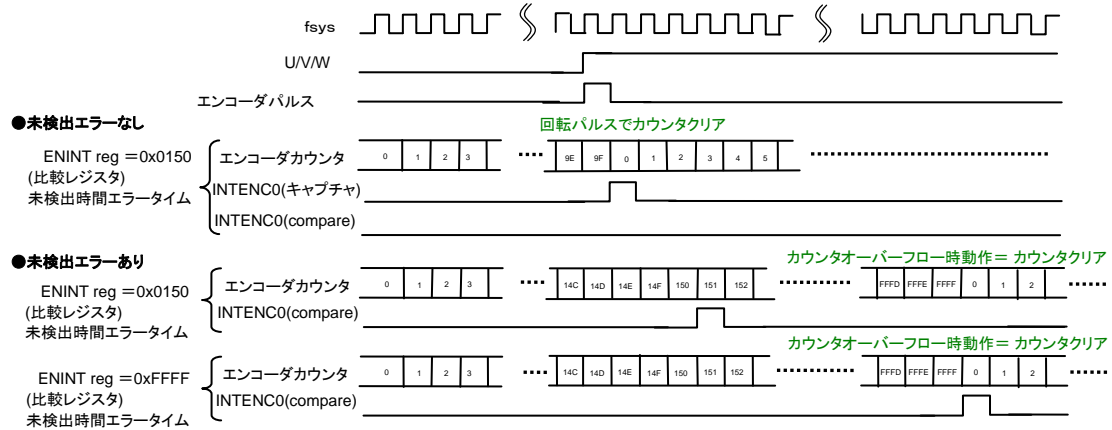
12.3.2.1 エンコーダモード



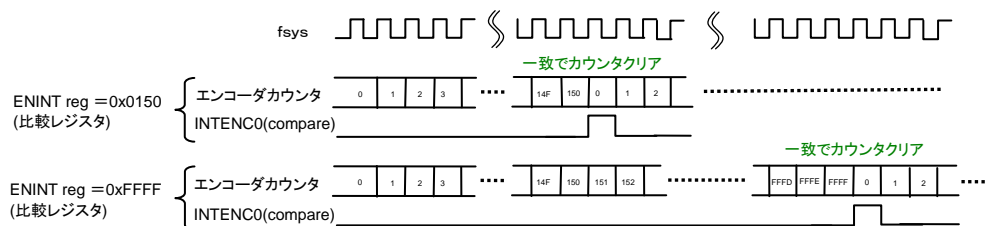
12.3.2.2 センサモード (イベントカウント)



12.3.2.3 センサモード (タイマカウント)

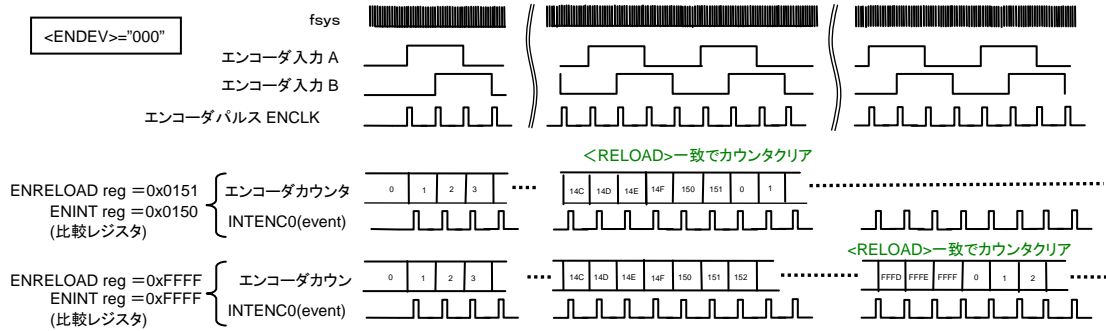


12.3.2.4 タイマモード

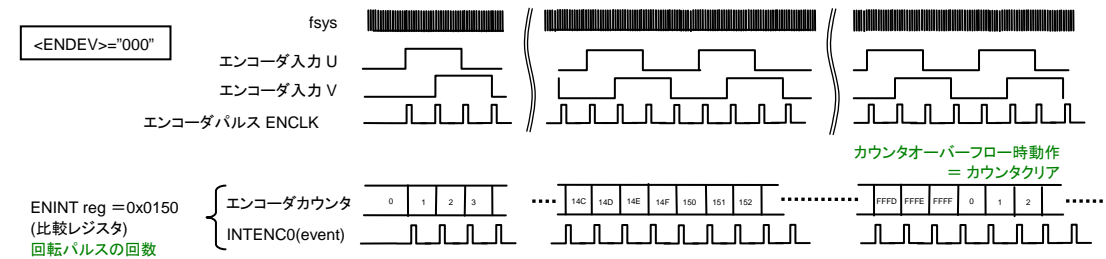


12.3.3 カウンタおよび割り込み発生動作 <CMPEN> = 0 のとき

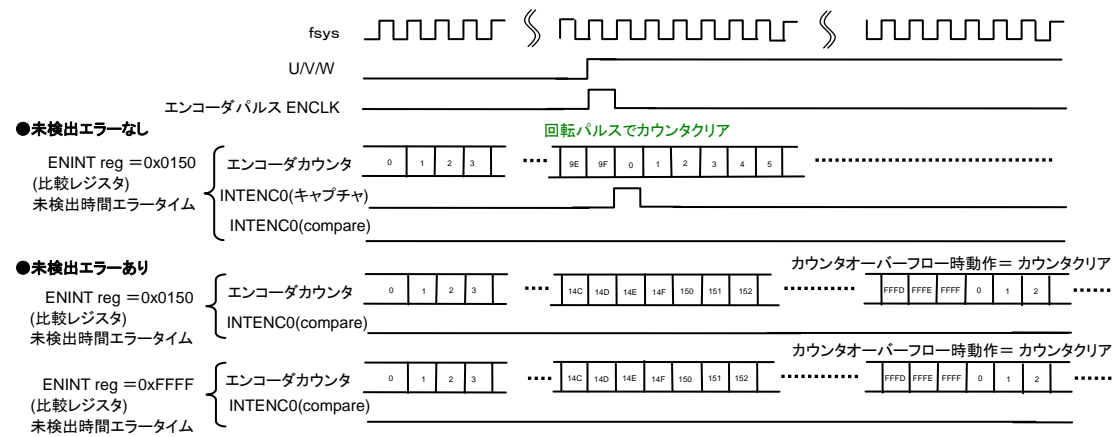
12.3.3.1 エンコーダモード



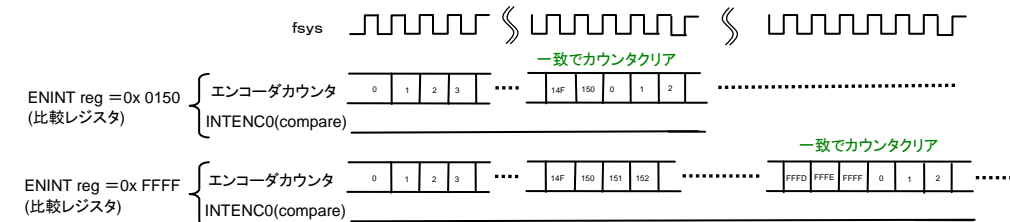
12.3.3.2 センサモード (イベントカウント)



12.3.3.3 センサモード (タイマカウント)



12.3.3.4 タイマモード



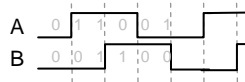
12.3.4 エンコーダ回転方向

A,B,Z 相の位相を判定します。

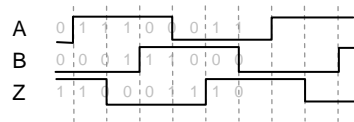
この回路は 2 相 (A,B) / 3 相 (A,B,Z) 入力兼用で使用します。3 相入力時は <P3EN> = 1 に設定します。

(1) CW 方向の組み合わせを以下に示します。

・ 2 相入力時

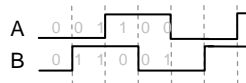


・ 3 相入力時



(2) CCW 方向の組み合わせを以下に示します。

・ 2 相入力時



・ 3 相入力時



12.3.5 カウンタ回路

カウンタ回路は、24bit のアップダウンカウンタを内蔵し、カウンタの制御を行います。

12.3.5.1 動作概要

動作モードにより、カウント動作、クリア、リロードを制御します。

カウンタの制御を表 12-4に示します。

表 12-4 カウンタの制御

モード <MODE1:0>	<ZEN>	<ENEN>	入力端子	カウント	動作	カウンタ クリア条件	カウンタ リロード条件	カウンタ 動作 可能範囲 (リロード値)
エンコーダモード 00	0	0	A,B	エンコーダ パルス (ENCLK)	Up	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致	-	0x0000~ <RELOAD>
					Down	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
	1	0	A,B,Z	エンコーダ パルス (ENCLK)	Up	[1]<ENCLR> = 1 WR [2]<RELOAD>と一致 [3]Z トリガ	-	
					Down	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (イベントカウント) 01	0	0	U,V	エンコーダ パルス (ENCLK)	Up	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	0x0000~ 0xFFFF
					Down	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
	1	0	U,V,W	エンコーダ パルス (ENCLK)	Up	[1]<ENCLR> = 1 WR [2]0xFFFF と一致	-	
					Down	[1]<ENCLR> = 1 WR	[1]0x0000 と一致	
センサモード (タイマカウント) 10	0	0	U,V	fsys	Up	[1]<ENCLR> = 1 WR [2]0xFFFFF と一致 [3]エンコーダパルス (ENCLK)		0x000000~ 0xFFFFF
	1	0	U,V,W	fsys	Up			
タイマモード 11	0	X	-	fsys	Up	[1]<ENCLR> = 1 WR [2] 0xFFFFF と一致 [3]<EN0INT>と一致		0x000000~ 0xFFFFF
	1	X	Z	fsys	Up	[1]<ENCLR> = 1 WR [2] 0xFFFFF と一致 [3] <EN0INT>と一致 [4]Z トリガ		

注) カウンタの値は、ENRUN = 0 を書き込んでもクリアされません。

また、再度 ENRUN = 1 とすると、停止時のカウンタ値からカウントを再開します。

カウンタ値をクリアする場合は、<ENCLR> = 1 を書き込むことでソフトクリアしてください。

12.3.6 割り込み

割り込みには、イベント(分周パルス、キャプチャ)割り込み、未検出時間異常割り込み、タイマコンペア割り込み、キャプチャ割り込みがあります。

12.3.6.1 動作概要

<INTEN> = 1 のとき、カウンタ値およびエンコーダパルスにより割り込みを発生します。

割り込みの要因は、動作モードおよび<CMPEN>、<ZEN>の設定により以下の6種類があります。表 12-5に割り込み要因を示します。

表 12-5 割り込み要因

	割り込み要因	説明	モード	割り込み出力	Statusフラグ
1	イベントカウント割り込み	<CMPEN> = 1 のとき、イベント(回転パルス)の発生をカウントするカウンタを使用し、設定回数(= <ENOINT>) カウントされたことを通知します。	エンコーダモード および センサモード (イベントカウント)	<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
2	イベント割り込み (分周パルス)	イベント(エンコーダパルス)の発生を、<ENDEV>の設定により1分周~128分周して、通知します。		<INTEN> = 1 時	なし
3	イベント割り込み (キャプチャ割り込み)	イベント(エンコーダパルス)の発生およびイベント(回転パルス)でキャプチャが行われたことを通知します。	センサモード (タイマカウント)	<INTEN> = 1 時	なし
4	未検出時間異常割り込み	<CMPEN> = 1 のとき、fsys でカウントしイベント(エンコーダパルス)でクリアするカウンタを使用し、イベントがある一定時間(= <ENOINT>)以上発生しないことを通知します。		<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
5	タイマコンペア割り込み	<CMPEN> = 1 のとき、タイマで設定時間(= <ENOINT>) カウントしたことを通知します。	タイマモード	<INTEN> = 1 かつ <CMPEN> = 1 時	あり <CMP>
6	キャプチャ割り込み	外部トリガ(ENCZ 入力)でキャプチャが行われたことを通知します。		<INTEN> = 1 時	なし

センサモード(タイマカウント)およびタイマモード時は、エンコーダカウンタのキャプチャ動作が可能です。

キャプチャした値は、ENCNTレジスタから読み出すことができます。

センサモード(タイマカウント)時は、イベント発生(エンコーダパルス)により、カウンタの値がキャプチャされます。<SFTCAP>に"1"を書き込むことにより、ソフトキャプチャも可能です。

タイマモード時は、<SFTCAP>に"1"を書き込むことにより、ソフトキャプチャが可能です。<ZEN> = 1 設定時は、ENCZ 入力を使用して、<ZESEL>に従ったエッジでの外部トリガキャプチャも可能です。

13 シリアル チャネル (UART/SIO)

重要

TMPM382(64ピン版)には、SIO2、SIO3はありません。
それらに関する機能は使用しないでください。

13.1 特長

シリアル入出力を5チャンネル内蔵 (SIO0~SIO4) しています。各チャンネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。

I/O インタフェースモード	——	モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
非同期通信 (UART) モード	┌	モード 1: 送受信データ長 7 ビット
	├	モード 2: 送受信データ長 8 ビット
	└	モード 3: 送受信データ長 9 ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。図 13-2に、SIO0 のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。

SIO0~SIO4 は同一の動作をしますので、SIO0 の場合についてのみ説明します。

表 13-1 SIO のチャンネル別仕様相違点

		チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
端子名称		TXD0 (PE0) RXD0 (PE1) $\overline{CTS0}$ /SCLK0 (PE2)	TXD1 (PA5) RXD1 (PA6) $\overline{CTS1}$ /SCLK1 (PA4)	TXD2 (PD5) RXD2 (PD6) $\overline{CTS2}$ /SCLK2 (PD4)	TXD3 (PF3) RXD3 (PF4) $\overline{CTS3}$ /SCLK3 (PF2)	TXD4 (PC6) RXD4(PC7) $\overline{CTS4}$ /SCLK4 (PC5)
割込み		INTRX0 INTTX0	INTRX1 INTTX1	INTRX2 INTTX2	INTRX3 INTTX3	INTRX4 INTTX4
UART モード時, TMRB 出力をシリアル転送クロックとして使う		TB4OUT (TMRB4)	TB4OUT (TMRB4)	TB7OUT (TMRB7)	TB7OUT (TMRB7)	MTTB0OUT (MPT0)
レジスタ名 (アドレス)	イネーブルレジスタ	SC0EN 0x4002_0080	SC1EN 0x4002_00C0	SC2EN 0x4002_0100	SC3EN 0x4002_0140	SC4EN 0x4002_0180
	送受信レジスタ	SC0BUF 0x4002_0084	SC1BUF 0x4002_00C4	SC2BUF 0x4002_0104	SC3BUF 0x4002_0144	SC4BUF 0x4002_0184
	コントロールレジスタ	SC0CR 0x4002_0088	SC1CR 0x4002_00C8	SC2CR 0x4002_0108	SC3CR 0x4002_0148	SC4CR 0x4002_0188
	モードコントロールレジスタ	SC0MOD0 0x4002_008C	SC1MOD0 0x4002_00CC	SC2MOD0 0x4002_010C	SC3MOD0 0x4002_014C	SC4MOD0 0x4002_018C
	ポーレートジェネレータコントロール	SC0BRCR 0x4002_0090	SC1BRCR 0x4002_00D0	SC2BRCR 0x4002_0110	SC3BRCR 0x4002_0150	SC4BRCR 0x4002_0190
	ポーレートジェネレータコントロール2	SC0BRADD 0x4002_0094	SC1BRADD 0x4002_00D4	SC2BRADD 0x4002_0114	SC3BRADD 0x4002_0154	SC4BRADD 0x4002_0194

	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
モードコントロールレジスタ 1	SC0MOD1 0x4002_0098	SC1MOD1 0x4002_00D8	SC2MOD1 0x4002_0118	SC3MOD1 0x4002_0158	SC4MOD1 0x4002_0198
モードコントロールレジスタ 2	SC0MOD2 0x4002_009C	SC1MOD2 0x4002_00DC	SC2MOD2 0x4002_011C	SC3MOD2 0x4002_015C	SC4MOD2 0x4002_019C
受信 FIFO コンフィグレジスタ	SC0RFC 0x4002_00A0	SC1RFC 0x4002_00E0	SC2RFC 0x4002_0120	SC3RFC 0x4002_0160	SC4RFC 0x4002_01A0
送信 FIFO コンフィグレジスタ	SC0TFC 0x4002_00A4	SC1TFC 0x4002_00E4	SC2TFC 0x4002_0124	SC3TFC 0x4002_0164	SC4TFC 0x4002_01A4
受信 FIFO ステータスレジスタ	SC0RST 0x4002_00A8	SC1RST 0x4002_00E8	SC2RST 0x4002_0128	SC3RST 0x4002_0168	SC4RST 0x4002_01A8
送信 FIFO ステータスレジスタ	SC0TST 0x4002_00AC	SC1TST 0x4002_00EC	SC2TST 0x4002_012C	SC3TST 0x4002_016C	SC4TST 0x4002_01AC
FIFO コンフィグレジスタ	SC0FCNF 0x4002_00B0	SC1FCNF 0x4002_00F0	SC2FCNF 0x4002_0130	SC3FCNF 0x4002_0170	SC4FCNF 0x4002_01B0

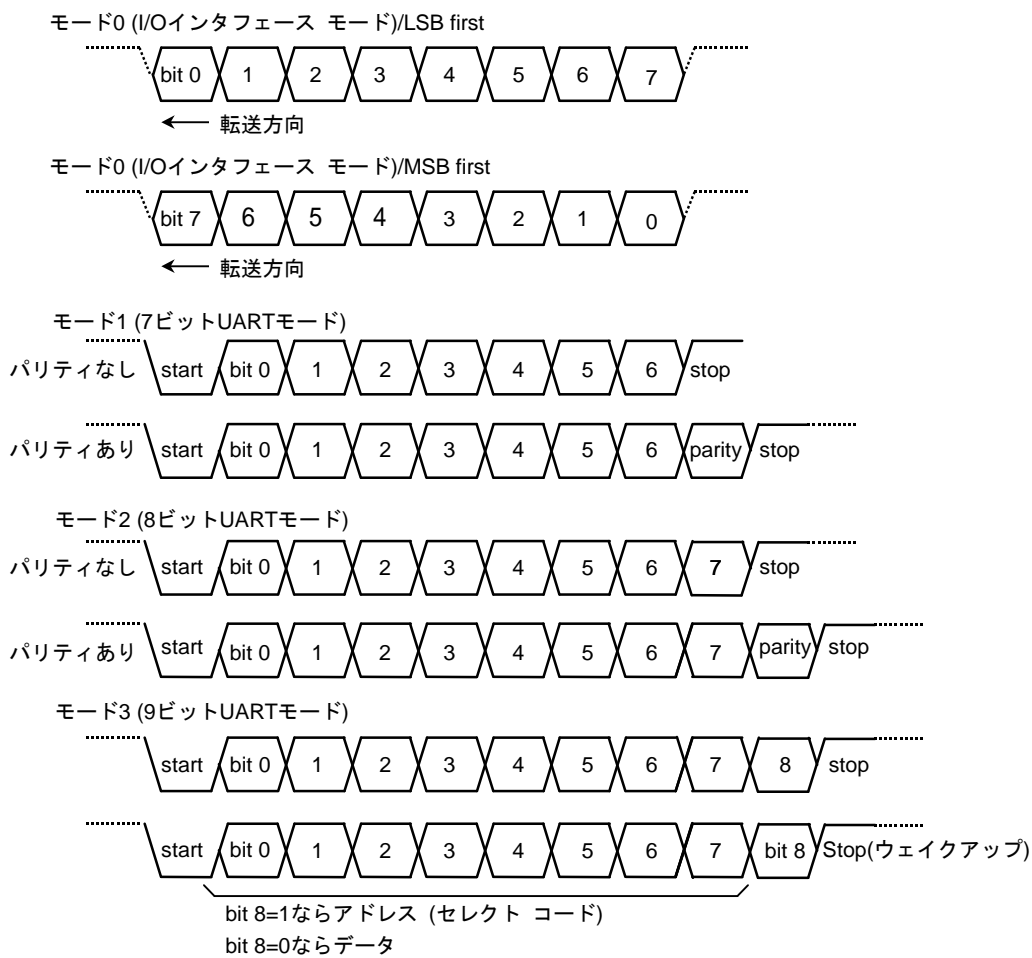


図13-1 データフォーマット

13.2 ブロック図 (チャンネル0)

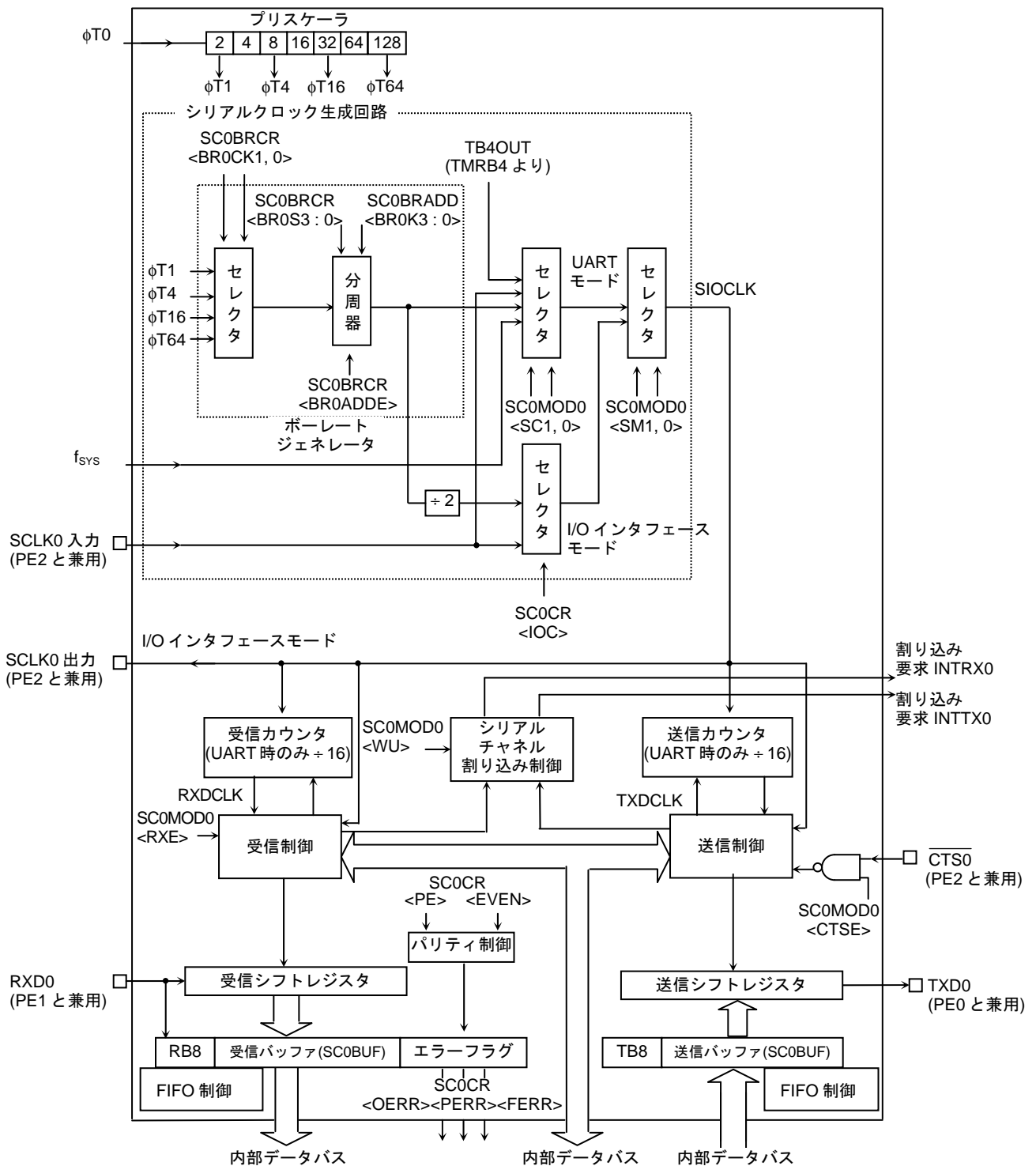


図13-2 SIO0 ブロック図

13.3 回路別の動作説明 (チャンネル 0)

13.3.1 プリスケーラ

SIO0 の動作クロックを生成するために、7 ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、CG 部の CGSYSCR1 <PRCK2 : 0> にて選択した $f_{periph}/1$ 、 $f_{periph}/2$ 、 $f_{periph}/4$ 、 $f_{periph}/8$ 、 $f_{periph}/16$ 、 $f_{periph}/32$ のいずれかのクロックです。

f_{periph} は CG 部の CGSYSCR1 <FPSEL> で選択されるクロック f_{gear} またはクロックギアで分周される前のクロック f_c のいずれかです。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出力クロックの分解能を、表 13-2 に示します。

表 13-2 ボーレートジェネレータへの入力クロック分解能 $f_c = 40\text{MHz}$

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2:0>	プリスケラ クロック選択 <PRCK2:0>	プリスケラ出力クロック分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	000 (fperiph/1)	$fc/2^1(0.05\mu\text{s})$	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$
		001 (fperiph/2)	$fc/2^2(0.1\mu\text{s})$	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$
		010 (fperiph/4)	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$
		011 (fperiph/8)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		100 (fperiph/16)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		101 (fperiph/32)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$
	100 (fc/2)	000 (fperiph/1)	$fc/2^2(0.1\mu\text{s})$	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$
		001 (fperiph/2)	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$
		010 (fperiph/4)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		011 (fperiph/8)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		100 (fperiph/16)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$
		101 (fperiph/32)	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$	$fc/2^{13}(204.8\mu\text{s})$
	101 (fc/4)	000 (fperiph/1)	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$
		001 (fperiph/2)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		010 (fperiph/4)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		011 (fperiph/8)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$
		100 (fperiph/16)	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$	$fc/2^{13}(204.8\mu\text{s})$
		101 (fperiph/32)	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$	$fc/2^{14}(409.6\mu\text{s})$
	110 (fc/8)	000 (fperiph/1)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		001 (fperiph/2)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		010 (fperiph/4)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$
		011 (fperiph/8)	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$	$fc/2^{13}(204.8\mu\text{s})$
		100 (fperiph/16)	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$	$fc/2^{14}(409.6\mu\text{s})$
		101 (fperiph/32)	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$	$fc/2^{13}(204.8\mu\text{s})$	$fc/2^{15}(819.2\mu\text{s})$
1 (fc)	000 (fc)	000 (fperiph/1)	$fc/2^1(0.05\mu\text{s})$	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$
		001 (fperiph/2)	$fc/2^2(0.1\mu\text{s})$	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$
		010 (fperiph/4)	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$
		011 (fperiph/8)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		100 (fperiph/16)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		101 (fperiph/32)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$
	100 (fc/2)	000 (fperiph/1)	—	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$
		001 (fperiph/2)	$fc/2^2(0.1\mu\text{s})$	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$
		010 (fperiph/4)	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$
		011 (fperiph/8)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		100 (fperiph/16)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		101 (fperiph/32)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$
	101 (fc/4)	000 (fperiph/1)	—	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$
		001 (fperiph/2)	—	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$
		010 (fperiph/4)	$fc/2^3(0.2\mu\text{s})$	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$
		011 (fperiph/8)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		100 (fperiph/16)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		101 (fperiph/32)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$
	110 (fc/8)	000 (fperiph/1)	—	—	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$
		001 (fperiph/2)	—	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$
		010 (fperiph/4)	—	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$
		011 (fperiph/8)	$fc/2^4(0.4\mu\text{s})$	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$
		100 (fperiph/16)	$fc/2^5(0.8\mu\text{s})$	$fc/2^7(3.2\mu\text{s})$	$fc/2^9(12.8\mu\text{s})$	$fc/2^{11}(51.2\mu\text{s})$
		101 (fperiph/32)	$fc/2^6(1.6\mu\text{s})$	$fc/2^8(6.4\mu\text{s})$	$fc/2^{10}(25.6\mu\text{s})$	$fc/2^{12}(102.4\mu\text{s})$

(注1) プリスケーラ出力クロック ϕT_n は、かならず $\phi T_n < f_{sys}$ を満足するように (ϕT_n が f_{sys} よりも遅くなるように) 選択してください。

(注2) SIO 動作中はクロックギアの切り替えは行わないでください。

(注3) 表中 “-” は設定禁止です。

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックより $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ の4種類のクロックが用いられます。

13.3.2 ボーレート

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは7ビットプリスケアラより、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ SCOBRCR <BROCK1:0>で設定します。

ボーレートジェネレータは、 $1 + N + \frac{m}{16}$ ($N=2\sim 15$ 、 $m=0\sim 15$)、16分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ SCOBRCR<BROADDE><BROS3:0>、SCOBRADD<BROK3:0>の設定に従い分周を行い、転送速度を決定します。

- UART モードの場合

- 1) SCOBRCR<BROADDE>=0 の場合

SCOBRADD<BROK3:0>の設定は無視され、SCOBRCR<BROS3:0>に設定された値“N”に従いN分周を行います。(N=1、2、3 ... 16)

- 2) SCOBRCR<BROADDE>=1 の場合

$N+(16 - K)/16$ 分周機能がイネーブルになり SCOBRCR<BROS3:0>に設定された値“N” (N=2、3 ... 15)、SCOBRADD<BROK3:0>に設定された値“K”に従い $N+(16-K)/16$ 分周を行います。(K=1、2、3 ... 15)

(注) N=1 および 16 のときは $N+(16-K)/16$ 分周機能は禁止となりますのでかならず SCOBRCR<BROADDE>= “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N+(16 - K)/16$ 分周機能は使用できません。かならず SCOBRCR<BROADDE>= “0” に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 20MHz のときの 1.25Mbps です。

ボーレートジェネレータの出力ではない f_{sys} をシリアルクロックとして使用できます。この場合の最高ボーレートは $2.5\text{Mbps}@f_{\text{sys}} = 40\text{MHz}$

- 2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 20 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値= “1” の設定が可能なので、10Mbps になります (ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値= “2” のときの、5.0Mbps が最高になります)。

- ボーレートの設定例

1) 整数分周 (N分周) の場合

f_{periph}に f_c=39.321 MHz を選択し、φT0 を f_{periph}/16 に設定したとき、ボーレートジェネレータへの入力クロックをφT1、分周値 “N” (SCOBRCCR<BROS3:0>)=4、SCOBRCCR<BROADDE>= “0” の場合の UART モードのボーレートは、

クロック条件

システムクロック	:	高速 (f _c)
高速クロックギア	:	1 倍 (f _c)
プリスケアラクロック	:	f _{periph} /16

$$\begin{aligned} \text{ボーレート} &= \frac{f_c/32}{4} \div 16 \\ &= 39.321 \times 10^6 \div 32 \div 4 \div 16 = 19200 \text{ (bps)} \text{ となります。} \end{aligned}$$

(注) N+(16-K)/16 分周機能は禁止に設定されるため SCOBRADD <BROK3 : 0> の設定は無視されます。

2) N + (16-K)/16 分周 (UART モードのみ) の場合

f_{periph}に f_c=9.6MHz を選択し、φT0 を f_{periph}/8 に設定したとき、ボーレートジェネレータへの入力クロックをφT1、分周値 “N” (SCOBRCCR<BROS3:0>)=7、K” (SCOBRADD<BROK3:0>)=3、SCOBRCCR<BROADDE>=1 の場合のボーレートは、

クロック条件

システムクロック	:	高速 (f _c)
高速クロックギア	:	1 倍 (f _c)
プリスケアラクロック	:	f _{periph} /4

$$\begin{aligned} \text{ボーレート} &= \frac{f_c/16}{7 + \frac{(16-3)}{16}} \div 16 \\ &= 9.6 \times 10^6 \div 16 \div \left(7 + \frac{13}{16} \right) \div 16 = 4800 \text{ (bps)} \quad \text{となります。} \end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

外部クロック入力を使用した場合のボーレートの算出方法

1) UART モード

ボーレート = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) $> 2/f_{sys}$ を満足する必要があります。

また、最高ボーレートは、1.25 (Mbps) 未満にする必要があります。

2) I/O インタフェースモード

ボーレート = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) $> 6/f_{sys}$ を満足する必要があります。

また、最高ボーレートは、6.66 (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) $> 8/f_{sys}$ を満足する必要があります。

また、最高ボーレートは、5.0 (Mbps) 未満にする必要があります。

表 13-3～表 13-4 にUARTモードのボーレートの例を示します。

表 13-3 UART ボーレートの選択例
(ボーレートジェネレータ使用、SC0BRCR <BROADDE> = 0 の場合) 単位 (kbps)

fc [MHz]	入力クロック				
	分周値 N (SC0BRCR <BROS 3:0>に設定)	$\phi T1$ (fc/4)	$\phi T4$ (fc/16)	$\phi T16$ (fc/64)	$\phi T64$ (fc/256)
9.8304	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	0	9.600	2.400	0.600	0.150

(注) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケラ用クロックとして $f_{\text{periph}}/2$ を選択した場合の値です。

表 13-4 UART ボーレートの選択
(タイマ TMRB4 の出力 (内部 TB4OUT) 使用, タイマ TMRB4 の入力クロックが $\phi T1$ の場合)
単位 (kbps)

TB4RGO	fc	40	9.8304	8
		MHz	MHz	MHz
0x0001		312.5	76.8	62.5
0x0002		156.25	38.4	31.25
0x0003			25.6	
0x0004		78.125	19.2	15.625
0x0005		62.5	15.36	12.5
0x0006			12.8	
0x0008		39.0625	9.6	
0x000A		31.25	7.68	6.25
0x0010		19.53125	4.8	
0x0014		15.625	3.84	3.125

ボーレートの算出方法 (タイマ TMRB4 を使用した場合)

$$\text{転送レート} = \frac{\text{CGSYSCRO} \langle \text{PRCK1:0} \rangle \text{で選択されたクロック周波数}}{(\text{TBxRGO} \times 2) \times 2 \times 16}$$

(タイマ TMRB4 の入力クロックが $\phi T1$ の場合)

↑ タイマフリップフロップ反転で1クロック周期となる。

(注1) I/O インタフェースモードでは、タイマ TMRB4 からの出力信号(内部)を転送クロックとして使用できません。

(注2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケラ用クロックとして $f_{\text{periph}}/4$ を選択した場合の値です。

13.3.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インタフェースモードの場合

シリアルコントロールレジスタ $SCOCR<IOC>=“0”$ の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周して、基本クロックをつくります。

$SCOCR<IOC>=“1”$ の SCLK 入力モードのときは、 $SCOCR<SCLKS>$ の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ $SCOMOD0<SC1:0>$ の設定により、前記ボーレートジェネレータからのクロックか、システムクロック (f_{sys}) か、タイマ (TMRB4) の内部出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK を生成します。

13.3.4 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 クロック用いられ 7、8、9 発目でデータをサンプリングします。3 度のデータサンプリングによる多数決論理により受信データを判断しています。

13.3.5 受信制御部

- I/O インタフェースモードの場合

$SCOCR<IOC>=“0”$ の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

$SCOCR <IOC>=1”$ の SCLK 入力モードのときは、 $SCOCR<SCLKS>$ の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

13.3.6 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信シフトレジスタに受信データが 1 ビットずつ格納され、データがそろるともう一方の受信バッファ (SCOBUF) へ移されます。また、同時に受信バッファの full Flag ($SCOMOD2<RBFL>$) が “1” にセットされ、受信バッファに有効データが格納されていることを示します。但し受信 FIFO が有効にされている場合は、受信データは受信 FIFO に移されこの Flag は直ぐにクリアされます。

受信 FIFO が有効にされていない場合 ($SCOFENF<CNFG>=0$ で且つ $SCOMOD1<FDPX1:0>=01$) は同時に割り込み INTRX0 が発生します。受信 FIFO が有効にされている場合 ($SCNFENF<CNFG>=1$ で且つ $SCOMOD1<FDPX1:0>=01/11$) は $SCORFC<RIL1:0>$ の設定に従い割り込みが発生します。

CPU は受信バッファ (SCOBUF) または受信 FIFO (アドレスは受信バッファと同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag <RBFL> は “0” にクリアされます。CPU が受信バッファ (SCOBUF) または受信 FIFO を読み出す前でも、次の受信データは受信シフトレジスタへ格納することができます。

また、IO インタフェースモードで SCLK 出力に設定されている場合は、ダブルバッファ制御ビット SCOMOD2<WBUF> の設定により、受信バッファ (SCOBUF) を許可または不許可にできます。

受信バッファ (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (SCOFCNF<CNFG>=0 で且つ <FDPX1:0>=01)) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に SCLK 出力を停止します。この設定の場合には、CPU からの読み出し動作は受信シフトレジスタに対して行われます。読み出し動作が行なわれる事により、SCLK 出力を再開します。

受信バッファ (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信シフトレジスタから受信バッファに移され、次に受信データの受信が終了して、受信バッファ及び受信シフトレジスタに有効データが存在した状態になると、SCLK 出力を停止します。受信バッファの読み出しが行なわれると、受信シフトレジスタのデータが受信バッファに移され、受信割り込み INTRX0 が発生すると同時に SCLK 出力を再開します。従って、IO インタフェースモードの SCLK 出力ではダブルバッファ制御ビット SCOMOD2<WBUF> の設定に関わらずオーバーランエラーは発生しません。

受信バッファ (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ <FDPX1:0>=01/11) は受信 FIFO が FULL (SCOFCNF<RFST> の設定に従う) になり、受信バッファ及び受信シフトレジスタ有効データが存在した状態になると SCLK 出力を停止します。またこの状態で SCOFCNF<RXTXCNT>=1 にしていると SCLK 出力停止と同時に受信制御 BIT : RXE が自動的にクリアされます。“0” の場合は自動クリアが行なわれません。

(注) このモードでは、SCOCR の <OEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファの動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信シフトレジスタに次のデータが全ビット受信される前に受信バッファ (SCOBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファおよび SCOCR <RB8> の内容は保存されていますが、受信シフトレジスタの内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファに次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART のパリティ付加の場合、パリティビット 9 ビット UART モードの場合の最上位ビットは SCOCR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 SCOMODO<WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>= “1” のときのみ、割り込み INTRX0 が発生します。

13.3.7 受信FIFOバッファ

前記ダブルバッファに加えて、受信 FIFO バッファを用いて、データの格納を行う事ができます。SC0FCNF レジスタの<CNFG>及び SCOMOD1 の<FDPX1:0>の設定で最大 4byte の受信バッファを有効にする事が可能で、指定された fill レベルまでのデータが格納できます。受信 FIFO バッファを使用する場合はダブルバッファをイネーブルに設定しておいてください。

また UART モードでパリティビットを含むデータを受信する場合、受信ごとにパリティエラーチェックを行なう必要があります。

13.3.8 受信FIFOの動作

FIFO が許可されている場合、受信データは受信バッファから受信 FIFO に移され、受信バッファ full フラグはただちにクリアされます。割り込みは SCORFC<RIL[1:0]> の設定に従って発生します。

注) UART モードで、FIFO 使用時にパリティビット付きのデータ受信する場合、パリティエラーは受信したいずれかのデータで発生したことを示します。

I/O インタフェースモードで SCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

SCOMOD1<6:5>=01 : SIO の転送モードを半二重受信に設定します。

SC0FCNF<4:0>=10111 : fill レベル到達後の継続受信自動禁止

受信 FIFO の使用バイト数は割り込み発生 fill レベルに同じ

SCORFC<1:0>=00 : 割り込みが発生する FIFO の fill レベルを 4 バイトに設定

SCORFC<7:6>=11 : 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE> に 1 を書き込むとデータ受信を開始します。受信シフトレジスタ、受信バッファ、受信 FIFO すべてにデータが格納されると<RXE> を自動クリアして受信を終了します。

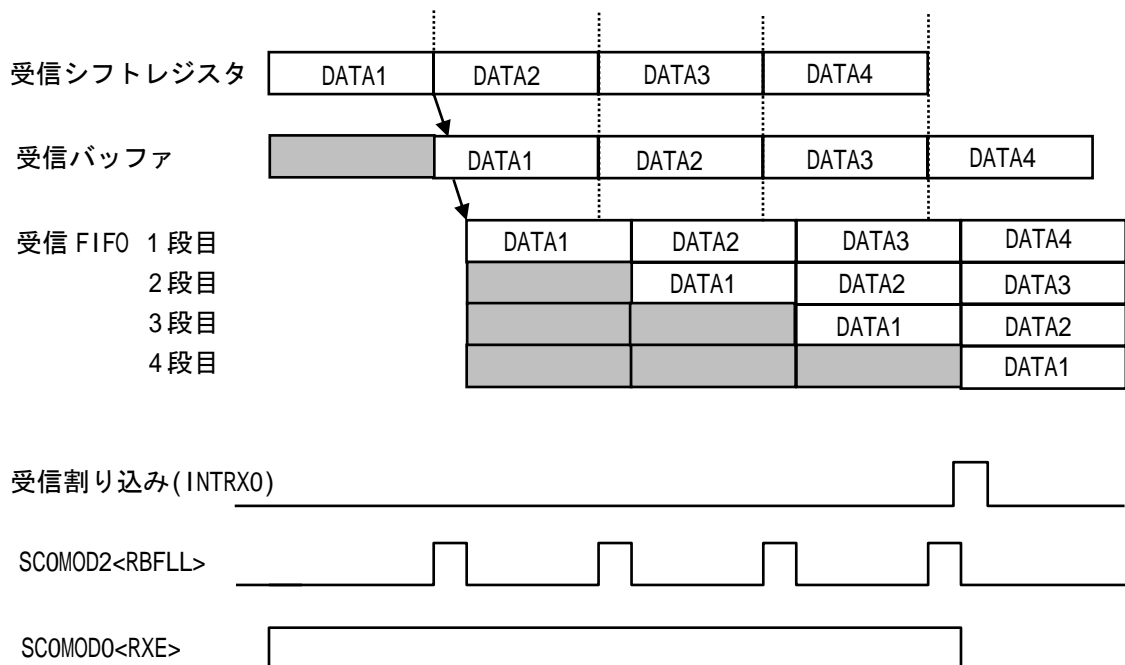


図13-3 受信 FIFO の動作(1)

I/O インタフェースモードで SCLK 入力の場合
4Byte のデータを受信する場合を例に説明します。

- SCOMOD1<6:5>=01 : SIO の転送モードを半二重受信に設定します。
- SCOF CNF<4:0>=10101 : fill レベル到達後の継続受信自動許可
受信 FIFO の使用バイト数は最大構成
- SCORFC<1:0>=00 : 割り込みが発生する FIFO の fill レベルを 4 バイトに設定
- SCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

上記の FIFO 構成の設定後、SCxMOD0<RXE>に 1 を書き込むと入力クロックに応じてデータ受信を開始します。4 バイト受信後に受信 FIFO 割り込みが発生します。
また、この設定では次の受信に備えることもできます。FIFO 内のデータをから読み出すことで、引き続き入力クロックに応じてデータ受信が可能となります。

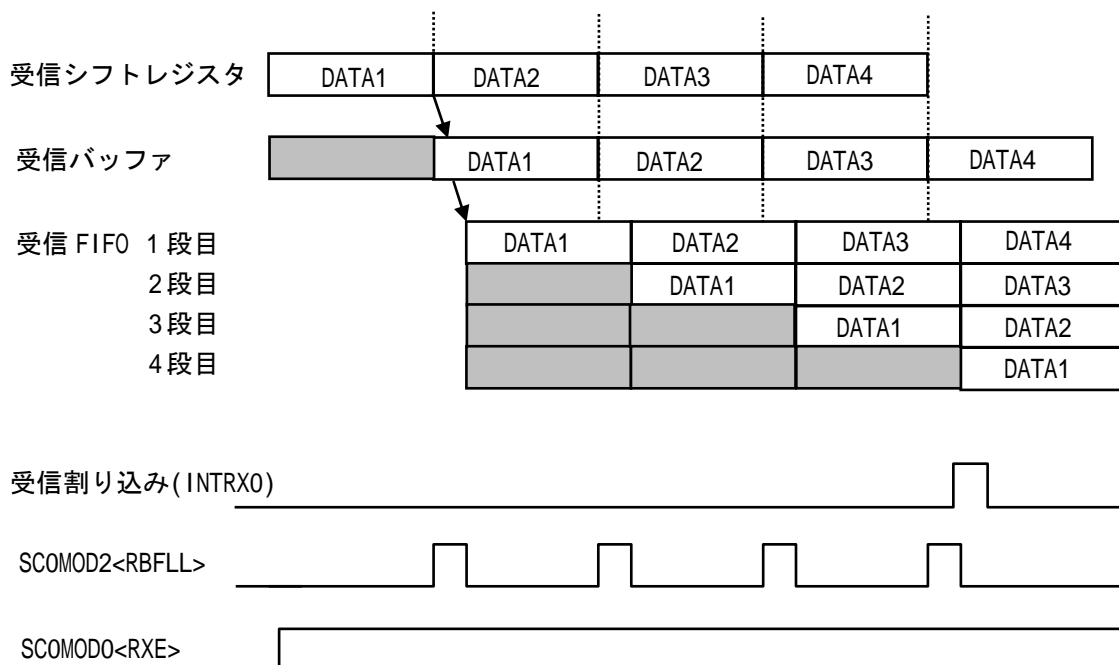


図 13-4 受信 FIFO の動作(2)

13.3.9 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

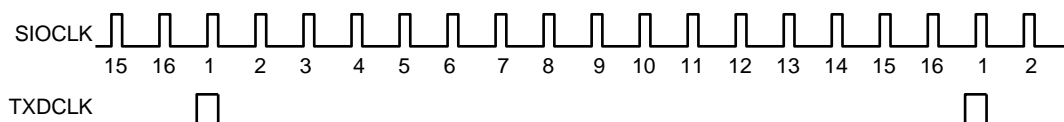


図 13-5 送信クロックの生成

13.3.10 送信制御部

- I/O インタフェースモードの場合

SCOCR<IOC>=“0”の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち下がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SCOCR<IOC>=“1”の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD0 端子へ出力します。

- 非同期通信 (UART)モードの場合

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (TXDSFT) を生成します。

- ハンドシェイク機能

$\overline{\text{CTS}}$ 端子をもっており、この端子を使用することにより、1データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SCOMODO <CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

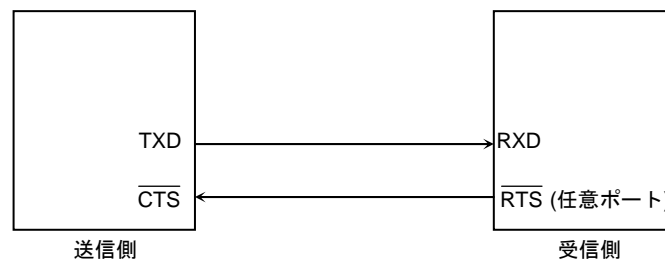


図 13-6 ハンドシェイク機能

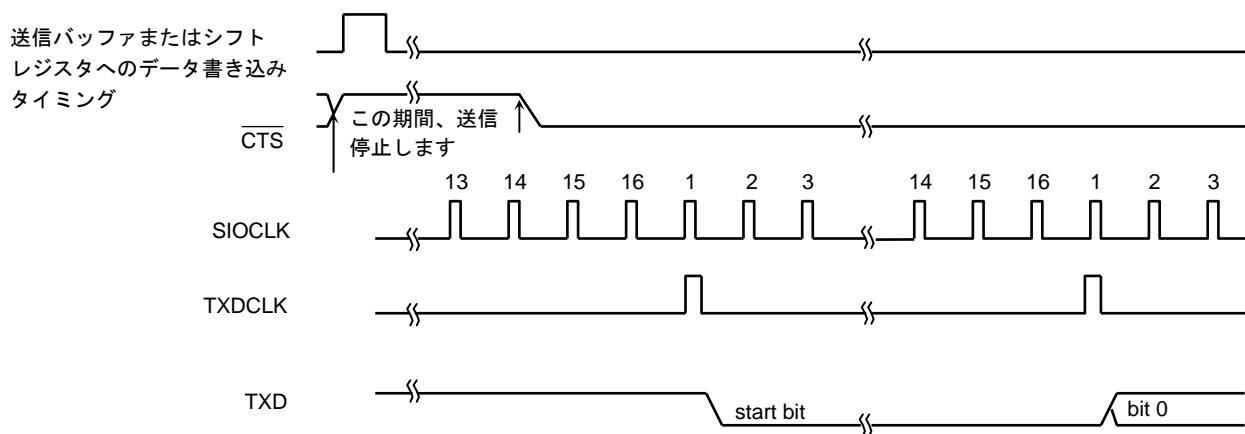


図 13-7 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

(注) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 $\overline{\text{CTS}}$ 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

13.3.11 送信バッファ

送信バッファ (SCOBUF) は2重構造になっています。シリアルモードコントロールレジスタ 2 (SCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ (SCOBUF) ヘッダーが書き込まれると、そのデータは送信シフトレジスタへ移されます。

送信 FIFO が有効にされていない場合 (SCOFCNF<CNFG>=0 or 1 で且つ SCOMOD1<FDPX1:0>=01) は同時に送信割り込み INTTX0 が発生して、SCOMOD2 の送信バッファエンプティフラグ<TBEMP>が“1”にセットされます。これは、送信バッファが空になったことを示し、次の送信データの書き込みが可能になります。次の送信データが送信バッファに書き込まれると<TBEMP>フラグが“0”にクリアされます。

送信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ SCOMOD1<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファへ移され、<TBEMP>フラグは直ぐに“0”にクリアされます。CPU は送信 Buffer 2 または送信 FIFO ヘッダーを書き込みます。

また I/O インタフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合は、送信シフトレジスタのデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファヘッダーがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (SCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インタフェースモードの SCLK 入力時で送信 FIFO が有効にされている場合は送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファヘッダーが移されます。

I/O インタフェースモードの SCLK 出力時に送信 FIFO が有効にされていない場合は、送信バッファのデータが送信シフトレジスタに移されて、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インタフェースモードの SCLK 出力時に送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信シフトレジスタのデータ送信が終了すると SCLK 出力を停止します。

注) I/O インタフェース SCLK 出力モードでは、SCOCR の<PEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み INTTX0 が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>="0" (不許可) に設定して送信バッファの機能を無効にして、送信 FIFO の設定は行わないで下さい。

13.3.12 送信FIFOバッファ

前記ダブルバッファに加えて、送信 FIFO バッファを用いて、データの格納を行う事ができます。SCOFCNF レジスタの CNFG の設定及び SCOMOD1<FDPX1:0>で 4byte の送信バッファ r を有効にする事ができます。UART モード及び I/O インタフェースモードにおいて 4byte までのデータが格納できます。

また UART モードでパリティビットを含むデータを送信する場合、受信側は受信ごとにパリティエラーチェックを行なう必要があります。

13.3.13 送信FIFOの動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトのデータを格納することができます。送信を許可すると、送信バッファから送信シフトレジスタにデータが転送されて送信を開始するとともに、FIFO にデータが存在する場合はただちに送信バッファへ移され、<TBEMP> フラグは"0" にクリアされます。

注) 送信 FIFO バッファ使用時は、SIO の転送モード設定(半二重/ 全二重)、FIFO 許可 (SC0FCNF<CNFG>="1") の後、必ず送信 FIFO クリアを実行して下さい。

I/O インタフェースモードで SCLK 出力の場合 (通常モード)

4 バイトのデータを送信する場合を例に説明します。

SCxMOD1<6:5>=10 : SIO 転送モードを半二重受信に設定します。

SC0FCNF<4:0>=01011 : fill レベル到達後の継続送信の禁止

SC0TFC<1:0>=00 : 割り込み発生時の fill レベルを Empty に設定

SC0TFC<7:6>=11 : 送信 FIFO のクリアと割り込み発生条件の設定

この状態で転送モードを半二重送信に設定して、送信 FIFO に 5 バイト分の送信データを書き込み、<TXE> BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

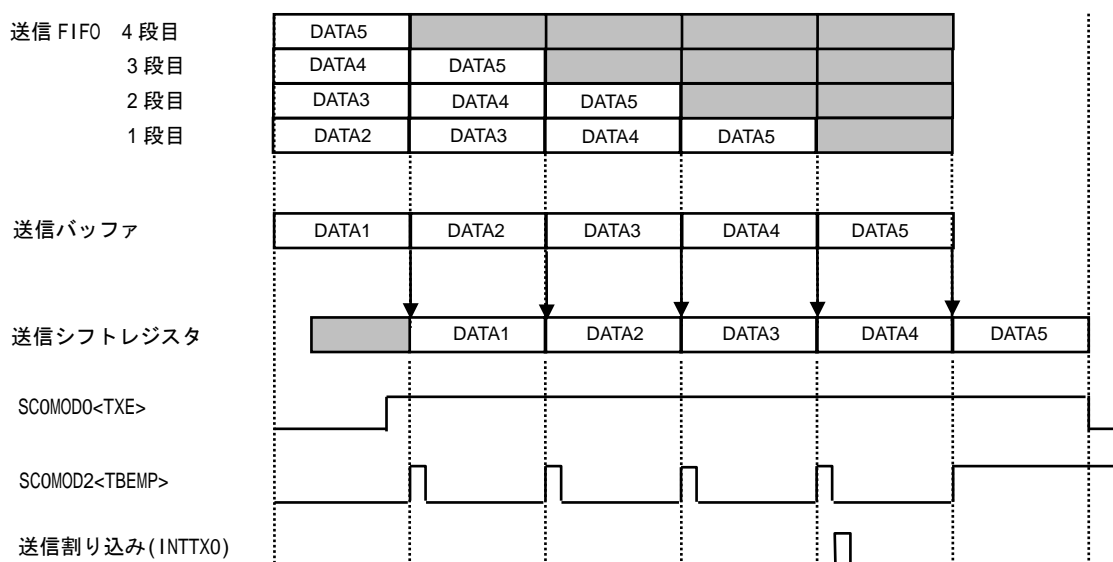


図 13-8 送信 FIFO の動作

I/O インタフェースモードで SCLK 入力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

SCxMOD1<6:5>=10 : SIO 転送モードを半二重受信に設定します。

SC0FCNF<4:0>=01001 : fill レベル到達後の継続送信の許可

SC0TFC<1:0>=00 : 割り込み発生時の fill レベルを Empty に設定

SC0TFC<7:6>=11 : 送信 FIFO のクリアと割り込み発生条件の設定

この状態で転送モードを半二重送信に設定して、送信 FIFO に 5 バイト分の送信データを書き込み、<TXE> BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信バッファに移されると送信 FIFO 割り込みが発生します。

継続送信の場合は、送信データを書き込むことにより継続して送信を行うことができます。

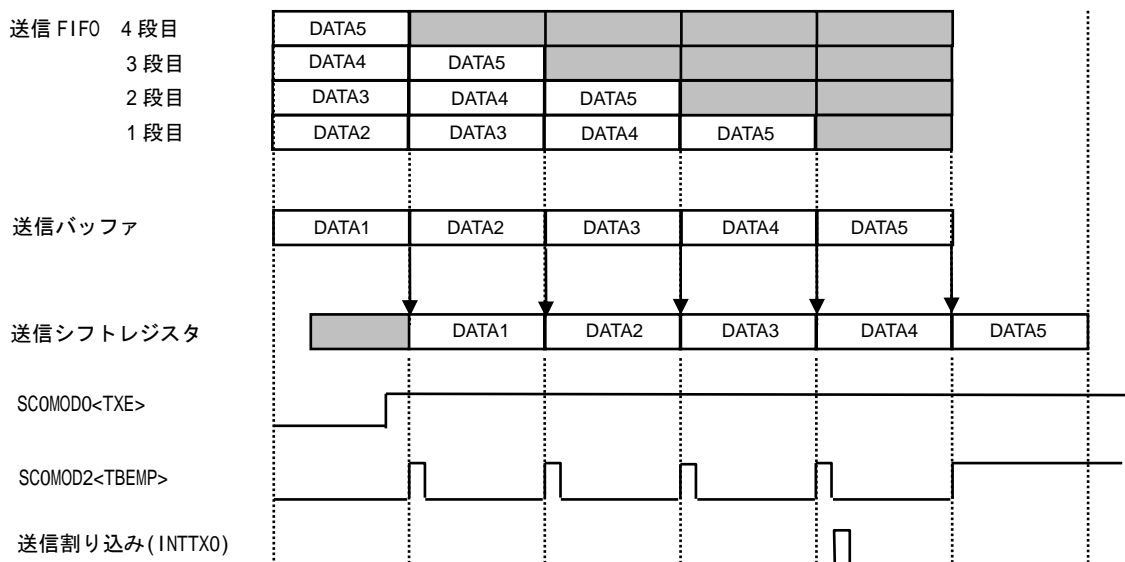


図 13-9 送信 FIFO の動作

13.3.14 パリティ制御回路

シリアルコントロールレジスタ (SCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7 ビット UART または 8 ビット UART モードのみパリティ付加が可能です。SCOCR の <EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7 ビット UART モードのときは SCOBUF ビット 7<TB7> に、8 ビット UART モードのときはシリアルモードコントロールレジスタ SCOMODO のビット 7 <TB8> にパリティがデータ送信後に格納されます。なお、<PE> と <EVEN> の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信シフトレジスタにシフトインされ、受信バッファ (SCOBUF) に移されることによりパリティを自動発生します。7 ビット UART モードのときは、SCOBUF <RB7> と、8 ビット UART モードのときは、SCOCR レジスタのビット 7 <RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SCOCR レジスタの<PERR> フラグがセットされます。

FIFO を使用する場合、<PERR> は受信したいずれかのデータでパリティエラーが発生したことを示します。

I/O インタフェースモードの時は SCOCR<PERR>はパリティフラグではなく、アンダーランエラーフラグの働きになります。

13.3.15 エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR> : シリアルコントロールレジスタ SCOCR のビット 4

UART、I/O インタフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が FULL (使用 BYTE 数) になるまではオーバランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インタフェースモードの SCLK 出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

注) I/O インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCOCR レジスタを読み出し、オーバランフラグをクリアしてください。

2. パリティエラー/アンダーランエラー<PERR> : SCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インタフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (SCOMOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファヘデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信 FIFO が有効にされている場合は送信 FIFO からデータが移されます。送信 FIFO のデータが空になり、送信ダブルバッファのデータ空になると、アンダーランエラーが発生します。SCLK 出力モード時、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファが無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

注) IO インタフェース SCLK 出力モードから他のモードへ切り替える際には、SCOCR レジスタを読み出し、アンダーランフラグをクリアしてください。

3. フレーミングエラー <FERR> : SCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2(SCOMOD2)の STOP ビット長設定ビット<SBLN>の設定に関わらず、受信時の STOP ビットの判定は1ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
IO インタフェース (SCLK 入力)	OERR	オーバランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1)
		0 固定 (WBUF=0)
FERR	0 固定	
IO インタフェース (SCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

13.3.16 データ転送方向

シリアルモードコントロールレジスタ 2 (SCOMOD2) の転送方向設定ビット <DRCHG> の設定により、I/O インタフェースモード時に転送方向を MSB ファーストまたは LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

13.3.17 STOP ビットの長さ

SCOMOD2 レジスタのビット 4 <SBLEN> の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットの STOP ビット長として認識します。

13.3.18 ステータスフラグ

SCOMOD2 レジスタのビット 6 <RBFL> はダブルバッファ有効 (SCOMOD2 <WBUF> = "1") 時の受信バッファ full を示すフラグです。1 フレームの送受信が終了して、受信データがシフトレジスタからバッファに移されるとバッファが full (データが格納されている状態) であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF> = "0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。SCOMOD2 レジスタのビット 7 <TBEMP> はダブルバッファ有効 (SCOMOD2 <WBUF> = "1") 時の送信バッファが空になったことを示すフラグです。送信バッファから送信シフトレジスタ (シフトレジスタ) へデータが移されると、送信バッファが空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF> = "0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

13.3.19 送受信バッファの構成

		<WBUF> = 0	<WBUF> = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

13.3.20 ソフトリセット

SCOMOD2 レジスタのビット 1, 0 <SWRST1:0> を "10" "01" と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの SCOMODO <RXE>, SCOMOD1 <TXE>, SCOMOD2 <TBEMP>, <RBFL>, <TXRUN>, コントロールレジスタの SCOCR <OERR>, <PERR>, <FERR> 及び内部回路が初期化されます。その他の状態は保持されます。

13.3.21 各信号発生タイミング

UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (<WBUF> = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (<WBUF> = 1)	送信シフトレジスタヘデータを移した直後 (スタートビット送出の直前)	送信シフトレジスタヘデータを移した直後 (スタートビット送出の直前)	送信シフトレジスタヘデータを移した直後 (スタートビット送出の直前)

I/O インタフェースモードの場合

受信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファヘデータを移した直後) または受信バッファからデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファヘデータを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信シフトレジスタヘデータを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信シフトレジスタヘデータを移した直後
アンダーランエラー発生タイミング	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信 (受信許可の状態) に制御レジスタの変更は行わないでください

注2) 受信動作中に受信動作を停止 (SCOMOD0<RXE>= "0") しないでください

注3) 送信動作中に送信動作を停止 (SCOMOD1<TXE>= "0") しないでください

13.4 レジスタ説明 (チャンネル0についてのみ説明します)

チャンネル0のレジスタについて説明します。他チャンネルについてもレジスタセットは同様です。

13.4.1 イネーブルレジスタ

		7	6	5	4	3	2	1	0	
SCOEN	bit Symbol									SIOE
	Read/Write	R								R/W
	リセット後	0								0
	機能	リードすると“0”が読めます。								SIO動作 0:禁止 1:許可

<SIOE>: SIOの動作を指定します。

SIOを使用する場合は、まずSIO動作許可にしてください。

動作禁止の状態では、イネーブルレジスタを除くSIOのすべてのクロックが停止しますので消費電力の低減が可能です。

SIOを一旦動作させた後に動作禁止にした場合は、SCOTFC[1:0]を除く各レジスタの設定は保持されます。

13.4.2 バッファレジスタ

バッファレジスタ (SCOBUF) は、書き込み時は送信バッファ、読み出し時は受信バッファとして機能します。

		7	6	5	4	3	2	1	0
SCOBUF	bit Symbol	TB7/RB7	TB6/RB6	TB5/RB5	TB4/RB4	TB3/RB3	TB2/RB2	TB1/RB1	TB0/RB0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	TB7~0 : 送信バッファ/FIFO RB7~0 : 受信バッファ/FIFO							

<TB7:0> 送信バッファ。(書き込み時のみ)

<RB7:0> 受信バッファ。(読み出し時のみ)

13.4.3 コントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
Read/Write	R	R/W		R (Read すると 0 クリア されます。)			R/W	
リセット後	0	0	0	0	0	0	0	0
機能	受信データ ビット 8 (UART 用)	パリティ (UART 用) 0: Odd 1: Even	パリティ 付加 (UART 用) 0: 禁止 1: 許可	0: 通常動作 1: エラー			0: SCLK0  1: SCLK0 	(I/O インタフェ-ス用) 0: ポーレートジェネレータ 1: SCLK0 端子入力
				オーバラン	パリティ/アンダーラン	フレーミング		

<RB8>: 9 ビット UART モード時の 9 ビット目の受信データです。

<EVEN>: パリティの条件を設定します。
“0”で奇数 (Odd) パリティ、“1”で偶数 (Even) パリティです。
パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。

<PE>: パリティ許可/禁止を制御するビットです。
パリティは、7 ビット UART モード、8 ビット UART モードで使用可能です。

<OERR>: エラーフラグです。(注)

<PERR>: それぞれ、オーバランエラー、パリティ/アンダーランエラー、フレーミングエラーを示します。

<SCLKS>: データ送受信で使用する入力クロックエッジを選択します。
“0”で SCLK0 の立ち上がりエッジでの送受信、“1”で立下りエッジでのデータ送受信です。クロック出力モード時は、“0”で立ち上がりエッジに設定して下さい。

<IOC>: I/O インタフェースモード時のクロックを選択します。
“0”でポーレートジェネレータ、“1”で SCLK0 端子入力が選択されます。

(注) エラーフラグは読み出されるとすべてクリアされます。

13.4.4 モードコントロールレジスタ 0

		7	6	5	4	3	2	1	0
bit Symbol		TB8	CTSE	RXE	WU	SM1	SMO	SC1	SC0
Read/Write		R/W							
SCOMOD0	リセット後	0	0	0	0	0	0	0	0
機能	送信データ ビット 8	ハンド シェイク 機能制御 0: CTS ディセー ブル 1: CTS イネー ブル	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: ディセ ーブル 1: イネー ブル	シリアル転送モード 00: I/O インタフェース モード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード	シリアル転送クロック (UART 用) 00: TMRB, MPT 出力信号 01: ボーレート ジェネレータ 10: 内部クロック f _{sys} 11: 外部クロック (SCLKO 入力)			

<TB8>: 9 ビット UART モード時の 9 ビット目の送信データをセットします。

<CTSE>: ハンドシェイク機能の制御を行います。
イネーブルにすると $\overline{\text{CTS}}$ 端子を用いたハンドシェイク機能が使用可能になります。

<RXE>: 受信制御を行うビットです。(注)
このビットは、各モードレジスタ (SCOMOD0, SCOMOD1, SCOMOD2) を設定してから許可して
ください。

<WU>: ウェイクアップ機能の制御を行います。
9 ビット UART モードの場合のみ有効で、その他のモードでは無視されます。

9 ビット UART モード		その他
0	受信すれば割り込み	don't care
1	受信データ 9 ビット目が "1" の ときのみ割り込み	

<SM1:0>: 転送モードを選択します。

<SC1:0>: UART モード時の転送クロックを選択します。
I/O インタフェースモード時の転送クロックは、コントロールレジスタ (SCOCR) で選択
します。タイマを選択した場合、シリアルチャネル 0,1 は、TB4OUT を使用します。シリ
アルチャネル 2,3 は TB7OUT を使用します。シリアルチャネル 4 は MTTB00OUT を使用します。

(注 1) <RXE> = "0" の状態で各モードレジスタ (SCOMOD0, SCOMOD1, SCOMOD2) を設定してから
最後に <RXE> = "1" にしてください

(注 2) 受信中に動作を停止 (SCxMOD0<RXE> を "0" にクリア) しないでください。

13.4.5 モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	I2SC	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	—
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 (I/O インタフェース用) 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK			0 を書き 込んでく ださい

<I2SC> : IDLE モード時の動作を指定します。

<FDPX1:0> : I/O インタフェースモード時の転送モードを設定します。また FIFO が許可されている場合は FIFO の構成を指定します。
UART モードの場合は FIFO 構成の指定のみ行われます。

<TXE> : 全転送モードに有効な送信許可ビットです。(注1)
送信中にこのビットが禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<SINT2:0> : I/O インタフェースモードで SCLK0 出力の場合に有効なビットです。その他のモードでは意味を持ちません。
I/O インタフェースモードで、ダブルバッファまたは FIFO が許可されている時に連続転送のインターバル時間を指定します。

(注1) <TXE>ビットは、他のビットを設定した後に許可してください。

(注2) 送信中に動作を停止(SCxMOD1<TXE>)を"0"にクリアしないでください。

13.4.6 モードコントロールレジスタ 2

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R			R/W				
リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full flag 0: Empty 1: full	送信動作中 flag 0: 停止 1: 動作	STOP ビット (UART 用) 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” “01” のライトで RESET	

<TBEMP>: ダブルバッファ不許可の場合はこのフラグは意味を持ちません。送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され empty になると “1” になり、送信データが書き込まれると “0” になります。

<RBFL>: ダブルバッファ不許可の場合はこのフラグは意味を持ちません。受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。
<TXRUN>と<TBEMP>ビットで以下のような状態を示します。

<TXRUN>	<TBEMP>	状態
1		送信動作中
0	1	送信が完全に終了
	0	送信バッファに次のデータがあり送信待ち

<SBLN>: UART モード時の送信 STOP ビットの長さを指定します。
受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

<DRCHG>: I/O インタフェースモード時の転送方向を指定します。
UART モード時は LSB first に設定してください。

<WBUF>: I/O インタフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信のダブルバッファの許可/不許可を指定します。
I/O インタフェースモードの受信 (SCLK 入力)、UART モードの受信時は設定に関わらず、常にダブルバッファは許可されます。

<SWRST1:0>: “10” “01” の順に書き込むことでソフトウェアリセットが発生します。
ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路と FIFO は初期状態になります。
(注1) (注2) (注3)

レジスタ名	ビット
SCOMOD0	RXE
SCOMOD1	TXE
SCOMOD2	TBEMP, RBFL, TXRUN,
SCOCR	OERR, PERR, FERR

- (注 1) 転送動作中にソフトリセットを実施する場合は2回連続して実行してください。
- (注 2) ソフトウェアリセット動作が完了するのに、命令実行後2クロックが必要です。
- (注 3) ソフトウェアリセットを実施した場合、他のビットは初期化されますので、モードレジスタ及びコントロールレジスタの再設定が必要となります。

13.4.7 ポーレートジェネレータコントロールレジスタ (SC0BRCR) ポーレートジェネレータコントロールレジスタ 2 (SC0BRADD)

		7	6	5	4	3	2	1	0
SC0BRCR	bit Symbol	—	BROADDE	BROCK1	BROCK0	BROS3	BROS2	BROS1	BROS0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	“0”をラ イトしてく ださい	$N + (16 - K) / 16$ 分周機能 0: ディセー ブル 1: イネー ブル	ポーレートジェネレー タ入力クロック選択 00: $\phi T1$ 01: $\phi T4$ 10: $\phi T16$ 11: $\phi T64$	分周値“N”の設定 0000: 16分周 0001: 1分周 0010: 2分周 : 1111: 15分周				

		7	6	5	4	3	2	1	0	
SC0BRADD	bit Symbol					BROK3	BROK2	BROK1	BROK0	
	Read/Write	R				R/W				
	リセット後	0				0	0	0	0	
	機能	リードすると“0”が読めます				$N + (16 - K) / 16$ 分周のK値の設定 0000: 設定禁止 0001: K=1 0010: K=2 : 1111: K=15				

<RBOADDE>: $N + (16 - K) / 16$ 分周機能の設定を行うビットです。
この機能は、UARTモードのときのみ使用可能です。

<RBROCK1:0>: ポーレートジェネレータ入力クロックを選択するビットです。

<RBROS3:0>: 分周値“N”を設定するビットです。

<RBROK3:0>: $N + (16 - K) / 16$ 分周の“K”値を設定するビットです。

ポーレートジェネレータの分周値は、上記の2つのレジスタで設定します。
ポーレートジェネレータ分周値の設定方法を表 13-5にまとめます。

表 13-5 分周値の設定方法

	BROADDE=0 のとき	BROADDE=1 のとき (注1) (UARTモードのみ使用可能)
BROS の設定	分周値“N”を設定 (注2) (注3)	
BROK の設定	設定不要	“K”値を設定 (注4)
分周値	N分周	$N + \frac{(16-K)}{16}$ 分周

- (注1) $N+(16-K)/16$ 分周機能を使用する場合、必ず BROK に “K” 値を設定後に BROADDE= “1” を設定してください。この機能は、UART モードのときのみ使用可能です。
- (注2) UART モードで $N + (16 - K)/16$ 分周機能を使用する場合、分周値 “N” に 1 分周 (“0001”) と 16 分周 (“0000”) は設定できません。
- (注3) I²O インタフェースモードの場合、分周値 “N” に 1 分周 (“0001”) を設定できるのはダブルバッファを使用する場合のみです。
- (注4) “K” 値に 「0」 を設定することはできません。

13.4.8 FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	Reserved	Reserved	Reserved	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず “000” を書き込んでください			受信 FIFO 使用 Byte 数 0:最大 1:受信 FIFO の FILL レベルに同じ	送信 FIFO 使用時の送信割り込み許可 0:禁止 1:許可	受信 FIFO 使用時の受信割り込み許可 0:禁止 1:許可	RXE/TXE の自動禁止 0:無し 1:自動禁止	FIFO の許可 0:禁止 1:許可

<RFST>: 受信 FIFO 使用 byte 数の設定ビットです。(注)
 “0” の場合、構成されている FIFO の最大の byte 数が使用可能です。
 (<CNFG>ビットの説明を参照してください。)
 “1” の場合、受信 FIFO コンフィグレジスタ SCORFC<RIL1:0>で指定された FILL レベルの byte 数になります。

<TFIE>: 送信 FIFO が有効にされている時の送信割り込みの許可／不許可を切り替えます。

<RFIE>: 受信 FIFO が有効にされている時の受信割り込みの許可／不許可を切り替えます。

<RXTXCNT>: 送信/受信の自動禁止機能の制御ビットです。
 “1” に設定した場合、設定された通信方式により以下のように動作します。
 (通信方式はモードコントロールレジスタ 1 SCOMOD1<FDPX1:0>で設定します。)

半二重受信	受信シフトレジスタ、受信バッファおよび受信 FIFO に 指定された有効 byte 数分の データが格納されると自動的に受信許可ビット (SCOMOD0<RXE>) が “0” となり、受信が禁止されます。
半二重送信	送信 FIFO、送信バッファおよび送信シフトレジスタのすべてのデータ送信が終了すると自動的に送信許可ビット (SCOMOD1<TXE>) が “0” となり、送信が禁止されます。
全二重	上記の半二重受信または半二重送信のどちらかの条件が成立すると自動的に送信許可ビット、受信許可ビットとも “0” となり、送受信が禁止されます。

<CNFG>: FIFO 使用の許可ビットです。
 “1” に設定すると FIFO が使用可能となります。設定された通信方式により FIFO の構成は以下ようになります。
 (通信方式はモードコントロールレジスタ 1 SCOMOD1<FDPX1:0>で設定します。)

半二重受信	受信 FIFO 4byte
半二重送信	送信 FIFO 4byte
全二重	受信 FIFO 2byte+送信 FIFO 2byte

(注1) 送信 FIFO は常に構成されている FIFO の最大バイト数を使用できます。

(注2) 9 ビット UART モードでは FIFO は使用できません。

13.4.9 受信FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RFCS	RFIS					RIL1	RIL0
Read/Write	W	R/W	R				R/W	
リセット後	0	0	0				0	0
機能	受信 FIFO クリア 1:クリア リードすると常に "0" が読めます	割り込み発生条件選択 0:fill レベル到達 1:fill レベル到達および新規データ読み出し時に fill レベルを超えている	リードすると "0" が読めます。				受信割り込みが発生する FIFO の fill レベル 00:4byte 01:1byte 10:2byte 11:3byte	

<RFCS>: 受信 FIFO クリアビットです。
"1" を書き込むと受信 FIFO がクリアされます。リードすると "0" が読めます。

<RFIS>: 割り込み発生条件を選択します。
"0" で fill レベル到達時に割り込み発生、"1" で fill レベル到達時および、新規データ読み出し時に fill レベルを超えている場合に割り込みが発生します。

<RIL1:0>: FIFO の fill レベルを選択します。

	全二重以外	全二重
00	4byte	2byte
01	1byte	1byte
10	2byte	2byte
11	3byte	1byte

(注) 送信 / 受信 FIFO 使用時は、SIO の転送モード設定 (半二重 / 全二重)、FIFO 許可 (SCOF CNF<CNFG>="1") の後、必ず送信 / 受信 FIFO のクリアを実行して下さい。

13.4.10 送信FIFOコンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS					TIL1	TIL0
Read/Write	W	R/W	R				R/W	
リセット後	0	0	0				0	0
機能	送信 FIFO クリア 1:クリア リードすると常に "0" が読めます	割り込み発生条件選択 0:fill レベル到達 1:fill レベル到達および新規データ書き込み時に fill レベルに達していない	リードすると "0" が読めます。				送信割り込みが発生する FIFO の fill レベル 00:Empty 01:1byte 10:2byte 11:3byte	

<TFCS>: 送信 FIFO クリアビットです。
"1" を書き込むと送信 FIFO がクリアされます。リードすると "0" が読めます。

<TFIS>: 割り込み発生条件を選択します。
"0" で fill レベル到達時に割り込み発生、"1" で fill レベル到達時および、新規データ書き込み時に fill レベルに達していない場合に割り込みが発生します。

<TIL1:0>: FIFO の fill レベルを選択します。

	全二重以外	全二重
00	Empty	Empty
01	1byte	1byte
10	2byte	Empty
11	3byte	1byte

(注1) 送信 / 受信 FIFO 使用時は、SIO の転送モード設定 (半二重 / 全二重)、FIFO 許可 (SCOF CNF<CNFG>="1") の後、必ず送信 / 受信 FIFO のクリアを実行して下さい。

(注2) 以下の動作を行った際は、SCOTFC レジスタを再度設定してください。

- ・ SCOE<SIOE>="0" (SIO 動作停止)
- ・ SCOMOD1<I2SC> = "0" (IDLE モード時動作禁止) 設定で、WFI 命令による低消費電力モードへの遷移からの復帰後

13.4.11 受信FIFOステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	ROR					RLVL2	RLVL1	RLVL0
Read/Write	R	R				R		
リセット後	0	0				0	0	0
機能	受信 FIFO オーバーラン 1:発生	リードすると“0”が読めます。				受信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

<ROR>: 受信 FIFO のオーバーランフラグです。
オーバーランが発生すると“1”にセットされます。(注)

<RLVL2:0>: 受信 FIFO の fill レベルを示すビットです。

(注) <ROR>ビットはバッファレジスタ (SC0BUF) を読み出すと“0”にクリアされます。

13.4.12 送信FIFOステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TUR					TLVL2	TLVL1	TLVL0
Read/Write	R	R				R		
リセット後	1	0				0	0	0
機能	送信 FIFO アンダーラン 1:発生 FIFO ライト でクリア	リードすると“0”が読めます。				送信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

<TUR>: 送信 FIFO のアンダーランフラグです。
アンダーランが発生すると“1”にセットされます。(注)

<TLVL2:0>: 送信 FIFO の fill レベルを示すビットです。

(注) <TUR>ビットはバッファレジスタ (SC0BUF) に書き込みを行うと“0”にクリアされます。

13.5 モード別動作説明

13.5.1 モード 0 (I/Oインタフェースモード)

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の項を参照してください。

送信

SCLK 出力モード

SCLK 出力モードでは $SCOMOD2<WBUF> = 0$ で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生します。

$SCOMOD2<WBUF> = 1$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファにデータを書き込んだとき、または送信シフトレジスタ (シフトレジスタ) のデータ送出が終了したときに送信バッファより、送信シフトレジスタにデータが移されます。これと同時に送信バッファ empty フラグ $SCOMOD2<TBEMP>$ が “1” にセットされます。同時に、割り込み (INTTX0) が発生します。このときに送信バッファに送信シフトレジスタへ移すデータが存在しない場合は、割り込み (INTTX0) を発生せず、SCLK0 出力も停止します。

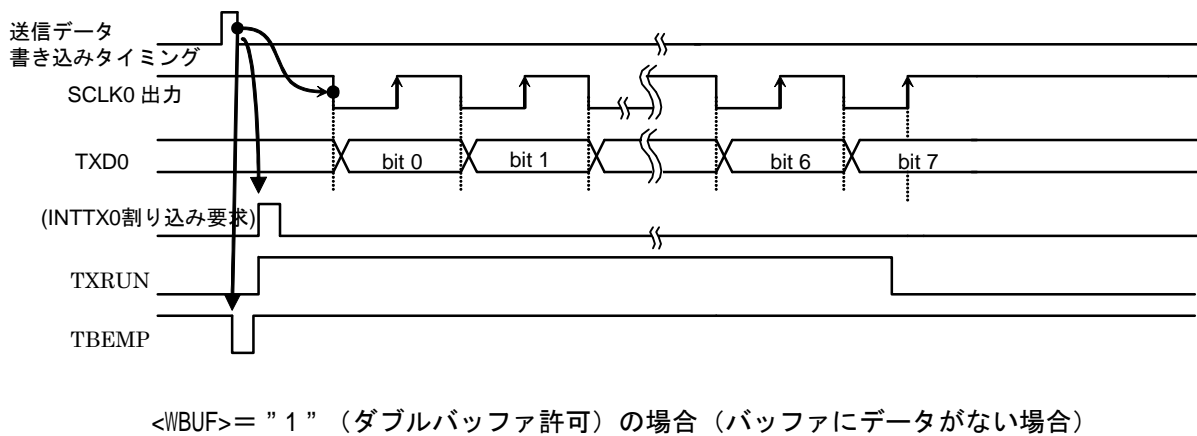
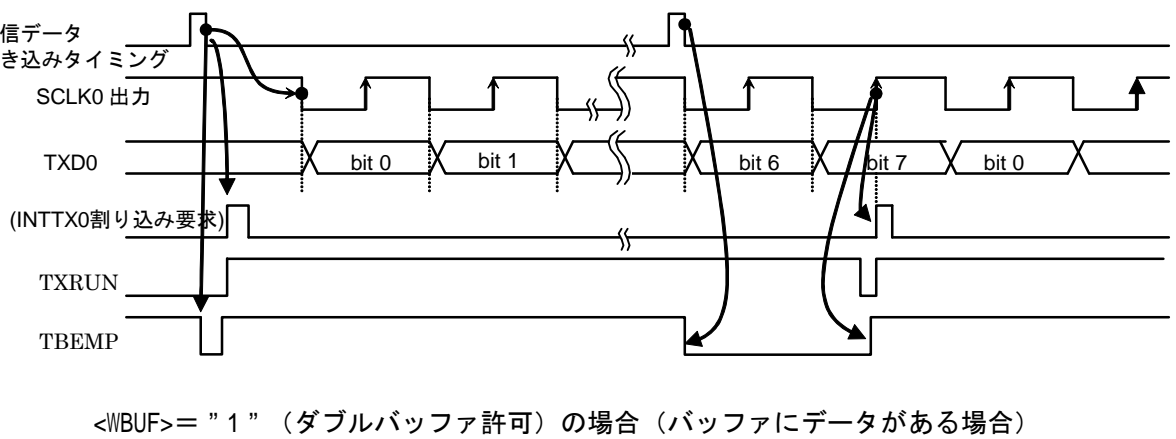
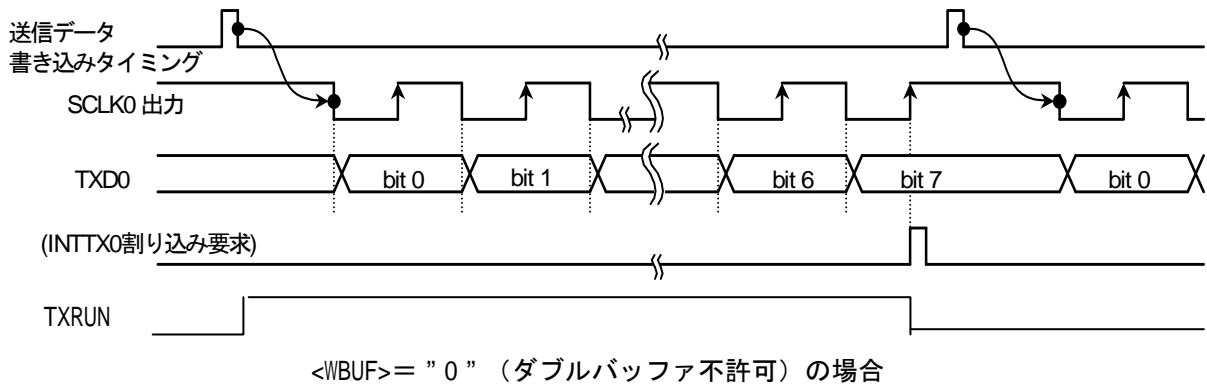
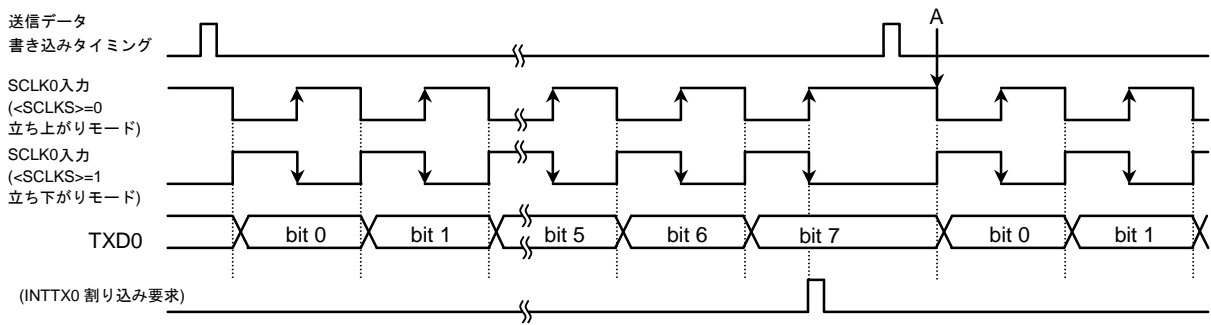


図 13-10 I/O インタフェースモード送信動作 (SCLK0 出力モード)

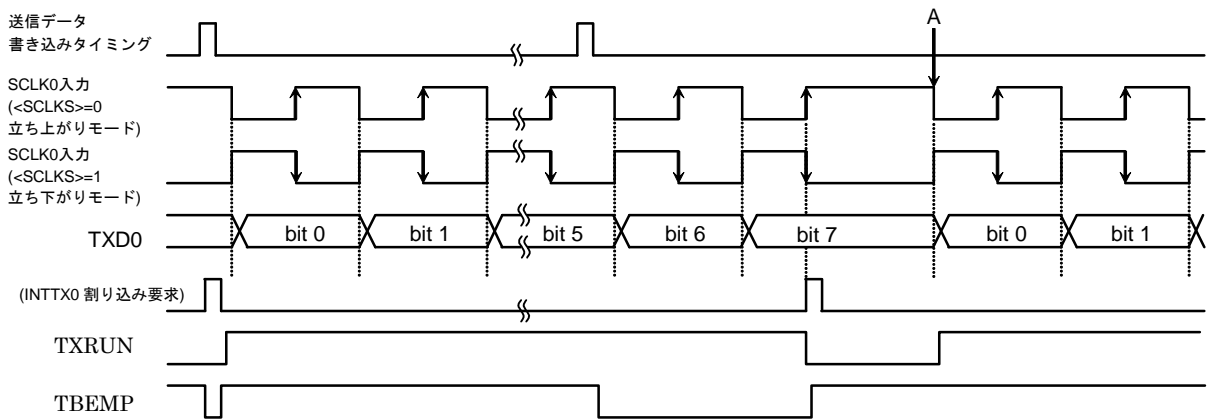
SCLK 入力モード

SCLK入力モードでは、SCOMOD2<WBUF>= " 0 " で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態でSCLK0 入力アクティブになると、8 ビットのデータがTXD0 端子より出力されます。データがすべて出力されると割り込みINTTX0 が発生します。次の送信データは図 13-11に示すA点までに書き込んでください。

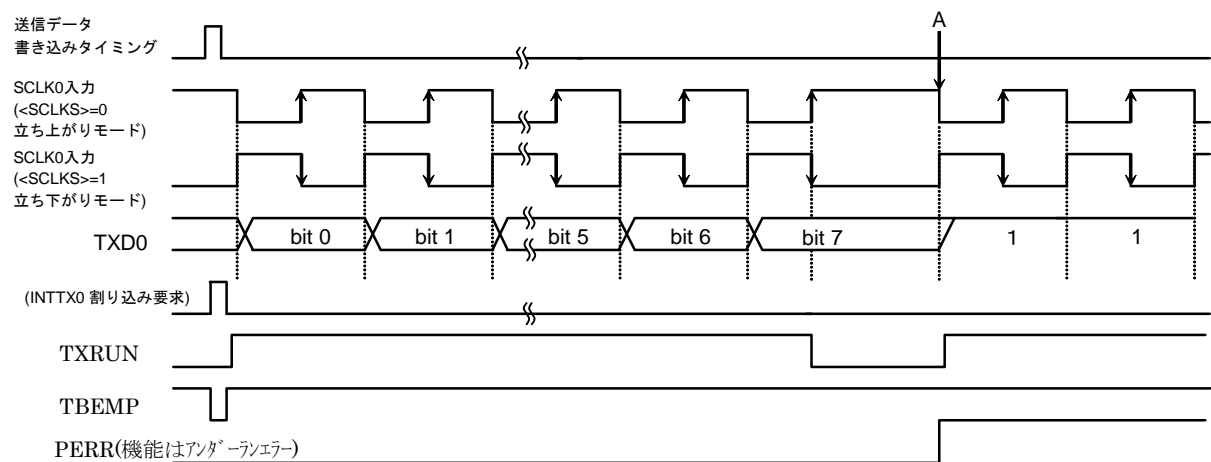
SCOMOD2<WBUF>= " 1 " で送信ダブルバッファが許可されている場合は、SCLK0 入力アクティブになる前に送信バッファにデータを書き込んだとき、または送信シフトレジスタ (シフトレジスタ) のデータ送出が終了したときに送信バッファのデータが送信シフトレジスタへ移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP>が " 1 " にセットされ、割り込み (INTTX0) が発生します。送信バッファにデータが書き込まれていない状態で、SCLK0 入力アクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。



<WBUF> = " 0 " (ダブルバッファ不許可) の場合



<WBUF> = " 1 " (ダブルバッファ許可) の場合 (バッファにデータがある場合)



<WBUF> = " 1 " (ダブルバッファ許可) の場合 (バッファにデータがない場合)

図 13-11 I/O インタフェースモード送信動作 (SCLK0 入力モード)

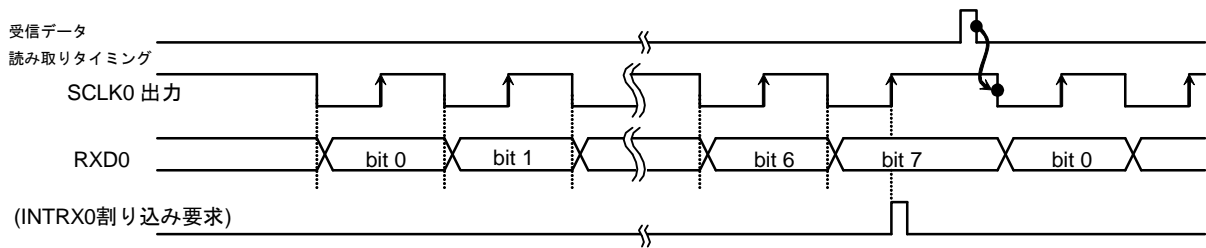
受信

SCLK 出力モード

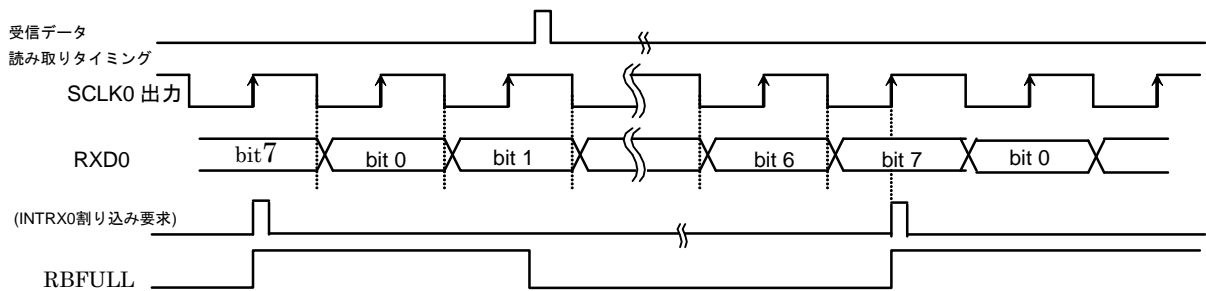
SCLK 出力モードでは $SCOMOD2\langle WBUF \rangle = "0"$ で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信シフトレジスタにシフトインされます。8 ビットデータが受信されると、割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、受信許可ビット $SCOMOD0\langle RXE \rangle$ を "1" にセットすることで行います。また、 $SCOMOD2\langle WBUF \rangle = "1"$ で受信ダブルバッファが許可の場合は、最初に受信したフレームは 受信バッファに移され、続けて次のフレームを受信シフトレジスタで受信します。受信シフトレジスタから受信バッファにデータが移されると、受信バッファ full フラグ $SCOMOD2\langle RBFULL \rangle$ が "1" にセットされ、割り込み INTRX0 が発生します。

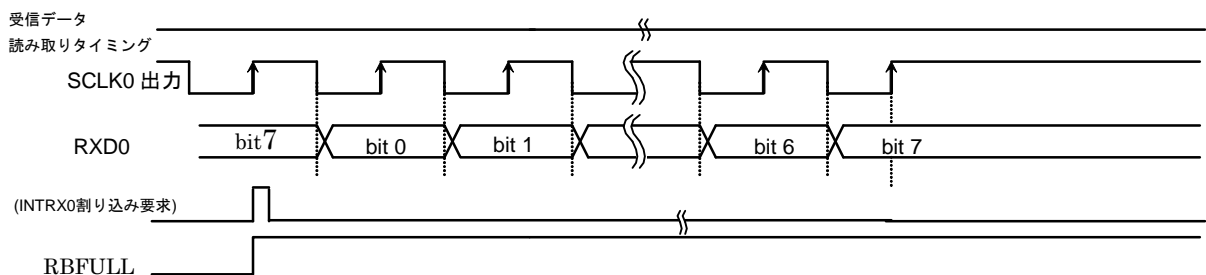
受信バッファにデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファのデータを読み出されない場合は、割り込み INTRX0 が発生せず、SCLK0 出力も停止します。この状態で受信バッファのデータを読み出すと、受信シフトレジスタのデータを受信バッファに移し、割り込み INTRX0 を発生して受信を再開します。



$\langle WBUF \rangle = "0"$ (ダブルバッファ不許可) の場合



$\langle WBUF \rangle = "1"$ (ダブルバッファ許可) の場合 (バッファのデータを読み出した場合)



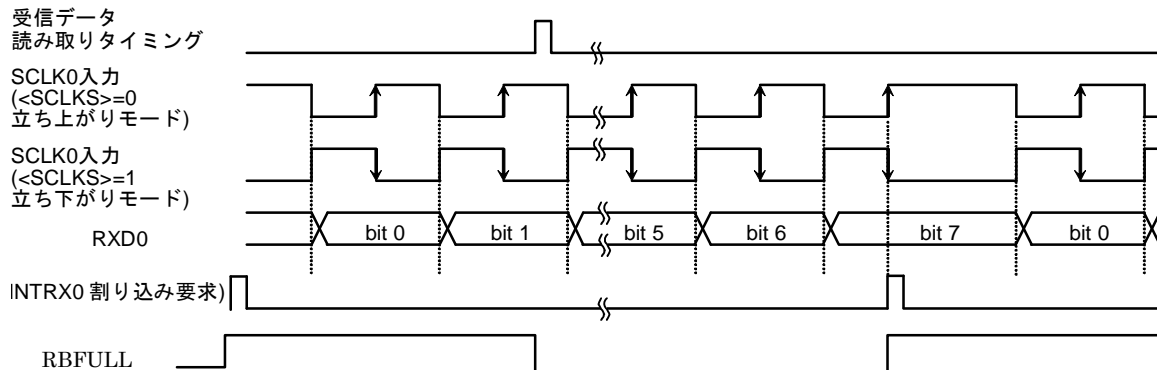
$\langle WBUF \rangle = "1"$ (ダブルバッファ許可) の場合 (バッファのデータを読み出されない場合)

図 13-12 I/O インタフェースモード受信動作 (SCLK0 出力モード)

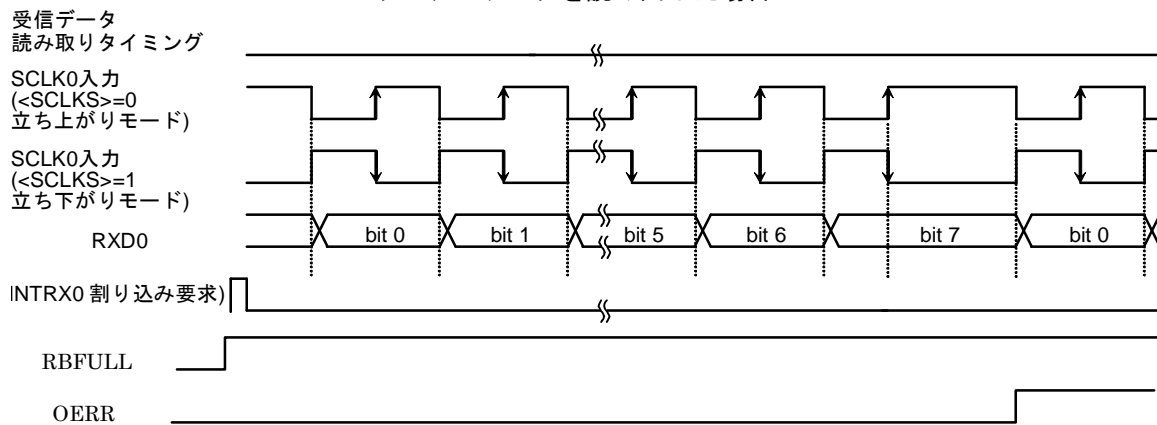
SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファに移され、受信シフトレジスタで連続して次のフレームを受信することができます。

受信データが受信バッファへ移されるごとに受信割り込み INTRX が発生します。



バッファのデータを読み出した場合



バッファのデータが読み出されない場合

図 13-13 I/O インタフェースモード受信動作 (SCLK0 入力モード)

(注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態(SCOMODO <RXE> = 1) にしておく必要があります。

送受信 (全二重)

シリアルモードコントロールレジスタ 1(SCOMOD1)のビット 6<FDPX0>に"1"をセットすることにより全二重モードでの通信が可能になります。

SCLK 出力モード

SCLK 出力モードでは SCOMOD2<WBUF>= " 0 " で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信シフトレジスタにシフトインされ、受信割り込み (INTRX0) が発生します。それと並行して送信バッファに書き込まれた 8 ビットデータが、TXD0 端子より出力され、全てのデータが送信されると送信割り込み (INTTX0) が発生します。この状態で SCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

SCOMOD2<WBUF>= " 1 " で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信シフトレジスタにシフトインされると、データは受信バッファに移され割り込み (INTRX0) が発生します。8 ビットデータの受信と並行して 8 ビットデータが TXD0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生して次のデータが送信バッファから送信シフトレジスタ移されます。この時に、送信バッファに移すデータが存在しない (SCOMOD2<TBEMP>= " 1 ") または受信バッファにデータが存在している (SCOMOD2<RBFULL>= " 1 ") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。

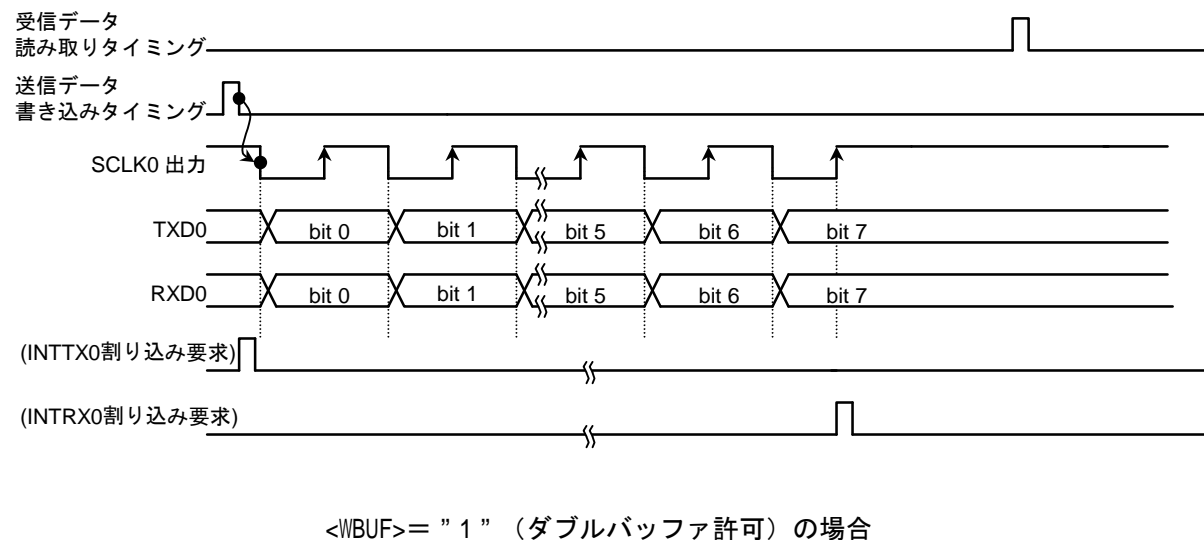
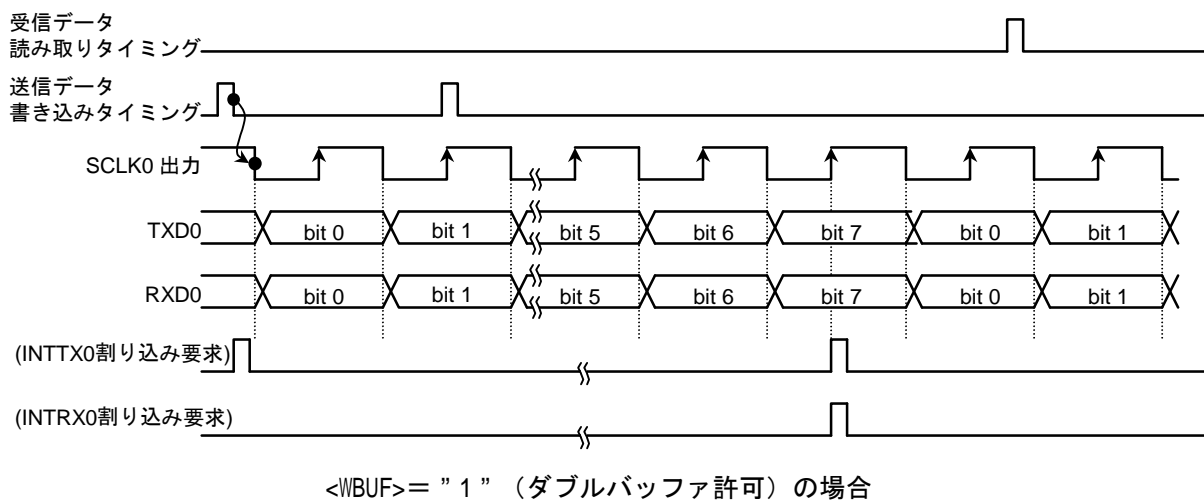
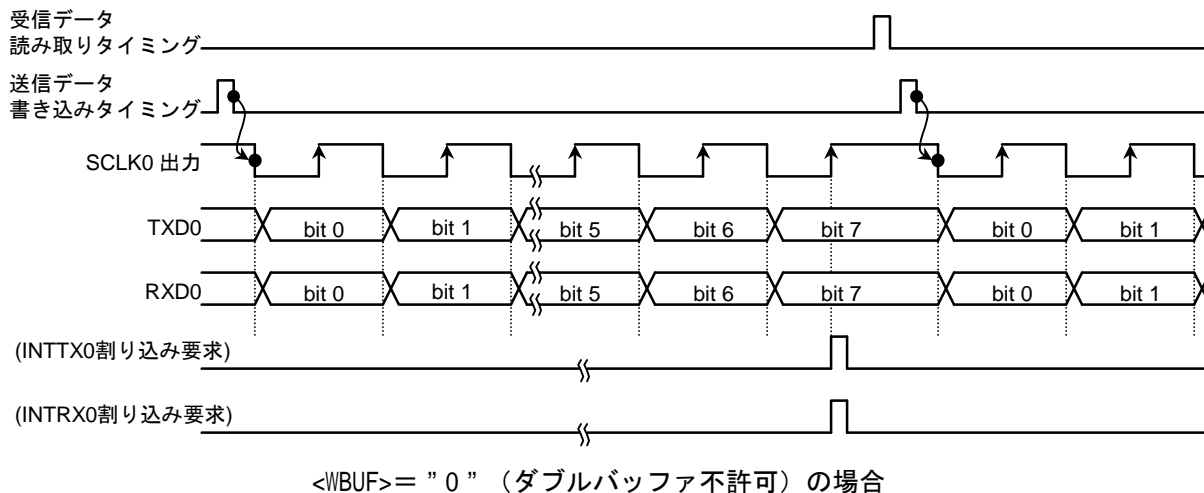


図 13-14 I/O インタフェースモード送受信動作 (SCLK0 出力モード)

SCLK 入力モード

SCLK入力モードではSCOMOD2<WBUF>= " 0 " で送信ダブルバッファが不許可(受信は設定に関わらずダブルバッファ有効)の場合は、送信バッファにデータが書き込まれている状態でSCLK入力アクティブになると、8ビットのデータがTXD0より出力されると同時に8ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み (INTTX0) が発生し、受信が終了すると受信シフトレジスタから受信バッファへデータが移されると同時に割り込み (INTRX0) が発生します。次のフレームのSCLKが入力される前に送信データを送信バッファへ書き込む様にしてください。(図 13-15に示すA点までに書き込んでください)。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

SCOMOD2<WBUF>= " 1 " で送受信共にダブルバッファが許可されている場合は、送信シフトレジスタのデータの送信が終了すると、送信バッファのデータが送信シフトレジスタへ移されると同時に割り込み (INTRX0) が発生します。また並行して受信した8ビットデータの受信シフトレジスタへのシフトインが終了すると、そのデータは受信バッファへ移され、割り込み (INTRX0) が発生します。続けて次のフレームの SCLKが入力されると、送信バッファから送信シフトレジスタへ移されたデータの送信が始まり、並行して受信シフトレジスタでのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファへ転送データが書き込まれていない場合はアンダーランエラーが発生します。

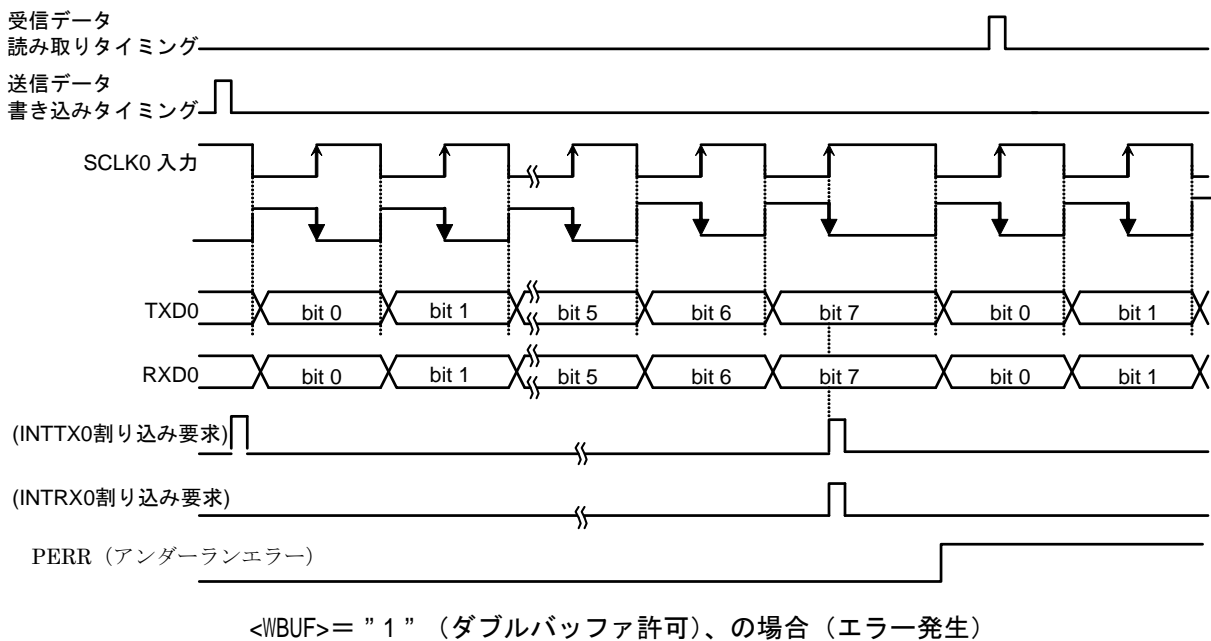
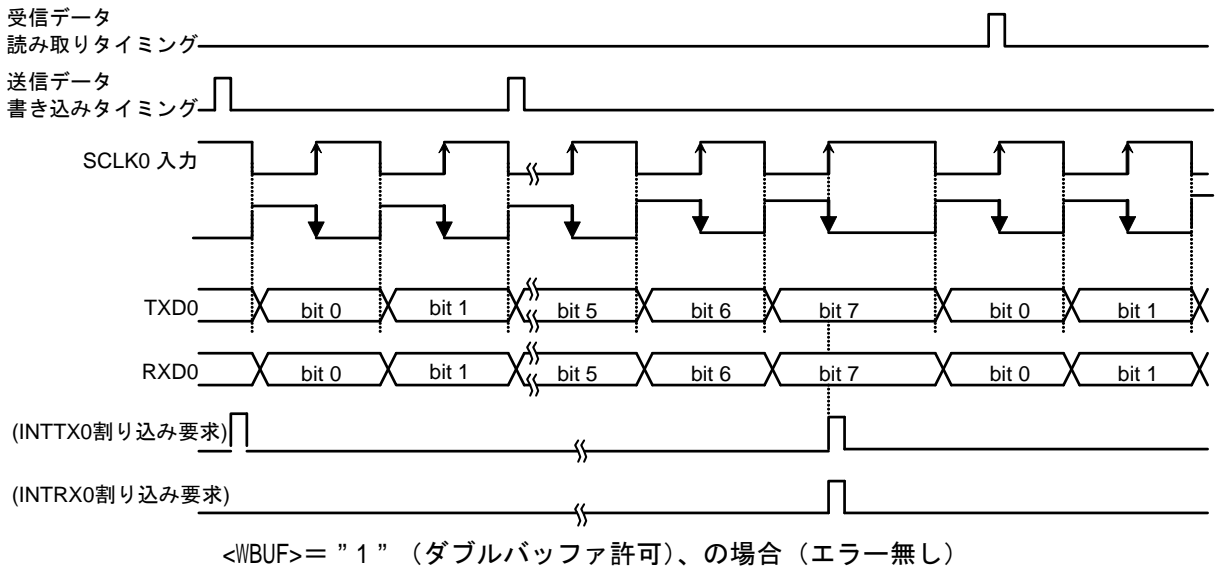
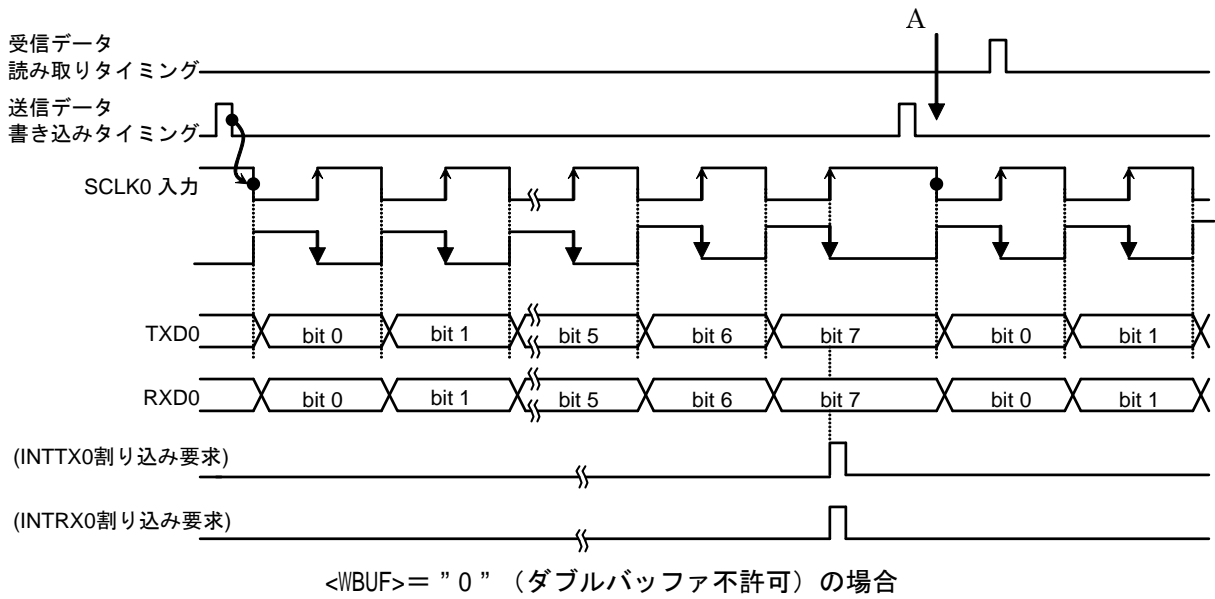


図 13-15 I/O インタフェースモード送受信動作 (SCLK0 入力モード)

13.5.2 モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ (SCOMOD0 <SM1, 0>) を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、SCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCOMOD2<SBLEN>で指定することができます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。

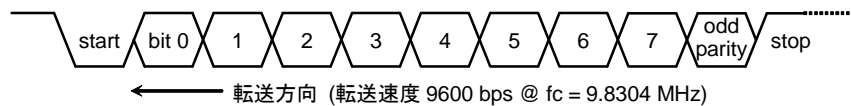


クロック条件	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1 倍 (f_c)
	プリスケールクロック	: $f_{\text{periph}}/2$ ($f_{\text{periph}} = f_{\text{sys}}$)

13.5.3 モード2 (8ビットUARTモード)

SCOMODO <SM1:0> を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、SCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例：下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



クロック条件	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1 倍 (f_c)
	プリスケールクロック	: $f_{\text{periph}}/2$ ($f_{\text{periph}} = f_{\text{sys}}$)

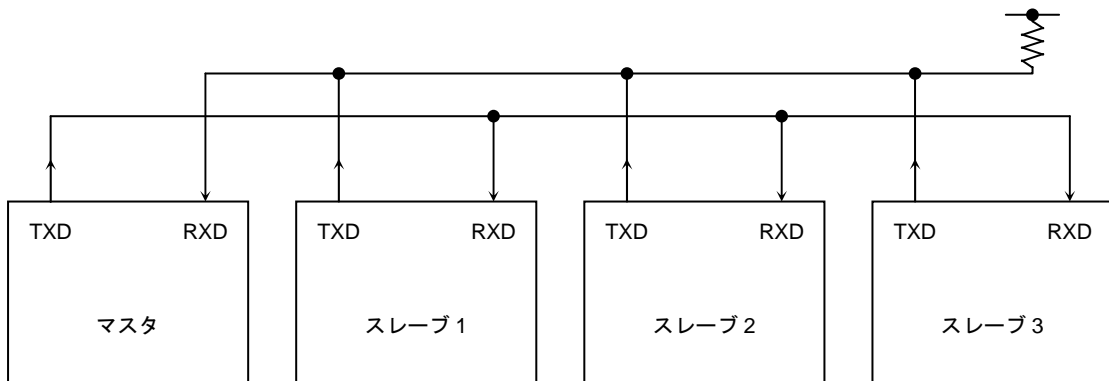
13.5.4 モード 3 (9 ビット UART)

SCOMOD0 <SM1 : 0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (SCOCR<PE> = “0”) してください。

最上位ビット (9 ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (SCOMOD0) のビット 7 <TB8> に書き込み、受信の場合シリアルコントロールレジスタ SCOCR のビット 7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SCOBUF の方を後にします。STOP ビットの長さは SCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCOMOD0<WU>を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR<RB8>= “1” のときのみ割り込み (INTRX0) が発生します。



(注) スレーブコントローラの TXD 端子は、かならず ODE レジスタを設定してオープンドレイン出力モードにしてください。

図 13-16 ウェイクアップ機能によるシリアルリンク

プロトコル

マスタおよびスレーブコントローラは9ビットUARTモードにします。

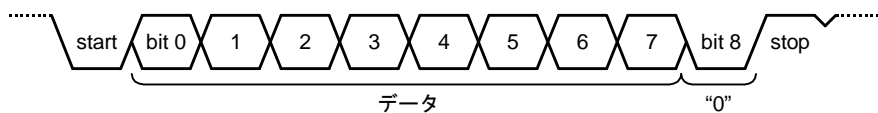
各スレーブコントローラはSCOMODO <WU> を“1”にセットし、受信可能状態とします。

マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8) <TB8> は“1”にします。



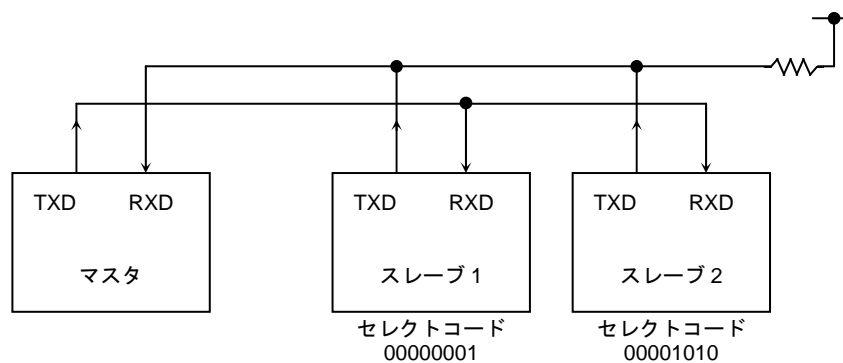
各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。

マスタコントローラは指定したスレーブコントローラ (SCOMODO <WU> = “0”にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット(ビット8) <TB8> は“0”にします。



<WU> = “1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の<RB8>が“0”であるため、割り込み(INTRX0)が発生せず、受信データを無視します。また、<WU> = “0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



14 SSP (Synchronous Serial Port)

重要

TMPM382(64ピン版)には、SSP1はありません。
それらに関する機能は使用しないでください。

14.1 概要

同期式シリアルインタフェース(SSP: Synchronous Serial Port)を2チャンネル内蔵しています。
各チャンネルの特徴を下記の表に示します。

	チャンネル0, 1	
通信プロトコル	SPIを含む3種類の同期式シリアル	
動作モード	マスタ/スレーブモード	
送信FIFO	幅16-bit/深さ8段	
受信FIFO	幅16-bit/深さ8段	
送受信データのサイズ	4~16ビット	
割り込みの種類	送信割り込み 受信割り込み 受信オーバーラン割り込み タイムアウト割り込み	
通信速度	マスタモード時: $T_0/2$ (ただし最大は10Mbpsです。40MHz動作時には4分周してください)	
	スレーブモード時: $T_0(40\text{MHz})/12$ (最大3.3Mbps) (注2)スレーブモード時はクロックプリスケールを以下のように設定してご使用ください。 SSPxCR0<SCR>=0x00、SSPxCPSR=0x2	
DMA	サポート	
内部テスト機能	内部ループバックテストモードの使用が可能	
制御端子	チャンネル0	チャンネル1
	SP0CLK SP0FSS SP0DO SP0DI	SP1CLK SP1FSS SP1DO SP1DI

14.2 ブロック図

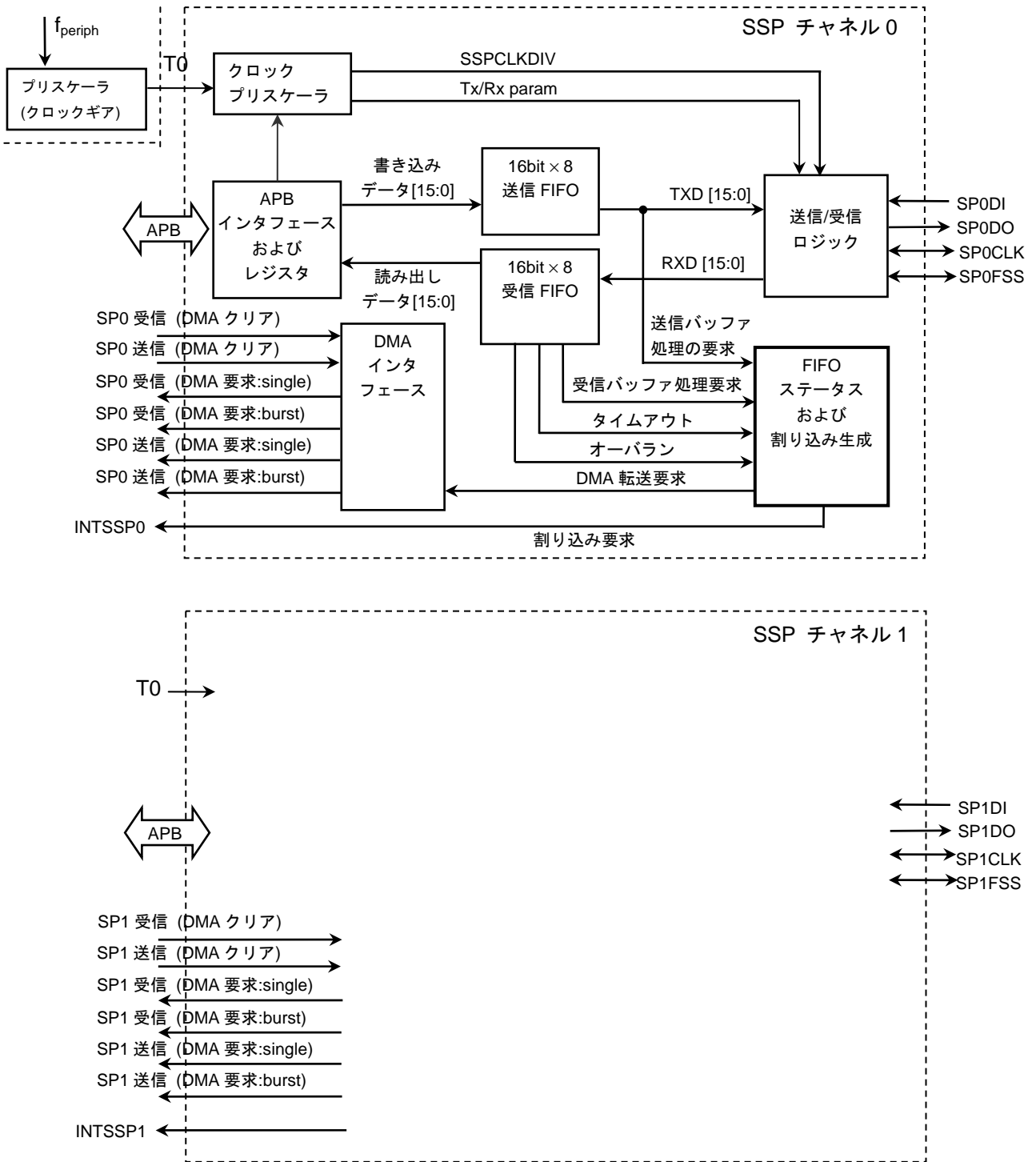


図 14-1 SSP ブロック図

14.3 SSPの概要

本 LSI は 2 チャンネルの SSP を内蔵しています。チャンネル 0 とチャンネル 1 は同機能で、同様に使えます。説明ではチャンネル 0 (SSP0)のみを説明します。

SSP は、3 種類の同期シリアルインタフェース機能を持つ周辺デバイスと、シリアル通信が可能なインタフェースです。

SSP は、周辺デバイスから受信したデータのシリアル-パラレル変換を実行します。送信パスと受信パスは、送信モードと受信モードにおいて 16 ビット幅 8 段のそれぞれ独立した送信 FIFO と受信 FIFO にデータをバッファリングします。シリアルデータは、SP0DO から送信し、SP0DI から受信します。

SSP には、入力クロック f_{priph} からシリアル出力クロック SP0CLK を生成するために、プログラム可能なプリスケータが含まれています。SSP の動作モード、フレーム形式ならびにデータサイズは、制御レジスタ SSP0CR0 および SSP0CR1 を通じてプログラムします。

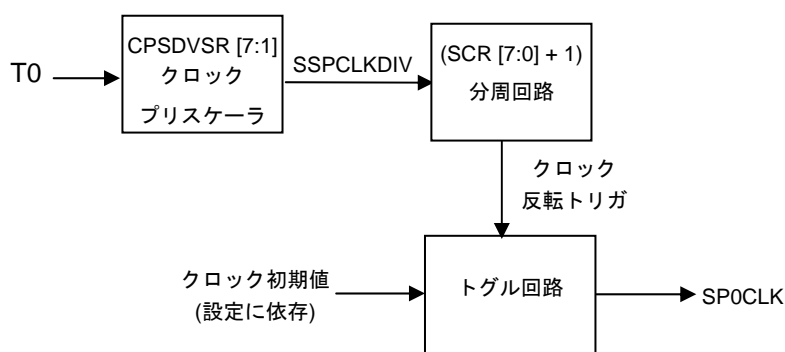
14.3.1 クロックプリスケータ

マスタとして動作する場合、シリアル出力クロック SP0CLK を生成するために、シリアルにリンクした 2 つのフリーランカウンタから構成されるクロックプリスケータが使用されます。

このクロックプリスケータは、SSP0CPSR レジスタを介し、2~254 の偶数ステップで f_{sys} を除算するようにプログラムすることができます。SSP0CPSR レジスタの最下位ビットを使用しないことにより、奇数ステップによるプログラミングはされなくなります。

プリスケータの出力は、さらに SSP0CR0 制御レジスタにプログラミングされた値に+1 された 1~256 のステップで除算され、マスタ出力クロック SP0CLK が生成されます。

$$\text{ビットレート} = T0 / (\text{CPSDVSR} \times (1 + \text{SCR}))$$



14.3.2 送信FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の送信 FIFO バッファです。

14.3.3 受信FIFO

マスタおよびスレーブモード共有の 16 ビット幅 8 段の受信 FIFO バッファです。

14.3.4 割り込み生成ロジック

SSP によって、個々にマスク可能な HIGH アクティブの 4 つの割り込みが生成されます。また、個々の割り込み要求はひとつの結合割り込みとして出力されます。

- 送信割り込み：TxFIFO の空領域が半分以上である条件割り込み (TxFIFO 内の有効データ数 ≤ 4)
- 受信割り込み：RxFIFO の有効データが半分以上である条件割り込み (RxFIFO 内の有効データ数 ≥ 4)
- タイムアウト割り込み：タイムアウトまでに読み出されていないデータが RxFIFO に存在することを示す割り込み
- 受信オーバラン割り込み：RxFIFO がフルのときに書き込みが行われたことを示す条件割り込み

上記割り込みのいずれかがアサートされると、INTSSP0 がアサートされます。

(a) 送信割り込み

送信割り込みは、送信 FIFO 内の有効エントリが 4 エントリ以下になるとアサートされます。SSP 動作ディセーブル(SSPxCR1<SSE>=0)でも送信割り込みが発生します。

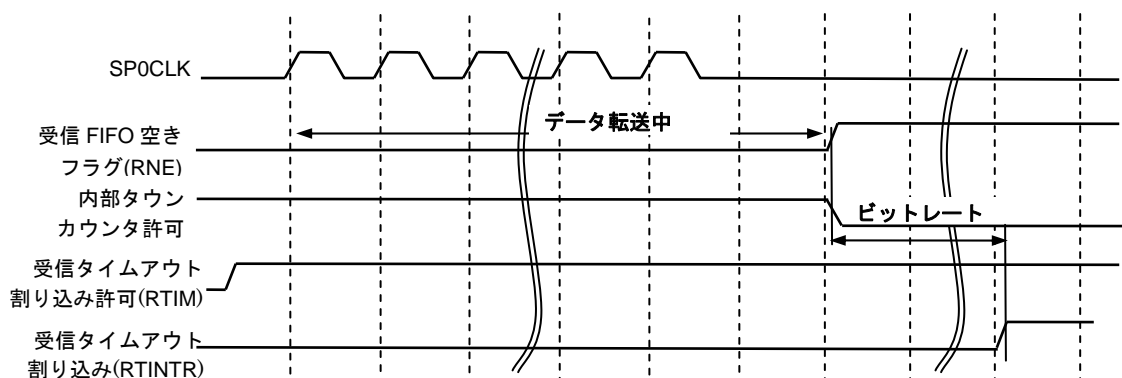
初回の送信データは、本割り込みを使用して FIFO に書き込むことができます。

(b) 受信割り込み

受信 FIFO 内の有効エントリが 4 エントリ以上になるとアサートされます。

(c) タイムアウト割り込み

受信タイムアウト割り込みは、受信 FIFO が空ではないときに SSP が一定の 32 ビット周期(ビットレート)の間アイドル状態を続けるとアサートされます。この機構により、ユーザは受信 FIFO にまだデータが存在し、処理が必要であることを認識することができます。マスタ/スレーブ モード共に発生します。タイムアウト割り込み発生した場合は、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、且つ転送データ数が受信 FIFO の空き以下であれば送受信可能です。尚、転送開始でタイムアウト割り込みはクリアされます。また、受信 FIFO に空きがない状態で送受信を行った場合、タイムアウト割り込みはクリアされオーバラン割り込みが発生します。

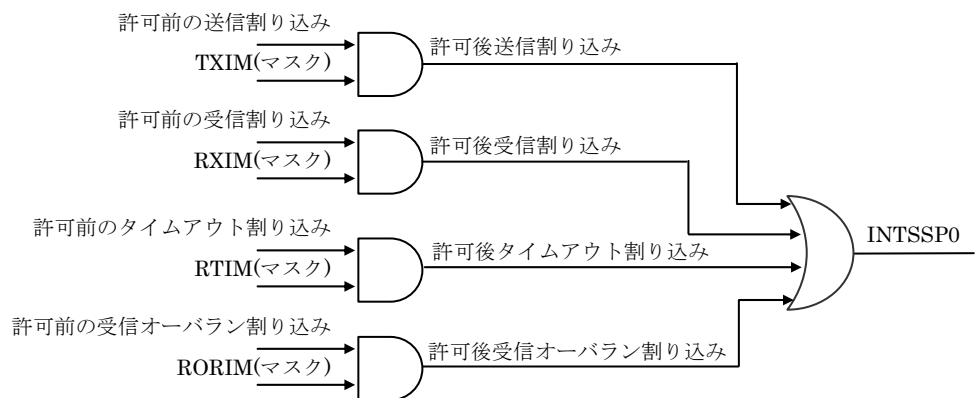


(d) 受信オーバーラン割り込み

受信 FIFO が既にフルのときに次のデータ(9 個目)を受信すると、転送終了直後、受信オーバーラン割り込みが発生します。受信オーバーラン割り込み発生以降の受信データ(9 個目のデータを含む)は無効となり、破棄されます。ただし、9 個目のデータ受信(割り込み発生する前)に受信 FIFO のデータをリードすると、9 個目の受信データは有効データとして受信 FIFO に書き込まれます。受信オーバーラン割り込みが発生した場合、正しい転送を行なうためには、受信オーバーラン割り込みクリアレジスタに”1”を書き込んだ後、受信 FIFO から全データをリードしてください。全データをリードしない場合でも、受信 FIFO に空きがあり、かつ転送データ数が受信 FIFO の空き以下であれば送受信可能です。なお、受信オーバーラン割り込みをクリアした後、一定の 32 ビット周期(ビットレート)の間、受信 FIFO をリードしない場合(受信 FIFO が空ではない時)はタイムアウト割り込みが発生します。

(e) 結合割り込み

上記の 4 つの割り込みは、マスクされた個々のソースを 1 つの割り込みに結合しています。上記割り込みのいずれかがアサートされると、結合割り込み INTSSPO がアサートされます。



14.3.5 DMAインターフェース

DMA コントローラに接続するインタフェースを提供します。

14.4 SSPの動作

14.4.1 SSPの初期設定

SSP 通信プロトコルの設定は SSP がディセーブルの状態、設定する必要があります。制御レジスタ SSP0CR0 および SSP0CR1 を使って、以下のいずれかのプロトコルの下、本 SSP をマスタまたはスレーブを設定してください。また、通信速度に関して、プリスケールレジスタ SSP0CPSR および SSP0CR0<SCR>を設定してください。本 SSP は以下のプロトコルをサポートします。

- • SPI, SSI, Microwire

14.4.2 SSPのイネーブル

送信 FIFO に 送信データが書き込まれていて、且つ動作イネーブルした時、もしくは動作イネーブル状態で送信 FIFO に送信データが書き込まれたときに転送が開始されます。

ただし、動作イネーブルにした時に送信 FIFO が 4 エントリ以下の場合には送信割り込みが発生します。この割り込みを使って初回データを書き込むことも可能です。

(注) SPI のスレーブモードで且つ FSS 端子未使用の場合、イネーブルする前に必ず 1Byte 以上のデータを送信 FIFO に書き込んでください。送信 FIFO が空の状態ではイネーブルすると、転送データが正常に出力されません。

14.4.3 クロック比

T0 の周波数設定は以下の条件を満たす必要があります。

[マスタモードの場合]

$$f_{\text{SP0CLK}}(\text{最大}) \Rightarrow T0 / 2 \text{ (注)}$$

$$f_{\text{SP0CLK}}(\text{最小}) \Rightarrow T0 / (254 \times 256)$$

[スレーブモードの場合]

$$f_{\text{SP0CLK}}(\text{最大}) \Rightarrow T0 / 12$$

$$f_{\text{SP0CLK}}(\text{最小}) \Rightarrow T0 / (254 \times 256)$$

(注) TMPM380 では、最大転送速度は 10Mbps です。CPU を 40MHz で動作させる場合には、4 分周以下の設定が必要です。

14.4.4 フレーム形式

各フレームフォーマットは、プログラムされたデータのサイズにより、4~16 ビットの幅を持ち、MSB から送信が開始されます。

- シリアルクロック(SPOCLK)

SSP がアイドル状態の間は SSI と Microwire では LOW でホールドされ、SPI では非アクティブでホールドされます。また、データ送信中にのみ設定されたビットレートで出力されます。

- シリアルフレーム(SPOFSS)

SPI および Microwire のフレーム形式では、LOW アクティブとなり、フレームの送信中は常に LOW にアサートされます。

SSI フレーム形式の場合は、各フレームの送信前に 1 ビットレートの間のみアサートされます。このフレーム形式では、SPOCLK の立ち上がりエッジで出力データを送信し、その立下りエッジで入力データを受信します。

- Microwire について

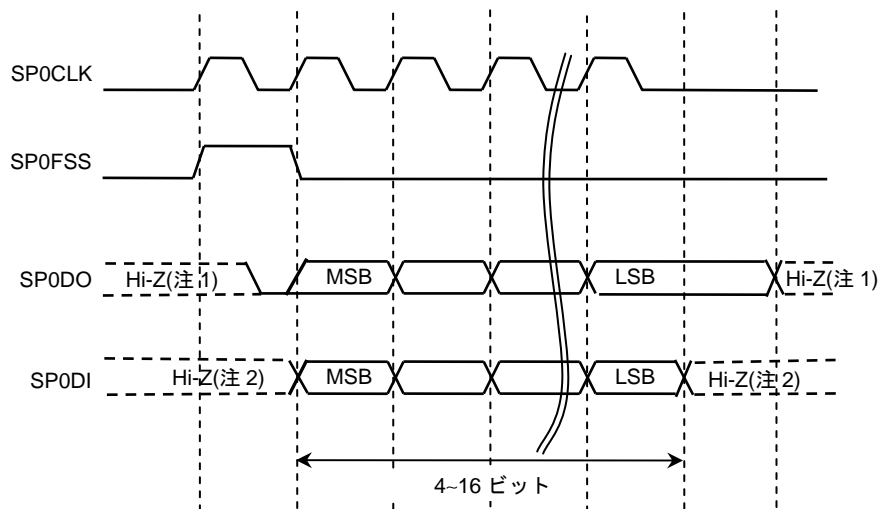
Microwire 形式は半二重モードで動作する特殊なマスタ・スレーブ伝達方式を使用します。このモードでは、フレームの開始時に 8 ビットの制御メッセージがスレーブに送信されます。この送信中、SSP はデータを受信しません。メッセージが送信された後、スレーブがそれをデコードし、8 ビット制御メッセージの末尾ビットの送信から 1 シリアルクロック間待機した後、要求されたデータで応答します。戻されるデータの長さは 4~16 ビットであり、全体のフレーム長は 13~25 ビットとなります。

各フレームフォーマットの詳細は下記を参照してください。

14.4.5 SSIのフレームフォーマット

このモードでは、SSP はアイドル状態で SP0CLK および SP0FSS が強制的に LOW にセットされ、送信データライン SP0DO が Hi-Z になります。送信 FIFO にデータをライトすると、マスタは SP0FSS ラインに 1 SP0CLK 分の High パルスを出力します。送信データは送信 FIFO から送信のシリアルシフトレジスタに転送されます。SP0CLK の次の立ち上がりエッジで、MSB から 4~16 ビットのデータが SP0DO 端子により出力されます。

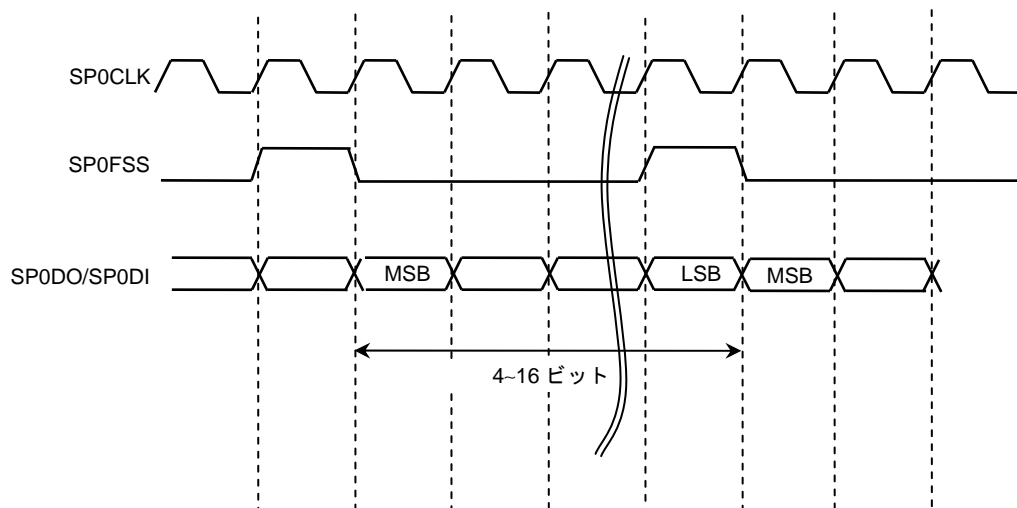
同様に、受信データは SP0CLK の立ち下がりエッジで MSB から SP0DI 端子に入力されます。受信されたデータは、その LSB データがラッチされた後、SP0CLK の立ち上がりエッジでシリアルシフトレジスタから受信 FIFO に転送されます。



注1) SP0DO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注2) SP0DI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

図 14-2 SSI フレームフォーマット(シングル転送送受信)



- 注1) SP0DO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。
- 注2) SP0DI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

図 14-3 SSI フレームフォーマット(連続転送送受信)

14.4.6 SPIのフレームフォーマット

SPI インタフェースは 4 線インタフェースであり、SP0FSS はスレーブ選択として動作します。SPI フォーマットの主な特長は、SP0CLK の動作タイミングを SSP0CR0 制御レジスタ内の<SPO> ビットと<SPH> ビットを使って、設定できます。

- SSP0CR0<SPO>

SSP0CR0<SPO> はアイドル状態時の SP0CLK をホールドするレベルを設定します。

<SPO>=1: SP0CLK は High 状態

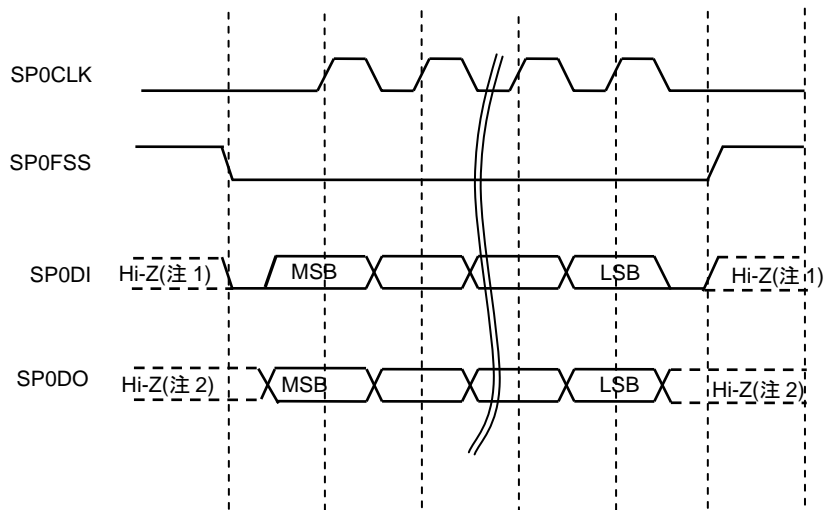
<SPO>=0: SP0CLK は Low 状態

- SSP0CR0<SPH>

SSP0CR0<SPH>はデータをラッチするクロックエッジを選択します。

SSP0CR0<SPH>=0: 1st クロックエッジでデータを取り込みます。

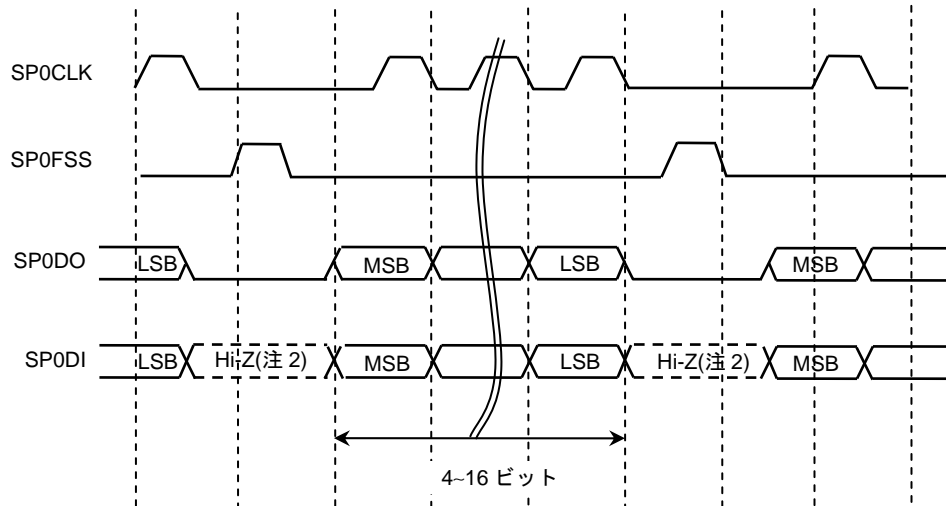
SSP0CR0<SPH>=1: 2nd クロックエッジでデータを取り込みます。



注1) SP0DO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注2) SP0DI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

図 14-4 SPI フレームフォーマット(シングル転送, <SPO>=0 & <SPH>=0)



注1) SP0DO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注2) SP0DI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

図 14-5 SPI フレームフォーマット(連続転送, <SP0>=0 & <SPH>=0)

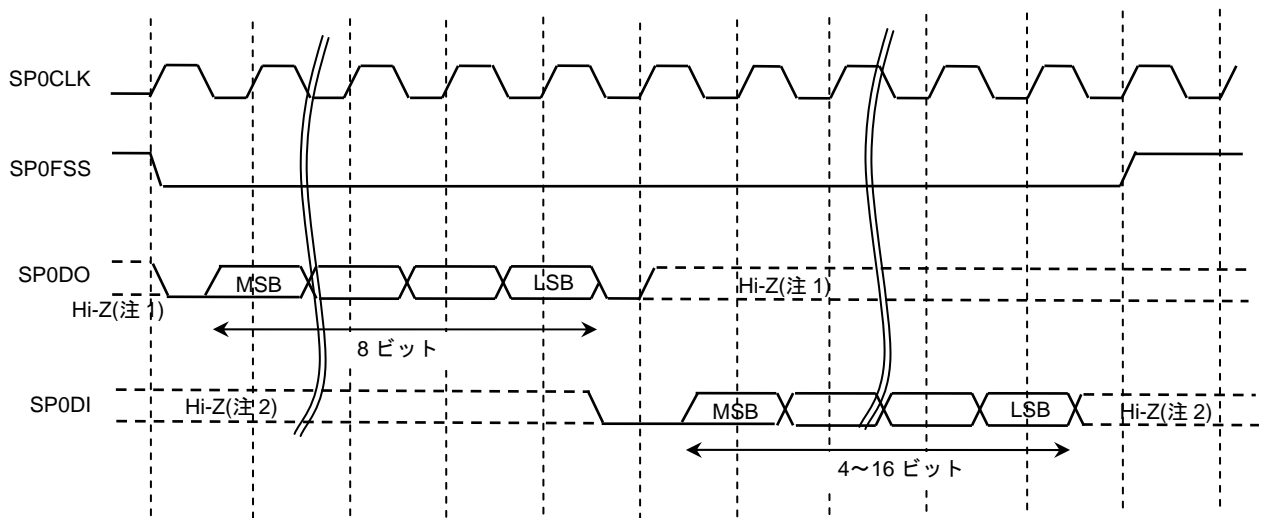
この設定におけるアイドル周期では：

- SP0CLK シグナルが強制的に LOW にセットされます。
- SP0FSS が強制的に HIGH にセットされます。
- 送信データライン SP0DO が任意に LOW にセットされます。

SSP がイネーブルされているときに送信 FIFO 内に有効データが存在する場合、送信開始は LOW でドライブされる SP0FSS マスタシグナルによって通知されます。これにより、マスタの SP0DI 入力ラインでスレーブデータがイネーブルされます。

SP0CLK の半周期後、有効マスタデータが SP0DO ピンに転送されます。これで、マスタデータとスレーブデータの両方がセットされ、SP0CLK のさらに半周期後に SP0CLK マスタクロックピンが HIGH になります。その後、データは SP0CLK シグナルの立ち上がりエッジで捕捉され、立下りエッジで伝達されます。シングルワード転送の場合、そのデータワードの全ビットの転送が完了し、その末尾ビットが捕捉されてから SP0CLK 1 周期後に、SP0FSS ラインがアイドル HIGH 状態に戻ります。しかし、連続転送の場合には、各データワード転送間で SP0FSS シグナルを HIGH でパルスする必要があります。これは、スレーブ選択ピンがそのシリアルペリフェラルレジスタにデータをフリーズし、<SPH> ビットが論理 0 の場合は変更を許可しないためです。したがって、シリアルペリフェラルデータの書き込みをイネーブルするには、マスタデバイスが各データ転送間でスレーブデバイスの SP0FSS ピンをドライブする必要があります。連続転送が完了すると、末尾ビットが捕捉されてから SP0CLK 1 周期後に SP0FSS ピンがアイドル状態に戻ります。

14.4.7 Microwireのフレームフォーマット



注1) SP0DO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注2) SP0DI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

図 14-6 Microwire フレームフォーマット(シングル転送)

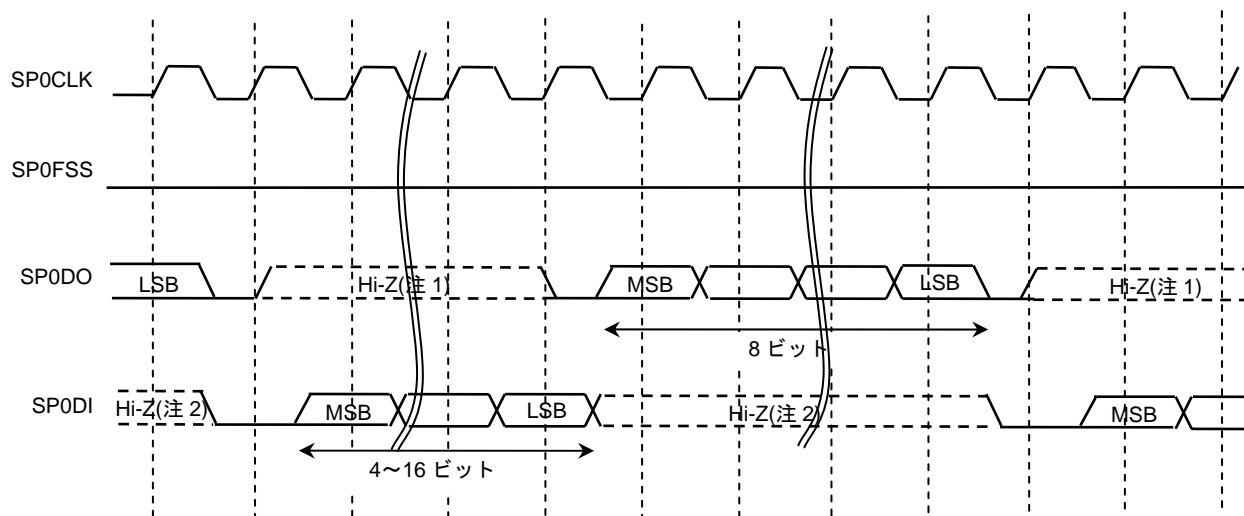
Microwire 形式は SPI 形式と非常に似ていますが、全二重ではなく半二重通信のマスター-スレーブメッセージ伝達方式を使用する点が異なります。各シリアル伝送は、SSP からオフチップスレーブデバイスに送信される 8 ビットの制御ワードで開始されます。この送信中、SSP は入力データを受信しません。このメッセージの送信後、オフチップスレーブがこれをデコードし、8 ビット制御メッセージの末尾ビット送信後から 1 シリアルクロックが経過するまで待機し、要求されたデータで応答します。戻されるデータは 4~16 ビット長、フレーム全体は 13~25 ビット長になります。このコンフィギュレーションにおけるアイドル周期では：

- SPOCLK シグナルが強制的に LOW にセットされます。
- SPOFSS が強制的に HIGH にセットされます。
- 送信データライン SP0DO が任意に LOW にセットされます。

伝送は送信 FIFO への制御バイトの書き込みによってトリガされます。SPOFSS の立下りエッジによって送信 FIFO の最下位エンタリにストアされていた値が送信ロジックのシリアルシフトレジスタに転送され、8 ビット制御フレームの MSB が SP0DO ピンにシフトアウトされます。このフレーム伝送の間、SPOFSS は LOW でホールドされ、SP0DI ピンはトライステートでホールドされます。オフチップシリアルスレーブデバイスは、SPOCLK の立ち上がりエッジでそのシリアルシフトに各制御ビットをラッチします。スレーブデバイスによって末尾ビットがラッチされると、1 クロックウェイト状態の間にその制御バイトがデコードされ、スレーブはデータを送信することによって SSP に応答します。各ビットは、SPOCLK の立下りエッジで SP0DI ラインにドライブされます。一方、SSP は SPOCLK の立ち上がりエッジで各ビットをラッチします。シングル転送の場合は、

フレームの終わりで末尾ビットが受信シリアルシフタにラッチされてから 1 クロック周期後に SPOFSS シグナルが HIGH にプルされ、これによってデータが受信 FIFO に転送されます。

(注) オフチップスレーブデバイスは、受信シフタによって LSB がラッチされた後の SPOCLK の立下りエッジで、または SPOFSS ピンが HIGH になるときのどちらかで、受信ラインをトライステートでホールドすることができます。



注 1) SP0DO 端子は非送信中に出力 OFF となり Hi-Z 状態となります。そのため、システムに合わせプルアップ/プルダウン抵抗によるレベル固定をしてください。

注 2) SP0DI 端子は常時入力となっていますので、送信側が非送信中に出力 OFF となる場合はプルアップ/プルダウン抵抗によるレベル固定をしてください。

図 14-7 Microwire フレームフォーマット(連続転送)

連続転送の場合、データ伝送の開始と終了はシングル転送の場合と同じように行われます。しかし、SP0FSS ラインは常にアサート(LOW でホールド)され、データの伝送が次から次に発生します。次のフレームの制御バイトは、現在のフレームから受信されたデータの LSB の直後に続きます。受信された各値は、そのフレームの LSB が SSP にラッチされた後、SP0CLK の立下りエッジで受信シフトから転送されます。

(注) (接続例)

SSP は、システム内におけるマスタ/スレーブの dynamics 切り替えをサポートしていません。各 SSP の例は、マスタまたはスレーブのどちらかとして構成/接続されています。

14.4.8 DMAインタフェース

SSP の DMA 操作は DMA 制御レジスタ SP0DMACR を介して制御されます。

受信 FIFO に格納されるデータがウォーターマークレベル(FIFO の 1/2)以上になると受信 DMA 要求がアサートされます。

送信 FIFO に格納するデータがウォーターマークレベル(FIFO の 1/2)以下になると送信 DMA 要求がアサートされます。

送信/受信 DMA 要求信号をクリアするために、DMA コントローラによってアサートされる送信/受信 DMA 要求クリア信号の入力端子を持っています。

また、DMA のバースト長は 4 ワードに設定してください。

※残りの 3 文字に対し、SSP はバースト要求をアサートしません。

各要求シグナルは、関連する DMA クリアシグナルがアサートされるまでアサートされ続けます。要求クリアシグナルがアサート解除された後、前述の条件に従って要求シグナルを再度アクティブにすることができます。SSP がディセーブルされたり、DMA イネーブルシグナルがクリアされると、全ての要求シグナルがアサート解除されます。

以下の表は、送信 FIFO および受信 FIFO に対する DMABREQ のトリガポイントを示しています。

	バースト長	
ウォーターマークレベル	送信 (空き位置の数)	受信 (充填位置の数)
1/2	4	4

14.5 レジスタの説明

SFR のリストを以下に示します。

14.5.1 SSP0 関連レジスタ

Base Address= 0x400C_0000

レジスタ略称	Address (base+)	レジスタ名称
SSP0CR0	0x0000	制御レジスタ 0
SSP0CR1	0x0004	制御レジスタ 1
SSP0DR	0x0008	受信 FIFO(読み出し)および送信 FIFO データレジスタ(書き込み)
SSP0SR	0x000C	ステータスレジスタ
SSP0CPSR	0x0010	クロックプリスケールレジスタ
SSP0IMSC	0x0014	割り込み許可/禁止レジスタ
SSP0RIS	0x0018	許可前の割り込みステータスレジスタ
SSP0MIS	0x001C	許可後の割り込みステータスレジスタ
SSP0ICR	0x0020	割り込みクリアレジスタ
SSP0DMACR	0x0024	DMA 制御レジスタ
-	0x0028 ~ 0xFFC	Reserved

Base Address= 0x400C_1000

レジスタ略称	Address (base+)	レジスタ名称
SSP1CR0	0x0000	制御レジスタ 0
SSP1CR1	0x0004	制御レジスタ 1
SSP1DR	0x0008	受信 FIFO(読み出し)および送信 FIFO データレジスタ(書き込み)
SSP1SR	0x000C	ステータスレジスタ
SSP1CPSR	0x0010	クロックプリスケールレジスタ
SSP1IMSC	0x0014	割り込み許可/禁止レジスタ
SSP1RIS	0x0018	許可前の割り込みステータスレジスタ
SSP1MIS	0x001C	許可後の割り込みステータスレジスタ
SSP1ICR	0x0020	割り込みクリアレジスタ
SSP1DMACR	0x0024	DMA 制御レジスタ
-	0x0028 ~ 0xFFC	Reserved

(注) 上記レジスタはワード (32bit) アクセスのみとなります。

14.5.2 SSP0CR0 (SSP0 制御レジスタ 0)

Address = (0x400C_0000) + 0x0000

Bit	Bit Symbol	Type	Reset Value	機能
[31:16]	–	–	不定	リードすると不定値が読めます。“0”を書き込んでください。.
[15:8]	SCR	R/W	0y0	シリアルクロックレート設定用 パラメータ: (個別説明に参照) 0x00 ~ 0xFF
[7]	SPH	R/W	0y0	SPCLK フェーズ (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
[6]	SPO	R/W	0y0	SPCLK 極性 (Motorola SPI フレーム形式のみに適用可能, [Motorola SPI フレーム形式]参照)。
[5:4]	FRF	R/W	0y00	フレーム形式: 0y00: Motorola SPI フレーム形式 0y01: TI synchronous シリアルフレーム形式 0y10: National Microwire フレーム形式 0y11: Reserved、動作未定義
[3:0]	DSS	R/W	0y0000	データサイズ選択: 0y0000: Reserved、動作未定義 0y0001: Reserved、動作未定義 0y0010: Reserved、動作未定義 0y0011: 4 ビットデータ 0y0100: 5 ビットデータ 0y0101: 6 ビットデータ 0y0110: 7 ビットデータ 0y0111: 8 ビットデータ 0y1000: 9 ビットデータ 0y1001: 10 ビットデータ 0y1010: 11 ビットデータ 0y1011: 12 ビットデータ 0y1100: 13 ビットデータ 0y1101: 14 ビットデータ 0y1110: 15 ビットデータ 0y1111: 16 ビットデータ

<SCR> : SPP の送信ビットレートおよび受信ビットレートの生成に使用されます。

このビットレートは以下の式から求められます。

$$\text{ビットレート} = T_0 / (\text{CPSDVSR} \times (1 + \text{SCR}))$$

CPSDVSR は、SSPxCPSCR レジスタからプログラムされる 2~254 の偶数値であり、SCR は 0~ 255 の値を取ります。

14.5.3 SSP0CR1 (SSP0 制御レジスタ 1)

Address = (0x400C_0000) + 0x0004

Bit	Bit Symbol	Type	Reset Value	機能
[31:4]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。.
[3]	SOD	R/W	0y0	スレーブモード SP0DO 出力制御: 0y0: Enable 0y1: Disable
[2]	MS	R/W	0y0	マスタ/ スレーブモード選択: 0y0: デバイスがマスタ 0y1: デバイスがスレーブ
[1]	SSE	R/W	0y0	SSP0 イネーブル: 0y0: Disable 0y1: Enable
[0]	LBM	R/W	0y0	ループバックモード: 0y0: 通常シリアルポート動作イネーブル 0y1: 送信シリアルシフタの出力が受信シリアルシフタの入力に内部で接続されます。

<SOD> : スレーブモード出力ディセーブル。このビットは、スレーブモード(<MS>=1)の場合にのみ作用します。

14.5.4 SSP0DR (SSP0 データレジスタ)

Address = (0x400C_0000) + 0x0008

Bit	Bit Symbol	Type	Reset Value	機能
[31:16]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。.
[15:0]	DATA	R/W	0x0000	送信/ 受信 FIFO のデータ : 0x00 ~ 0xFF

<DATA> :

リード時 : 受信 FIFO

ライト時 : 送信 FIFO

16 ビット未満のデータサイズに合わせてプログラムしている場合は、データを右寄せ (LSB) にする必要があります。先頭の未使用ビットは送信ロジックによって無視されます。受信ロジックは自動的に右寄せを行います。

14.5.5 SSP0SR (SSP0 ステータスレジスタ)

Address = (0x400C_0000) + 0x000C

Bit	Bit Symbol	Type	Reset Value	機能
[31:5]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。.
[4]	BSY	R	0y0	ビジーフラグ : 0y0: アイドル 0y1: ビジー
[3]	RFF	R	0y0	受信 FIFO フル : 0y0: フルではない 0y1: フル
[2]	RNE	R	0y0	受信 FIFO 空きフラグ: 0y0: 受信 FIFO が空 0y1: 受信 FIFO が空ではない
[1]	TNF	R	0y1	送信 FIFO フルフラグ: 0y0: 送信 FIFO がフル 0y1: 送信 FIFO がフルではない
[0]	TFE	R	0y1	送信 FIFO 空きフラグ: 0y0: 送信 FIFO が空ではない 0y1: 送信 FIFO が空

<BSY> : BSY= " 1 " 時、現在フレームの送信中/ 受信中であるか、送信 FIFO が空ではないことを示します。

14.5.6 SSP0CPSR (SSP0 クロックプリスケールレジスタ)

Address = (0x400C_0000) + 0x0010

Bit	Bit Symbol	Type	Reset Value	機能
[31:8]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。.
[7:0]	CPSDVSR	R/W	0x0000	クロックプリスケール除数 : 2~254 の偶数値を設定してください。

<CPSDVSR> : クロックプリスケール除数。 T0 の周波数に基づき、2 ~ 254 の偶数値を設定する必要があります。最下位ビットは読み出し時に常に 0 を戻します。

14.5.7 SSP0IMSC (SSP0 割り込み許可/禁止レジスタ)

Address = (0x400C_0000) + 0x0014

Bit	Bit Symbol	Type	Reset Value	機能
[31:4]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。.
[3]	TXIM	R/W	0y0	送信 FIFO 割り込み許可 : 0y0: 禁止 0y1: 許可
[2]	RXIM	R/W	0y0	受信 FIFO 割り込み許可 : 0y0: 禁止 0y1: 許可
[1]	RTIM	R/W	0y0	受信タイムアウト割り込み許可 : 0y0: 禁止 0y1: 許可
[0]	RORIM	R/W	0y0	受信オーバラン割り込み許可 : 0y0: 禁止 0y1: 許可

<TXIM> : 送信割り込みの許可/禁止

<RXIM> : 受信割り込みの許可/禁止

<RTIM> : タイムアウト割り込みの許可/禁止。

<RORIM> : 受信オーバラン割り込みの許可/禁止。

14.5.8 SSP0RIS (SSP0 許可前の割り込みステータスレジスタ)

Address = (0x400C_0000) + 0x0018

Bit	Bit Symbol	Type	Reset Value	機能
[31:4]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。
[3]	TXRIS	R	0y1	許可前の送信割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り
[2]	RXRIS	R	0y0	許可前の受信割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り
[1]	RTRIS	R	0y0	許可前の受信タイムアウト割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り
[0]	RORRIS	R	0y0	許可前の受信オーバーラン割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り

14.5.9 SSP0MIS (SSP0 許可後の割り込みステータスレジスタ)

Address = (0x400C_0000) + 0x001C

Bit	Bit Symbol	Type	Reset Value	機能
[31:4]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。
[3]	TXMIS	R	0y0	許可後の送信割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り
[2]	RXMIS	R	0y0	許可後の受信割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り
[1]	RTMIS	R	0y0	許可後の受信タイムアウト割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り
[0]	RORMIS	R	0y0	許可後の受信オーバーラン割り込みフラグ : 0y0: 割り込み無し 0y1: 割り込み有り

14.5.10 SSP0ICR (SSP0 割り込みクリアレジスタ)

Address = (0x400C_0000) + 0x0020

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。.
[1]	RTIC	W	不定	受信タイムアウト割り込みフラグをクリア : 0y0: 無効 0y1: クリア
[0]	RORIC	W	不定	受信オーバーラン割り込みフラグをクリア : 0y0: 無効 0y1: クリア

14.5.11 SSP0DMACR (SSP0DMA制御レジスタ)

Address = (0x400C_0000) + 0x0024

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。.
[1]	TXDMAE	R/W	0y0	送信 FIFO の DMA 制御 : 0y0: Disable 0y1: Enable
[0]	RXDMAE	R/W	0y0	受信 FIFO の DMA 制御 : 0y0: Disable 0y1: Enable

15 シリアルバスインタフェース (I2C/SIO)

重要

TMPM382(64ピン版)には、SBI1はありません。
それらに関する機能は使用しないでください。

シリアルバスインタフェース (SBI) を TMPM380 は 2 チャンネル、TMPM382 は 1 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードでは、SCL および SDA を通して外部デバイスと接続されます。

クロック同期式 8 ビット SIO モードでは、SCK, SI, SO を通して外部デバイスと接続されます。

チャンネルごとの使用端子とポートの設定は、下記の通りです。

TMPM382 には SBI1 はありません。

チャンネル	動作モード	端子	ポート ファンクション レジスタ設定	ポート出力 コントロール レジスタ設定	ポート入力 コントロール レジスタ設定	ポート オープン・ドレイン コントロール レジスタ設定
SBI0	I ² C バスモード	SCL0: PC1 SDA0: PC0	PCFR3<1:0> = 11	PCCR<1:0> = 11	PCIE<1:0> = 11	PCOD<1:0> = 11
	SIO モード	SCK0: PC2 SIO : PC1 S00 : PC0	PCFR3<2:0> = 111	PCCR<2:0> = 101(SCK0 出力) PCCR<2:0> = 001(SCK0 入力)	PCIE<2:0> = 110	PCOD<2:0> = xxx
SBI1 (TMPM380 のみ)	I ² C バスモード	SCL1: PG1 SDA1: PG0	PGFR3<1:0> = 11	PGCR<1:0> = 11	PGIE<1:0> = 11	PGOD<1:0> = 11
	SIO モード	SCK1: PG2 SI1 : PG1 SO1 : PG0	PGFR3<2:0> = 111	PGCR<2:0> = 101(SCK1 出力) PGCR<2:0> = 001(SCK1 入力)	PGIE<2:0> = 110	PGOD<2:0> = xxx

x: Don't care

15.1 構成

構成を 図 15-1 に示します。

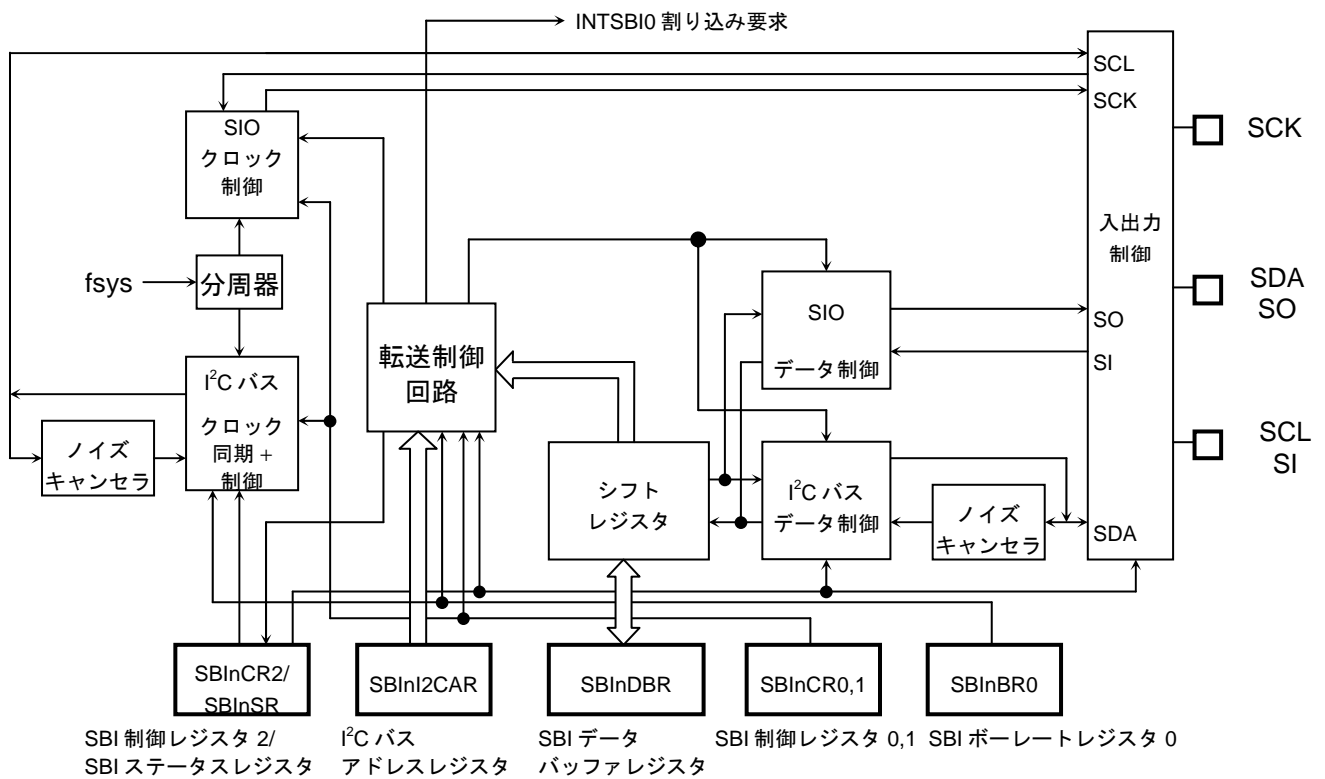


図 15-1 SBI のブロック図

15.2 制 御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ 0 (SBI0CR0)
- シリアルバスインタフェース制御レジスタ 1 (SBI0CR1)
- シリアルバスインタフェース制御レジスタ 2 (SBI0CR2)
- シリアルバスインタフェースバッファレジスタ (SBI0DBR)
- I²C バスアドレスレジスタ (SBI0I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBI0SR)
- シリアルバスインタフェースボーレートレジスタ 0 (SBI0BR0)

上記レジスタは使用するモードによって、機能が異なります。

詳細は「15.5 I²Cバスモード時の制御」および「15.7 クロック同期式 8 ビットSIOモード時の制御」を参照してください。

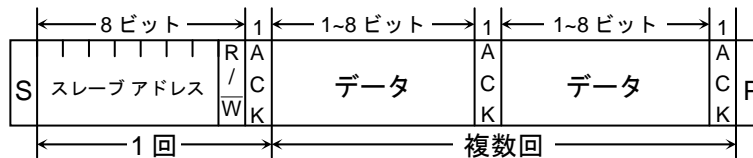
各レジスタのアドレスは以下のとおりです。

		チャンネル 0		チャンネル 1	
レジスタ名 (アドレス)	シリアルバスインタフェース 制御レジスタ 0	SBI0CR0	0x4002_0000	SBI1CR0	0x4002_0020
	シリアルバスインタフェース 制御レジスタ 1	SBI0CR1	0x4002_0004	SBI1CR1	0x4002_0024
	シリアルバスインタフェース 制御レジスタ 2	SBI0CR2 (ライト時)	0x4002_0010	SBI1CR2 (ライト時)	0x4002_0030
	シリアルバスインタフェース ステータスレジスタ	SBI0SR (リード時)		SBI1SR (リード時)	
	シリアルバスインタフェース ボーレートレジスタ 0	SBI0BR0	0x4002_0014	SBI1BR0	0x4002_0034
	シリアルバスインタフェース データバッファレジスタ	SBI0DBR	0x4002_0008	SBI1DBR	0x4002_0028
	I ² C バスアドレスレジスタ	SBI0I2CAR	0x4002_000C	SBI1I2CAR	0x4002_002C

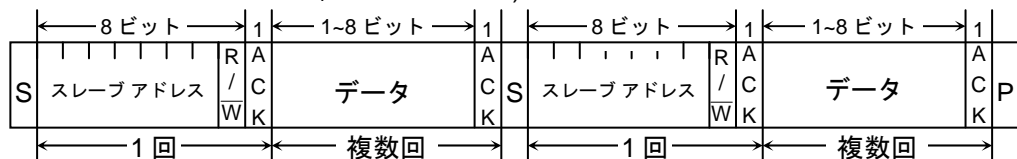
15.3 I2Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図 15-2に示します。

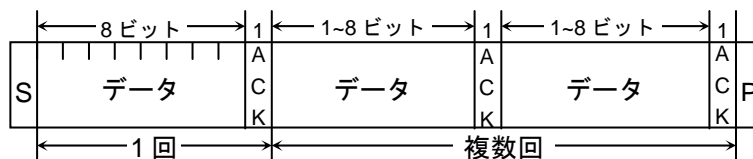
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタート有り)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



- 注) S: スタートコンディション
 R/ \bar{W} : 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 15-2 I²Cバスモード時のデータフォーマット

15.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御、および動作状態のモニタは以下のレジスタで行います。

シリアルバスコントロールレジスタ 0

SBIInCR0

	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R/W							
リセット後	0							
機能	SBI 動作 0: 禁止 1: 許可							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると "0" が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると "0" が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると "0" が読めます							

<SBIEN>: SBI を使用する場合は、SBI モジュールの各レジスタを設定する前にまず SBI 動作を許可("1") にしてください。許可の設定をして初めて、SBI に関連するレジスタのリード、ライトが可能になります。

図 15-3 I²C バスモード関係のレジスタ

シリアルバスコントロールレジスタ 1

	7	6	5	4	3	2	1	0
bit Symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	R/W			R/W	R	R/W		R/W
リセット後	0	0	0	0	1	0	0	1
機能	転送ビット数の選択 (注1)			ア ク ノ リ ツ ジ メ ン ト ク ロ ッ ク 0: 発生 しない 1: 発生 する	リ ー ド す る と "1" が 読 め ま す	内 部 SCL 出 力 ク ロ ッ ク の 周 波 数 選 択 (注2)とリセット モニタ		
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

<Bit 2:0><SCK2:0> : 内部 SCL 出力クロックの周波数選択。

内部 SCL 出力クロックの周波数選択 <SCK2 : 0> @ライト

000	n=5	385 kHz	システムクロック: fsys (=40 MHz) クロックギア : fc/1 $\text{周波数} = \frac{f_{\text{sys}}}{2^n + 72} \text{ [Hz]}$
001	n=6	294 kHz	
010	n=7	200 kHz	
011	n=8	122 kHz	
100	n=9	68 kHz	
101	n=10	36 kHz	
110	n=11	19 kHz	
111		reserved	

<Bit 0><SWRMON> : リセットモニタ

ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	ソフトウェアリセット解除中

<Bit 7:5><BC2:0> : 転送ビット数の選択

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

図 15-4 I²C バスモード関係のレジスタ

- (注1) クロック同期式 8 ビット SIO モードに切り替える前に<BC2:0>を “000” にクリアしてください。
- (注2) SCLラインクロックの周波数については、「15.5.3 シリアルクロック」を参照してください。
- (注3) <SCK0/SWRMON>ビットは、リセット後 “1” が読み出されますが、SBInCR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は “0” になります。
- (注4) 読み出しの初期値とは関係なく、周波数選択の初期値は<SCK[2:0]>=000 です。

シリアルバスコントロールレジスタ 2

SBIInCR2	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
	リセット後	W				W (注 2)		W (注 1)	
	機能	0	0	0	1	0	0	0	0
	機能	マスタ/スレーブの選択 0: スレーブ 1: マスタ	送信/受信の選択 0: 受信 1: 送信	スタート/ストップ状態の発生 0: ストップ状態発生 1: スタート状態発生	INTSBIn 割り込み要求解除 0: - 1: 割り込み要求の解除	シリアルバスインタフェースの動作モード選択 (注 2) 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (予約)		ソフトウェアリセットの発生 最初に“10”、次に“01”をライイトすると、リセットが発生します。	
	bit Symbol	15	14	13	12	11	10	9	8
	Read/Write	R							
	リセット後	0							
	機能	リードすると“0”が読めます							
	bit Symbol	23	22	21	20	19	18	17	16
	Read/Write	R							
	リセット後	0							
	機能	リードすると“0”が読めます							
	bit Symbol	31	30	29	28	27	26	25	24
	Read/Write	R							
	リセット後	0							
	機能	リードすると“0”が読めます							

<Bit 1:0><SWRST1:0> :最初に“10”、次に“01”をライイトすると、リセットが発生します。
 <Bit 3:2><SBIM1:0> :シリアルバスインタフェースの動作モード選択

シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(予約)

<Bit 4><PIN> :INTSBIn 割り込み要求解除
 <Bit 5><BB> :状態発生の確認
 <Bit 6><TRX> :送受信の選択
 <Bit 7><MST> :マスタスレーブの選択

- (注 1) このレジスタをリードすると、SBIInSR レジスタとして機能します。
- (注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が“H”になっていることを確認してから行ってください。
- (注 3) モードの切替えはシリアル転送が終了していることを確認してから行ってください。

図 15-5 I²C バスモード関係のレジスタ

表 15-1 ベースクロック 分解能

@fsys = 40 MHz

クロックギア値 <GEAR2:0>	ベースクロック 分解能
00 (fc)	$f_{\text{sys}}/2^2$ (0.1 μs)
01 (fc/2)	$f_{\text{sys}}/2^3$ (0.2 μs)
10 (fc/4)	$f_{\text{sys}}/2^4$ (0.4 μs)
11 (fc/8)	$f_{\text{sys}}/2^5$ (0.8 μs)

シリアルバスインタフェースステータスレジスタ

SBIInSR	bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R							
	リセット後	0	0	0	1	0	0	0	0
	機能	マスタ/スレーブ選択 モニター 0:スレーブ 1:マスタ	送信/受信 選択 モニター 0: 受信 1: 送信	I ² Cバス 状態 モニター 0: パス フリー 1: パス ビジー	INTSBIIn 割り込み 要求 モニター 0: 割り込み 要求発生 状態 1: 割り込み 要求解除 状態	アービトレーション ロスト検出 0: - 1: 検出	スレーブ アドレス 一致検出 0: - 1: 検出	ゼネラル コール 検出 0: - 1: 検出	最終受信 ビット モニター 0: "0" 1: "1"
bit Symbol	15	14	13	12	11	10	9	8	
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								
bit Symbol	23	22	21	20	19	18	17	16	
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								
bit Symbol	31	30	29	28	27	26	25	24	
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								

(注) このレジスタをライトすると、SBIInCR2として機能します。

図 15-6 I²C バスモード関係のレジスタ

- <Bit 0><LRB> : 最終受信ビットモニター
- <Bit 1><ADO> : ゼネラルコール検出
- <Bit 2><AAS> : スレーブアドレス一致検出
- <Bit 3><AL> : アービトレーションロスト検出
- <Bit 4><PIN> : INTSBIIn 割り込み要求モニター
- <Bit 5><BB> : I²C 状態モニター
- <Bit 6><TRX> : 送信/受信選択モニター
- <Bit 7><MST> : マスタスレーブ選択モニター

シリアルバスインタフェースポーレートレジスタ 0

SBlInBR0

	7	6	5	4	3	2	1	0
bit Symbol	I2SBI							
Read/Write	R	R/W	R					R/W
リセット後	1	0	1					0
機能	リードすると"1"が読めます	IDLE 0: 停止 1: 動作	リードすると"1"が読めます					必ず"0"をライトしてください。(注)
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

<Bit 6><I2SBI> : IDLE モード時の動作

シリアルバスインタフェースデータバッファレジスタ

SBI _n DBR		7	6	5	4	3	2	1	0
	bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
	リセット後	0							
	機能	受信データ/送信データ							
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると "0" が読めます							
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると "0" が読めます							
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								

(注) 送信データを書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。
また、受信データは LSB 側に格納されます。

(注) SBI_nDBR は書き込み用バッファと読み出し用バッファを個別に持っているため、書き込んだデータを読み出すことはできません。したがって、ビット操作などのリードモディファイライト命令は使用できません。

I²C バスアドレスレジスタ

SBInI2CAR

	7	6	5	4	3	2	1	0	
bit Symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識モードの指定	
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								

<Bit 0><ALS> : アドレス認識モードの指定。

- (注) I²C バスアドレスレジスタ SBInI2CAR のビット 0<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。
 "1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。
- (注) スレーブモード時 SBInI2CAR を'0x00'に設定しないでください。'0x00'に設定した場合、スレーブモードで I²C バス規格の START バイト('0x01')を受信した時にスレーブアドレスが一致したと判断します。

図 15-7 I²C バスモード関係のレジスタ

15.5 I2Cバスモード時の制御

15.5.1 アクノリッジメントモードの指定

SBInCR1 <ACK> を “1” にセットしておくくとアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを 1 クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引き、アクノリッジ信号を発生します。

<ACK> を “0” に設定しておくくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

15.5.2 転送ビット数の選択

SBInCR1 <BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより “000” にされるため、スレーブアドレス、方向ビットの転送はかならず 8 ビットで行われます。それ以外のときは <BC2:0> は一度設定された値を保持します。

15.5.3 シリアルクロック

クロックソース

SBInCR1 <SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

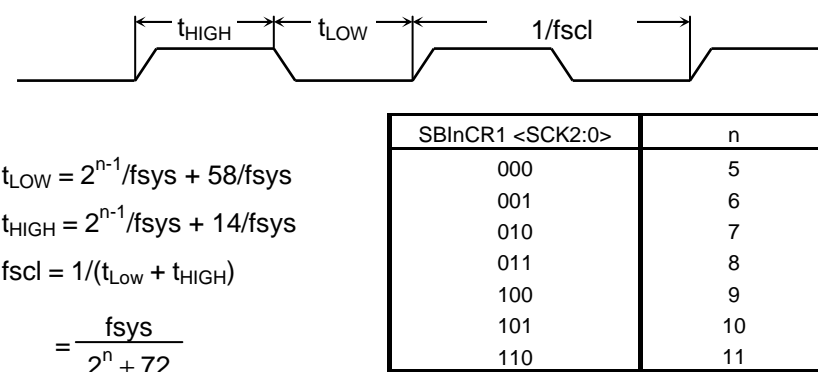


図 15-8 クロックソース

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意ください。

クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

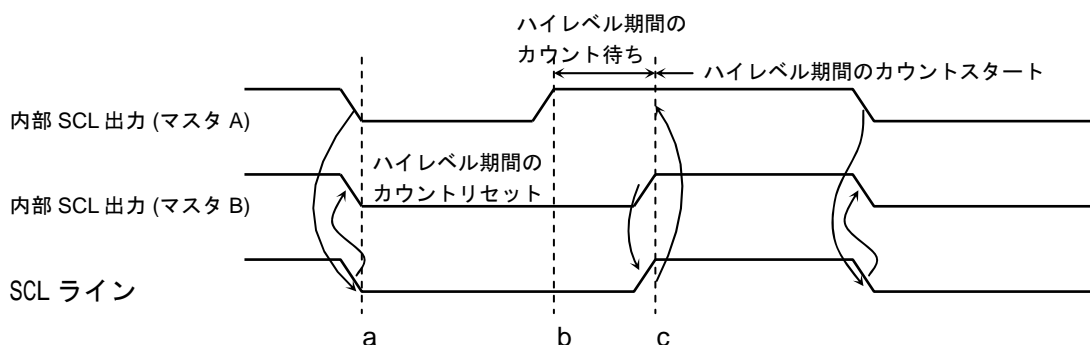


図 15-9 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

b 点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと最も長い“L”レベル期間をもつマスタによって決定されます。

15.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、SBInI2CAR にスレーブアドレス <SA6 : 0> と <ALS> を設定します。<ALS> に“0”を設定すると、アドレス認識モードになります。

15.5.5 マスタ/スレーブの選択

SBInCr2<MST> を“1”に設定すると、マスタデバイスとして動作します。

<MST> を“0”に設定すると、スレーブデバイスとして動作します。<MST> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にされます。

15.5.6 トランスミッタ/レシーバの選択

SBInCR2 <TRX> を “1” に設定すると、トランスミッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。

スレーブモード時は

- アドレッシングフォーマットのデータ転送を行うとき、
- 受信したスレーブアドレスが SBInI2CAR にセットした値と同じとき、
- ゼネラルコールを受信したとき、(スタートコンディション後の 8 ビットのデータがすべて “0”)

ハードウェアによりマスタデバイスから送られてくる方向ビット (R/\bar{W}) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にされます。

マスタモード時は、スレーブデバイスからアクリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アクリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより “0” にされます。

15.5.7 スタート/ストップコンディションの発生

SBInSR<BB> が “0” のときに、SBInCR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、8 ビットのデータが出力されます。あらかじめ、<ACK> に “1” を設定してください。

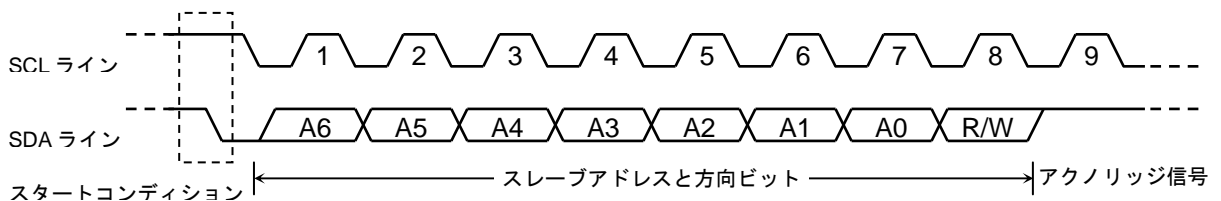


図 15-10 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

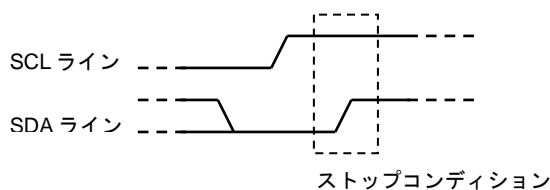


図 15-11 ストップコンディションの発生

また、SBInSR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バ

ス上のスタートコンディションを検出すると“1”にセットされ(バスビジー状態)、ストップコンディションを検出すると“0”にされます(バスフリー状態)。

15.5.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSBIn) が発生すると、SBInCR2 <PIN> が“0”にされます。<PIN> が“0”の間、SCL ラインを“L”レベルに引きます。

<PIN> は1ワードの送信または受信が終了すると“0”にされ、SBInDBR にデータを書き込むか、SBInDBR からデータを読み出すと“1”にセットされます。<PIN> が“1”にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが SBInI2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の8ビットのデータがすべて“0”) を受信したときに、<PIN> が“0”にされます。プログラムで SBInCR2 <PIN> に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

15.5.9 シリアルバスインタフェースの動作モード

SBInCR2 <SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するときは、<SBIM1:0> を“10”に設定します。ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

15.5.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1つのバス上で同時に2つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合は SCL、SDA ラインには出力されずにアービトレーションロストが発生します。I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B とも同じデータを出力し、a 点でマスタ A が“L”レベルを出力、マスタ B が“H”レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって“L”レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を“アービトレーションロスト”と呼びます、マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが1ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は2ワード目以降も継続されます。

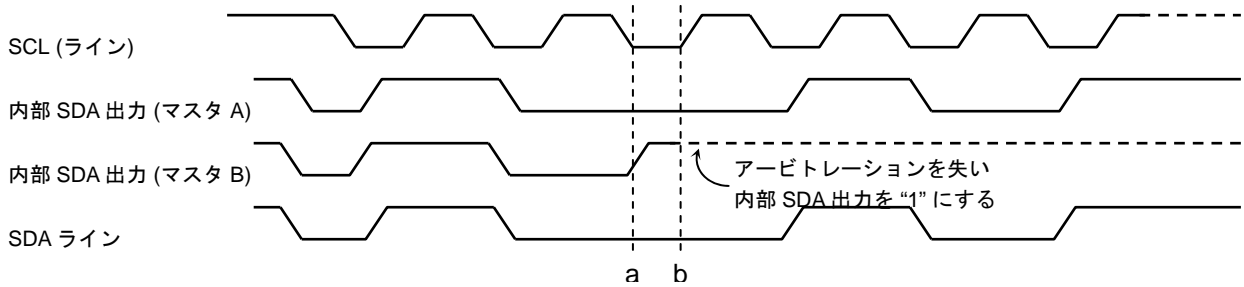


図 15-12 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SBInSR <AL> が “1” にセットされます。

<AL> が “1” にセットされると SBInSR <MST, TRX> は “0” にされ、スレーブレシーバモードになります。<AL> は、SBInDBR にデータを書き込むか、SBInDBR からデータを読み込む、または SBInCR2 にデータを書き込むと “0” にされます。

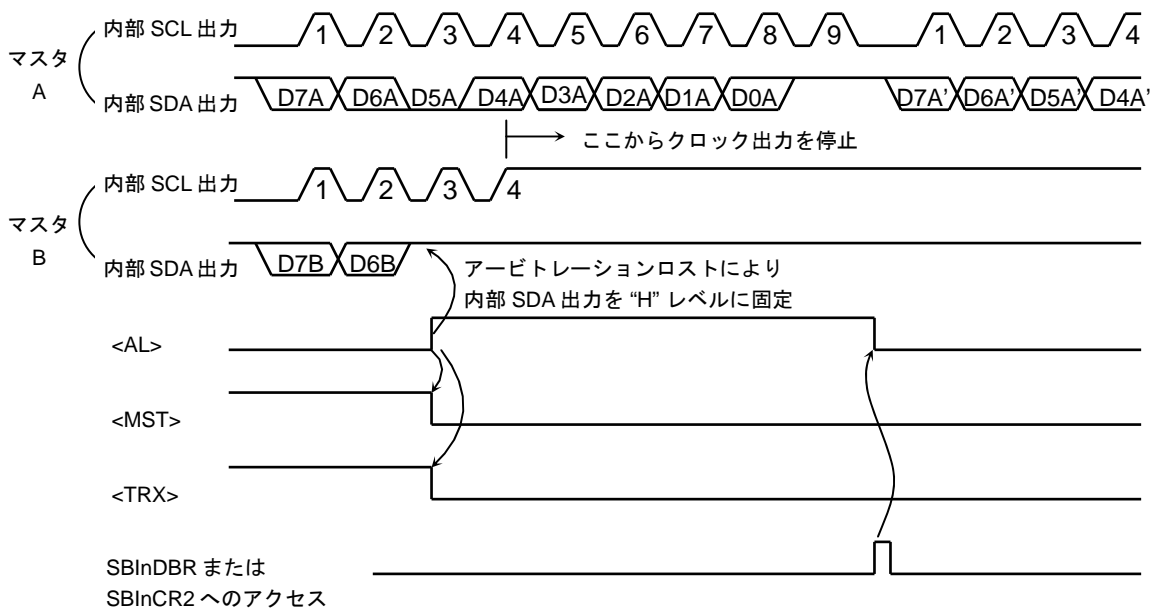


図 15-13 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

15.5.11 スレーブアドレス一致検出モニタ

SBInSR <AAS> は、スレーブモード時、アドレス認識モード (SBInI2CAR <ALS> = “0”) のとき、ゼネラルコールまたは SBInI2CAR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS> は SBInDBR にデータを書き込むか、SBInDBR からデータを読み出すと “0” にされます。

15.5.12 ゼネラルコール検出モニタ

SBI_nSR <AD0> は、スレーブモード時、ゼネラルコール（スタートコンディション後の 8 ビットのデータがすべて “0”）を受信したとき “1” にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると “0” にされます。

15.5.13 最終受信ビットモニタ

SBI_nSR <LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTSBI_n 割り込み要求発生直後に SBI_nSR <LRB> を読み出すと、ACK 信号が読み出されます。

15.5.14 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBIInCR2 <SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に “0” にクリアされます。

(注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I²C モードから PORT モードになります。

15.5.15 シリアルバスインタフェースデータバッファレジスタ (SBIInDBR)

SBIInDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

15.5.16 I2CBUSアドレスレジスタ (SBIInI2CAR)

SBIInI2CAR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。また、SBIInI2CAR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

15.5.17 ボーレートレジスタ (SBIInBR0)

SBIInBR0<I2SBI>は IDLE モードに遷移した際に動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

15.6 I2C バスモード時のデータ転送手順

15.6.1 デバイスの初期化

最初に SBInCR1<ACK, SCK2:0> を設定します。SBInCR1 のそれ以外のビット 7～5, には、“0” を書き込んでください。

次に SBInI2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBInCR2 <MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブレシーバモードにします。

	7 6 5 4 3 2 1 0	
SBInCR1	← 0 0 0 X 0 X X X	ACK および SCL クロックの設定をします。
SBInI2CAR	← X X X X X X X X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBInCR2	← 0 0 0 1 1 0 0 0	スレーブレシーバモードにします。

(注) X: Don't care

15.6.2 スタートコンディション、スレーブアドレスの発生

マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。次に、SBInCR1 <ACK> に “1” を書き込んで、アクノリジメントモードに設定します。また、SBInDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBInCR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロックを出力します。最初の 8 クロックで、SBInDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリジ信号を受信します。

9 クロック目の立ち下がりで、INTSBIn 割り込み要求が発生し、<PIN> = “0” にされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。また、スレーブデバイスからのアクノリジ信号が返ってきたときのみ、INTSBIn 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

	7 6 5 4 3 2 1 0	
→ Reg.	← SBInSR	
Reg.	← Reg. e 0x20	
if Reg.	≠ 0x00	バスがフリー状態になるまで確認します。
Then		
SBInCR1	← X X X 1 0 X X X	アクノリジメントモードに設定します。
SBInDBR	← X X X X X X X X	目的のスレーブのスレーブアドレスと方向をセットします。
SBInCR2	← 1 1 1 1 1 0 0 0	スタートコンディションの発生を行います。

INTSBIn 割り込みルーチンでの処理例

割り込み要求クリア
処理
割り込み終了

スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または SBIInI2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルにひき、アクノリッジ信号を出力します。

9 クロック目の立ち下がり、INTSBIn 割り込み要求が発生し、<PIN> = “0” にされます。スレーブモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。

(注) DMA 転送を使用する場合は

- ・マスタスレーブが 1 対 1
- ・送信または受信が連続して可能

のときにのみ可能です。

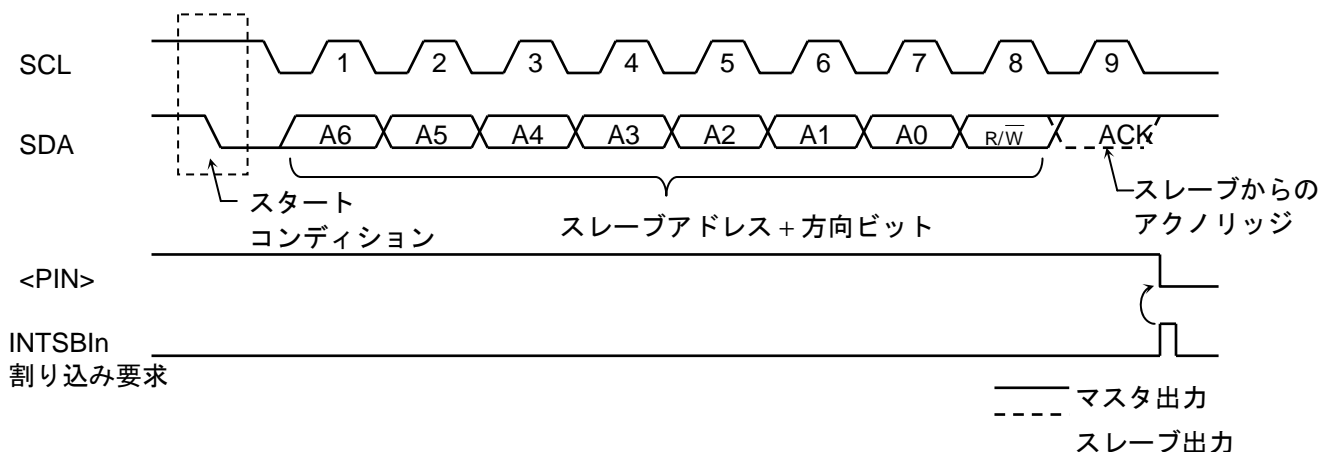


図 15-14 スタートコンディションとスレーブアドレスの発生

15.6.3 1ワードのデータ転送

1ワード転送終了の INTSBIn 割り込みの処理で <MST> をテストし、マスタモード/スレーブモードの判断をします。

マスタモードの場合 (<MST> = “1”)

<TRX>をテストし、トランスマッタ/レシーバの判断をします。

トランスマッタモードの場合 (<TRX> = “1”)

<LRB> をテストします。<LRB> が “1” のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

<LRB> が “0” のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIInDBR に転送データを書き込みます。8 ビット以外の場合は <BC2:0>、<ACK> を設定し、転送データを SBIInDBR に書き込みます。データを書き込むと <PIN> が “1” になり SCL 端子から次の 1ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後 INTSBIn 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は上記 <LRB> のテストから繰り返します。

INTSBIn 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBIInCR1 ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBIInDBR ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了
(注) X: Don't care
    
```

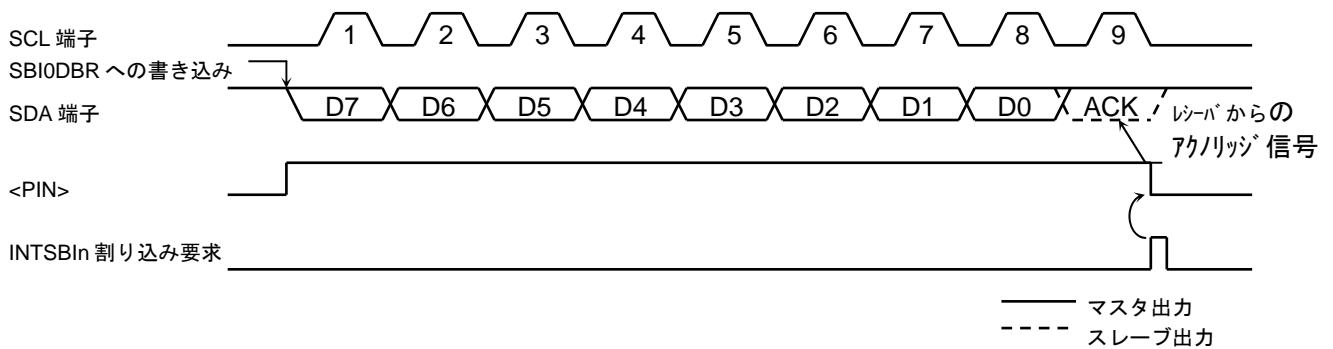


図 15-15 <BC2:0> = “000”, <ACK> = “1” の場合 (トランスミッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が 8 ビットのときは SBIInDBR に転送データを書き込みます。8 ビット以外のときは <BC2:0>、<ACK> を設定し、SCL ラインを解放するために SBIInDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は “1” になり、次の 1 ワードデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の “L” レベルのタイミングで “0” を SDA 端子に出力します。

その後、INTSBIn 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。SBIInDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

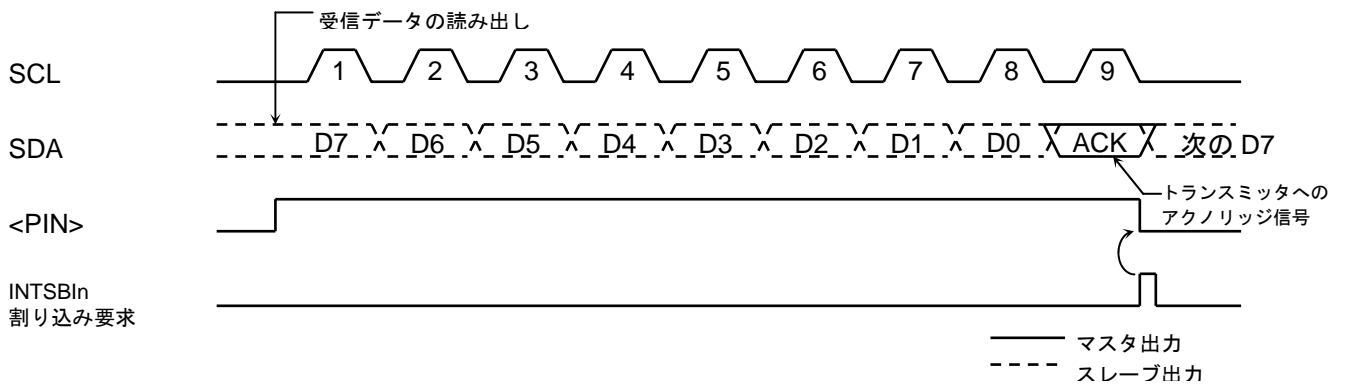


図 15-16 <BC2:0> = “000”, <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に <ACK> を “0” にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = “001” に設定し、データを読み出すと、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

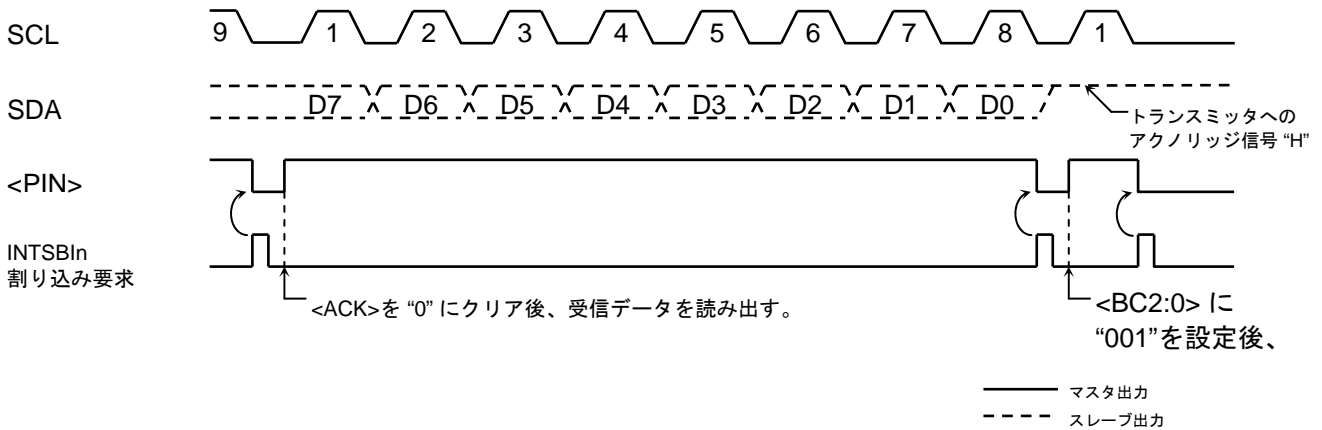


図 15-17 マスタレシーバモード時、データの送信を終了させるときの処理

例：データを N 回受信する場合

INTSBIIn 割り込み (データ送信後)

```

          7 6 5 4 3 2 1 0
SBIInCR1 ← X X X X 0 X X X
Reg.      ← SBIInDBR
割り込み終了
    
```

受信データのビット数および ACK を設定します。
ダミーデータを取り込みます。

INTSBIIn 割り込み (データ受信 1~ (N-2) 回目)

```

          7 6 5 4 3 2 1 0
Reg.      ← SBIInDBR
割り込み終了
    
```

1~ (N-2) 回目のデータを取り込みます。

INTSBIIn 割り込み (データ受信 (N-1) 回目)

```

          7 6 5 4 3 2 1 0
SBIInCR1 ← X X X 0 0 X X X
Reg.      ← SBIInDBR
割り込み終了
    
```

アクノリッジ信号のクロックを発生しないようにします。
(N-1) 回目のデータを取り込みます。

INTSBIIn 割り込み (データ受信 N 回目)

```

          7 6 5 4 3 2 1 0
SBIInCR1 ← 0 0 1 0 0 X X X
Reg.      ← SBIInDBR
割り込み終了
    
```

1ビット転送のためのクロックを発生します。
N 回目のデータを取り込みます。

INTSBIIn 割り込み (データ受信後)

ストップコンディションを発生する処理
割り込み終了

データ転送を終了させます。

(注) X: Don't care

スレーブモードの場合 (<MST> = “ 0 ”)

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSBIn 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBIn 割り込み要求が発生します。INTSBIn 割り込み要求が発生すると <PIN> が “ 0 ” にされ、SCL 端子を “ L ” レベルに引きます。SBInDBR にデータを書き込む、SBInDBR からデータを読み出す、または <PIN> に “ 1 ” を設定すると SCL 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBInSR <AL>、<TRX>、<AAS>、<ADO> をテストし、場合分けを行います。表 15-2 スレーブモード時の処理にスレーブモード時の状態と必要な処理を示します。

例：スレーブレシーバモード時スレーブアドレスが一致し、方向ビットが “ 1 ” の場合

INTSBIn 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 1
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBInCR1 ← X X X 1 0 X X X      送信ビット数を設定します。
SBInDBR ← X X X X 0 X X X      送信データをセットします。

```

(注) X: Don ' t care

表 15-2 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“1”のスレーブアドレスを受信	1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBInDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	LRB をテストし、“1” にセットされていた場合、レシーバが次のデータを要求していないので <PIN> に“1” をセット、<TRX> を“0” にリセットしバスを開放します。<LRB> が“0” にリセットされていた場合、レシーバが次のデータを要求しているため 1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBInDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN> を“1” にセットするために SBInDBR を読み出します。(ダミー読み出し) または <PIN> に“1” を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	
	0	0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	1 ワードのビット数を <BC2:0> にセットし、受信データを SBInDBR から読み出します。

15.6.4 ストップコンディションの発生

SBInSR <BB> = “1” のときに、SBInCR2 <MST, TRX, PIN> に “1”、<BB> に “0” を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

	7 6 5 4 3 2 1 0	
SBInCR2	← 1 1 0 1 1 0 0 0	ストップコンディションを発生させます。

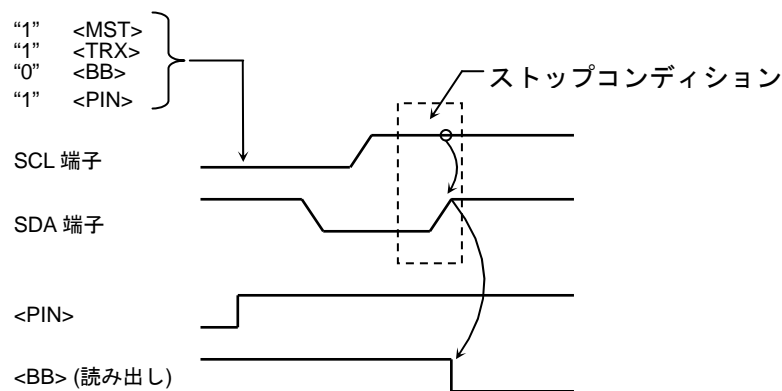


図 15-18 ストップコンディションの発生

15.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

まず、SBInCR2 <MST, TRX, BB> に “0”、<PIN> に “1” を書き込み、バスを開放します。このとき SDA 端子は “H” レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBInSR <BB> をテストして “0” になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして “1” になるまで待ち、他のデバイスがバスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記「10.6.2 スタートコンディション、スレーブアドレスの発生」の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7μs（標準モード時）のソフトウェアによる待ち時間が必要です。

```

    7 6 5 4 3 2 1 0
    SBInCR2 ← 0 0 0 1 1 0 0 0
    if SBInSR<BB> ≠ 0
    Then
    if SBInSR<LRB> ≠ 1
    Then
    4.7 μs Wait
    SBInCR1 ← X X X 1 0 X X X
    SBInDBR ← X X X X X X X X
    SBInCR2 ← 1 1 1 1 1 0 0 0

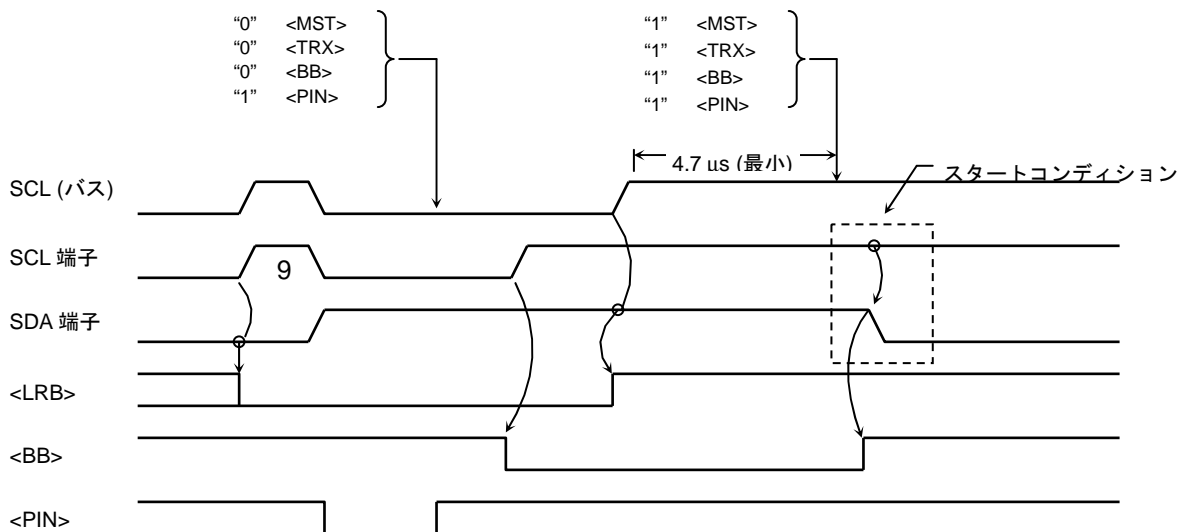
```

バスを解放します。
SCL 端子の解放を確認します。

他のデバイスの SCL 端子 “L” レベルの確認を行います。

アクノリッジメントモードに設定します。
目的のスレーブのスレーブアドレスと方向をセットします。
スタートコンディションの発生を行います。

(注) X: Don't care



(注) <MST>= "0" の状態の時に<MST>= "0" をライトしないでください (再スタートできません)。

図 15-19 再スタートを発生する場合のタイミングチャート

15.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

		7	6	5	4	3	2	1	0
SBIInCR0	bit Symbol	SBIEN							
	Read/Write	R/W			R				
	リセット後	0			0				
	機能	SBI 動作 0: 禁止 1: 許可		リードすると "0" が読めます					
		15	14	13	12	11	10	9	8
bit Symbol									
Read/Write		R							
リセット後		0							
機能		リードすると "0" が読めます							
		23	22	21	20	19	18	17	16
bit Symbol									
Read/Write		R							
リセット後		0							
機能		リードすると "0" が読めます							
		31	30	29	28	27	26	25	24
bit Symbol									
Read/Write		R							
リセット後		0							
機能		リードすると "0" が読めます							

<SBIEN> : SIO (SBI) を使用する場合は、SIO (SBI) モジュールの各レジスタを設定する前に SIO (SBI) 動作許可 ("1") にしてください。

図 15-20 SIO モード関係のレジスタ

シリアルバスインタフェース制御レジスタ 1

SBInCR1		7	6	5	4	3	2	1	0
	bit Symbol	SIOS	SIOINH	SIOM1	SIOMO		SCK2	SCK1	SCK0
	Read/Write	R/W				R	R/W		
	リセット後	0	0	0	0	1	0	0	0
	機能	転送の 開始/終了 0: 終了 1: 開始	転送の 強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (予約) 10: 送受信モード 11: 受信モード		リードす ると "1" が 読めます	シリアルクロック周波数の選択		
		15	14	13	12	11	10	9	8
	bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると "0" が読めます							
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								
	31	30	29	28	27	26	25	24	
bit Symbol									
Read/Write	R								
リセット後	0								
機能	リードすると "0" が読めます								

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 3	2.5 MHz	$\left(\begin{array}{l} \text{システムクロック} : f_{\text{sys}} \\ \hspace{10em} (=40 \text{ MHz}) \\ \text{クロックギア} : f_c/1 \\ \text{周波数} = \frac{f_{\text{sys}}/2^n}{2} [\text{Hz}] \end{array} \right)$
001	n = 4	1.25 MHz	
010	n = 5	625 kHz	
011	n = 6	313 kHz	
100	n = 7	156 kHz	
101	n = 8	78 kHz	
110	n = 9	39 kHz	
111	—	外部クロック	

(注) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1" に設定してください。

図 15-21 SIO モード関係のレジスタ

シリアルバスインタフェースデータバッファレジスタ

SBIInDBR

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							
機能	受信データ/送信データ							
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

シリアルバスインタフェース制御レジスタ 2

SBIInCR2

	7	6	5	4	3	2	1	0
bit Symbol					SBIM1	SBIM0		
Read/Write	R				W		R	
リセット後	1				0	0	1	
機能	リードすると"1"が読めます				シリアルバスインタフェースの動作モード選択 00: ポートモード 01: クロック同期式 8bit SIO モード 10: I ² C バスモード 11: (予約)		リードすると"1"が読めます	
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

図 15-22 SIO モード関係のレジスタ

シリアルバスインタフェースステータスレジスタ

SBInSR		7	6	5	4	3	2	1	0	
	bit Symbol					SIOF	SEF			
	Read/Write	R				R		R		
	リセット後	1				0	0	1		
	機能	リードすると "1" が読めます				シリアル 転送動作 状態モニタ 0: 転送終了 1: 転送中	シフト動作 状態モニタ 0: シフト 動作終了 1: シフト 転送中	リードすると "1" が読めます		
		15	14	13	12	11	10	9	8	
	bit Symbol									
	Read/Write	R								
	リセット後	0								
	機能	リードすると "0" が読めます								
		23	22	21	20	19	18	17	16	
	bit Symbol									
	Read/Write	R								
	リセット後	0								
	機能	リードすると "0" が読めます								
		31	30	29	28	27	26	25	24	
	bit Symbol									
	Read/Write	R								
	リセット後	0								
	機能	リードすると "0" が読めます								

シリアルバスインタフェースボーレートレジスタ 0

SBInBR0		7	6	5	4	3	2	1	0	
	bit Symbol		I2SBI							
	Read/Write	R	R/W	R					R/W	
	リセット後	1	0	1					0	
	機能	リードすると "1" が読めます。	IDLE 0: 停止 1: 動作	リードすると "1" が読めます					必ず "0" をライトしてください。	
		15	14	13	12	11	10	9	8	
	bit Symbol									
	Read/Write	R								
	リセット後	0								
	機能	リードすると "0" が読めます								
		23	22	21	20	19	18	17	16	
	bit Symbol									
	Read/Write	R								
	リセット後	0								
	機能	リードすると "0" が読めます								
		31	30	29	28	27	26	25	24	
	bit Symbol									
	Read/Write	R								
	リセット後	0								
	機能	リードすると "0" が読めます								

図 15-23 SIO モード関係のレジスタ

15.7.1 シリアルクロック

クロックソース

SBI nCR1 <SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

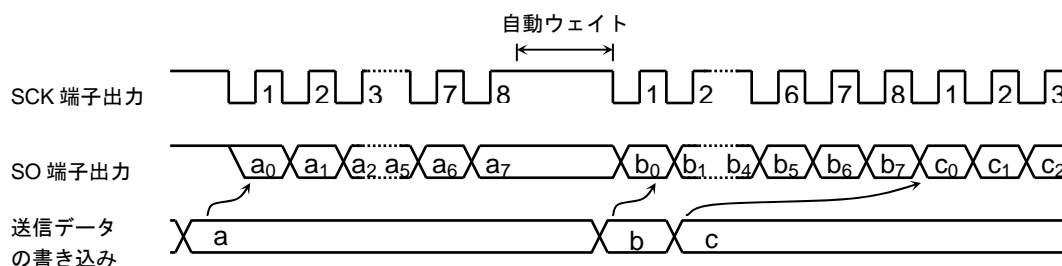


図 15-24 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベル幅は下記に示すパルス幅が必要です。

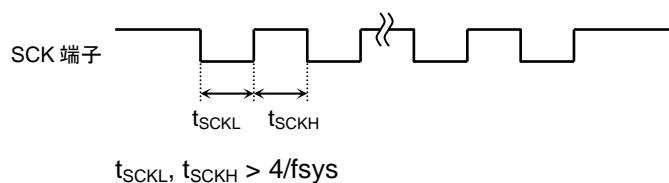


図 15-25 外部クロック入力時の最大転送周波数

シフトエッジ

送信は前縁シフト，受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。

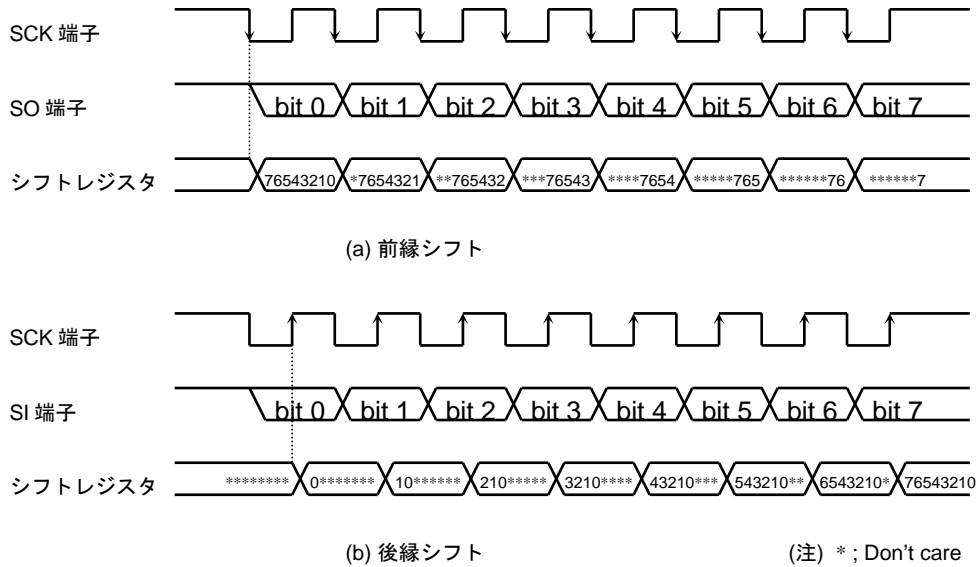


図 15-26 シフトエッジ

15.7.2 転送モード

SBIInCR1 <SIOM1:0> で、送信/受信/送受信モードを選択します。

8 ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBIInDBR に書き込みます。

送信データの書き込み後、SBIInCR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBIInDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBIInDBR が空になりますので、次の送信データを要求する INTSBIIn (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、8 ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIInDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIInDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBIInSR <SIOF> が “1” となってから SCK の立ち上がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBIIn 割り込みサービスプログラムで <SIOS> = “0” を書き込むか <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIInSR <SIOF> で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合はただちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にする必要があります。もしシフトアウトする前に <SIOS> が “0” にされなかった場合は、ダミーのデータの送信後、停止します。

	7 6 5 4 3 2 1 0	
SBIInCR1	← 0 1 0 0 0 X X X	送信モードをセットします。
SBIInDBR	← X X X X X X X X	送信データを書き込みます。
SBIInCR1	← 1 0 0 0 0 X X X	送信を開始します。

INTSBIIn 割り込み

SBIInDBR	← X X X X X X X X	送信データを書き込みます。
----------	-------------------	---------------

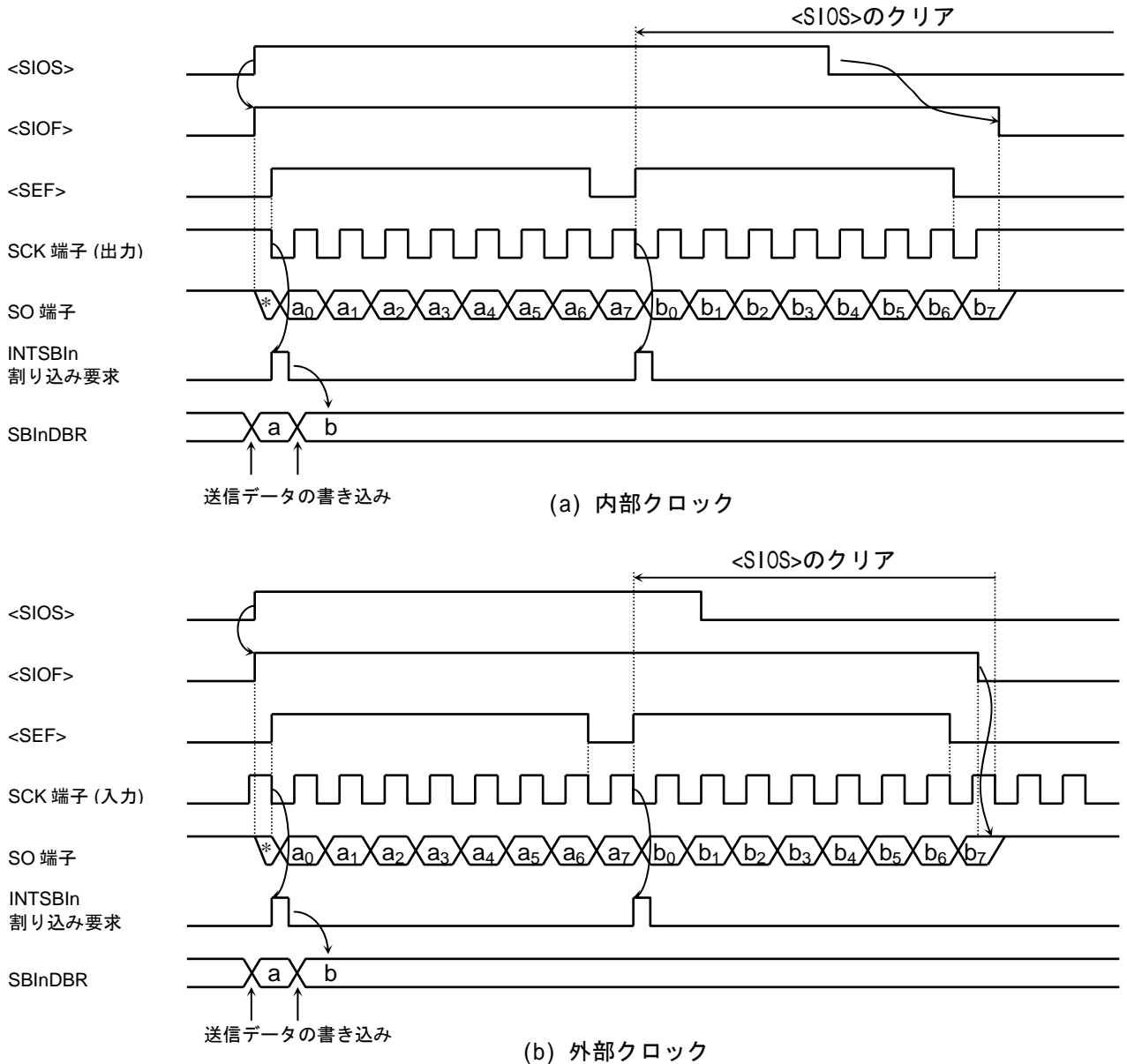


図 15-27 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合)のプログラム例

	7 6 5 4 3 2 1 0	
→	if SBISR<SIOF> ≠ 0	転送の終了を確認します。
└	Then	
→	if SCK ≠ 1	ポートをモニタし、SCK 端子が "1" になったことを確認します。
└	Then	
	SBInCR1 ← 0 0 0 0 0 1 1 1	<SIO> = 0 を設定し送信を終了します。

8 ビット受信モード

制御レジスタに受信モードをセットした後、SBInCR1 <SIOS> = “1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれるとシフトレジスタから SBInDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSBIn (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBInDBR から読み出します。

内部クロック動作の場合、受信データが SBInDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSBIn 割り込みサービスプログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBInDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBInSR <SIOF> で行います。<SIOF> は受信の終了で “0” にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = “1” を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

(注) 転送モードを切り替えると SBInDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

7 6 5 4 3 2 1 0		
SBInCR1 ←	0 1 1 1 0 X X X	受信モードをセットします。
SBInCR1 ←	1 0 1 1 0 0 0 0	受信を開始します。

INTSBIn 割り込み

Reg.	← SBInDBR	受信データを取り込みます。
------	-----------	---------------

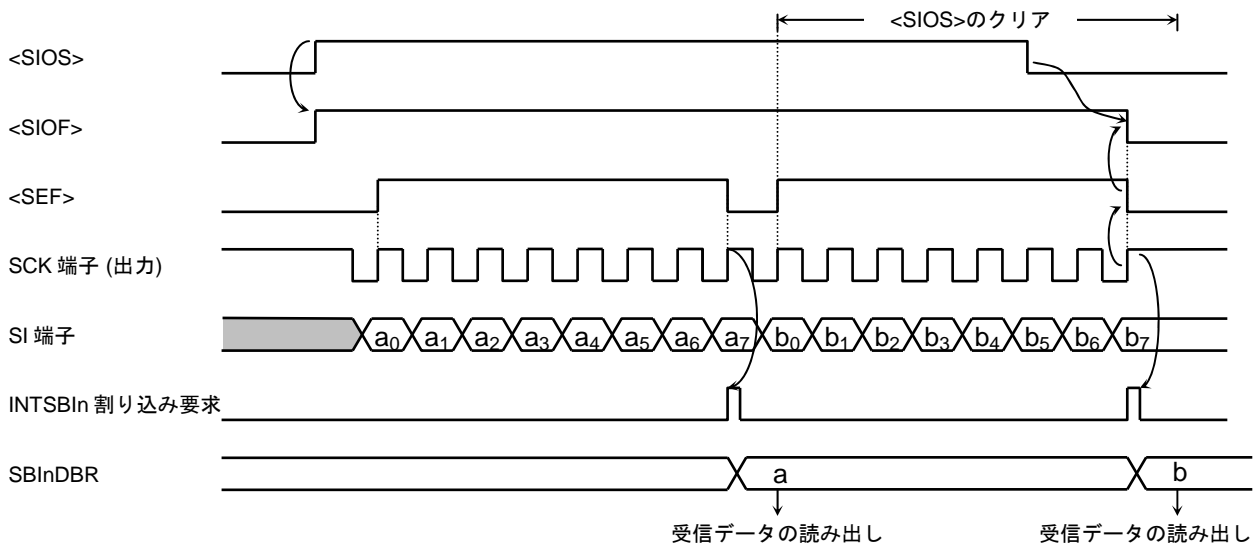


図 15-28 受信モード (例: 内部クロック)

8 ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBInDBR に書き込みます。その後、SBInCR1 <SIOS> に “1” をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが S0 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBInDBR へ受信データが転送され、INTSBIIn 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBInDBR は、送信/受信モードで兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBIIn 割り込みサービスプログラムで <SIOS> = “0” を書き込むか SBInCR1 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが揃い、SBInDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBInSR <SIOF> で行います。<SIOF> は送受信の終了で “0” にされます。<SIOINH> をセットした場合は、ただちに送受信を打ち切り、<SIOF> は “0” にされます。

(注) 転送モードを切り替えると SBInDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

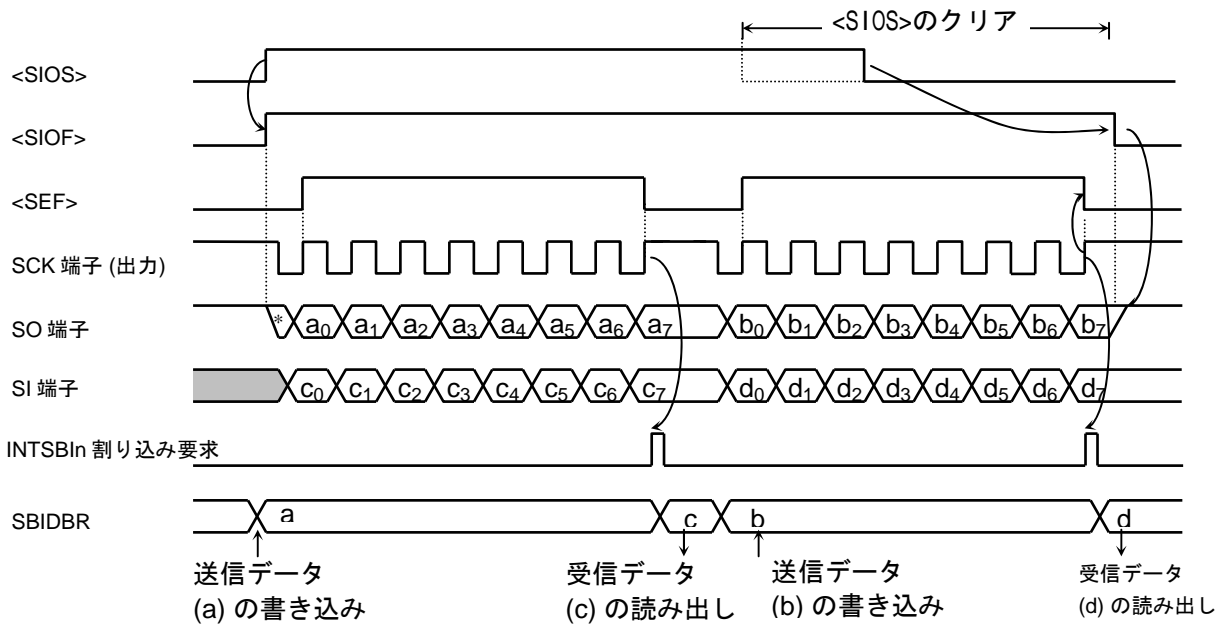


図 15-29 送受信モード (例: 内部クロック)

	7	6	5	4	3	2	1	0	
SBInCR1	←	0	1	1	0	0	X	X	X
									送信モードをセットします。
SBInDBR	←	X	X	X	X	X	X	X	X
									送信データを書き込みます。
SBInCR1	←	1	0	1	0	0	X	X	X
									送受信を開始します。

INTSBIn 割り込み

Reg.	←	SBInDBR		受信データを取り込みます。					
SBInDBR	←	X	X	X	X	X	X	X	送信データを書き込みます。

送信終了時の最終ビット保持時間

SBInCR1<SIOS>="0"の状態では、送信データの最終ビットの SCK 立ち上がりに対するデータ 保持時間は以下ようになります。送信モード、送受信モードとも同様です。

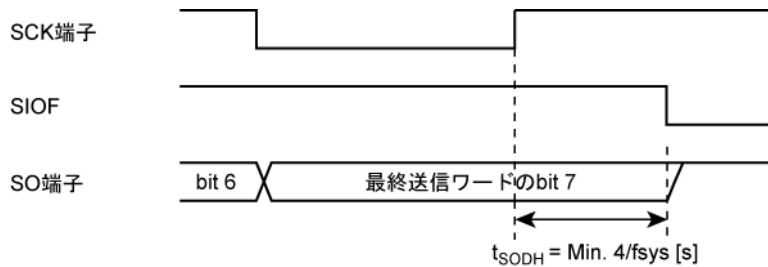


図 15-30 送信終了時の最終ビット保持時間

16 リモコン判定機能

16.1 概要

搬送波が取り除かれたリモコン信号の受信を行います。RXIN 端子から信号を入力します。

16.1.1 リモコン受信

- 32kHz クロックでサンプリング
- ノイズキャンセラ
- リーダ検出
- 最大 72bit まで一括受信

16.2 レジスタ説明

16.2.1 レジスタ一覧

リモコン受信の制御レジスタとアドレスは以下のとおりです。

レジスタ名		アドレス
リモコンイネーブルレジスタ	RMCCEN	0x4004_0400
リモコン受信イネーブルレジスタ	RMCCREN	0x4004_0404
リモコン受信データバッファレジスタ 1	RMCCRBUF1	0x4004_0408
リモコン受信データバッファレジスタ 2	RMCCRBUF2	0x4004_040C
リモコン受信データバッファレジスタ 3	RMCCRBUF3	0x4004_0410
リモコン受信コントロールレジスタ 1	RMCCRCR1	0x4004_0414
リモコン受信コントロールレジスタ 2	RMCCRCR2	0x4004_0418
リモコン受信コントロールレジスタ 3	RMCCRCR3	0x4004_041C
リモコン受信コントロールレジスタ 4	RMCCRCR4	0x4004_0420
リモコン受信ステータスレジスタ	RMCCRSTAT	0x4004_0424
リモコン受信終了 bit 数レジスタ 1	RMCCEND1	0x4004_0428
リモコン受信終了 bit 数レジスタ 2	RMCCEND2	0x4004_042C
リモコン受信終了 bit 数レジスタ 3	RMCCEND3	0x4004_0430
リモコンソースクロック選択レジスタ	RMCCFSSEL	0x4004_0434

16.2.2 リモコンイネーブルレジスタ [RMCEN]

	7	6	5	4	3	2	1	0	
bit Symbol								RMCEN	
Read/Write	R							R/W	R/W
リセット後	0							0	0
機能	リードすると“0”が読めます。							“1”を ライトし てください。	RMC動作 0:禁止 1:許可

<RMCEN>: リモコン判定機能の動作を制御します。
 リモコン判定機能を使用する場合は、まずリモコン動作許可にしてください。
 動作禁止の状態では、イネーブルレジスタを除く RMC 機能のすべてのクロックが停止しますので消費電力の低減が可能です。
 リモコン判定機能を一旦動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

16.2.3 リモコン受信イネーブルレジスタ [RMCREN]

	7	6	5	4	3	2	1	0	
bit Symbol								RMCREN	
Read/Write	R							R/W	R/W
リセット後	0							0	0
機能	リードすると“0”が読めます。								受信 0:禁止 1:許可

<RMCREN>: リモコン判定機能の受信動作を制御します。
 このビットを“1”にすることで受信待ち状態になります。

(注) <RMCREN>ビットは、リモコン受信コントロールレジスタ 1, 2, 3 を設定した後に許可してください。

16.2.4 リモコン受信データバッファレジスタ 1 [RMCRBUF1]

	31	30	29	28	27	26	25	24
bit Symbol	RMCRBUF31	RMCRBUF30	RMCRBUF29	RMCRBUF28	RMCRBUF27	RMCRBUF26	RMCRBUF25	RMCRBUF24
Read/Write	R							
リセット後	0							
機能	受信データ							
	23	22	21	20	19	18	17	16
bit Symbol	RMCRBUF23	RMCRBUF22	RMCRBUF21	RMCRBUF20	RMCRBUF19	RMCRBUF18	RMCRBUF17	RMCRBUF16
Read/Write	R							
リセット後	0							
機能	受信データ							
	15	14	13	12	11	10	9	8
bit Symbol	RMCRBUF15	RMCRBUF14	RMCRBUF13	RMCRBUF12	RMCRBUF11	RMCRBUF10	RMCRBUF9	RMCRBUF8
Read/Write	R							
リセット後	0							
機能	受信データ							
	7	6	5	4	3	2	1	0
bit Symbol	RMCRBUF7	RMCRBUF6	RMCRBUF5	RMCRBUF4	RMCRBUF3	RMCRBUF2	RMCRBUF1	RMCRBUF0
Read/Write	R							
リセット後	0							
機能	受信データ							

<RMCRBUF31:0>: 受信した 4 バイト分のデータが読めます。

16.2.5 リモコン受信データバッファレジスタ 2 [RMCRBUF2]

	31	30	29	28	27	26	25	24
bit Symbol	RMCRBUF63	RMCRBUF62	RMCRBUF61	RMCRBUF60	RMCRBUF59	RMCRBUF58	RMCRBUF57	RMCRBUF56
Read/Write	R							
リセット後	0							
機能	受信データ							
	23	22	21	20	19	18	17	16
bit Symbol	RMCRBUF55	RMCRBUF54	RMCRBUF53	RMCRBUF52	RMCRBUF51	RMCRBUF50	RMCRBUF49	RMCRBUF48
Read/Write	R							
リセット後	0							
機能	受信データ							
	15	14	13	12	11	10	9	8
bit Symbol	RMCRBUF47	RMCRBUF46	RMCRBUF45	RMCRBUF44	RMCRBUF43	RMCRBUF42	RMCRBUF41	RMCRBUF40
Read/Write	R							
リセット後	0							
機能	受信データ							
	7	6	5	4	3	2	1	0
bit Symbol	RMCRBUF39	RMCRBUF38	RMCRBUF37	RMCRBUF36	RMCRBUF35	RMCRBUF34	RMCRBUF33	RMCRBUF32
Read/Write	R							
リセット後	0							
機能	受信データ							

<RMCRBUF63:32>: 受信した 4 バイト分のデータが読めます。

16.2.6 リモコン受信データバッファレジスタ 3 [RMCRBUF3]

	7	6	5	4	3	2	1	0
bit Symbol	RMCRBUF71	RMCRBUF70	RMCRBUF69	RMCRBUF68	RMCRBUF67	RMCRBUF66	RMCRBUF65	RMCRBUF64
Read/Write	R							
リセット後	0							
機能	受信データ							

<RMCRBUF71:64>: 受信した 1 バイト分のデータが読めます。

- | | |
|-------|---|
| (注 1) | 受信データはリモコン受信データバッファレジスタ 1 の<RMCRBUF0>から順にリモコン受信データバッファレジスタ 3 の<RMCRBUF71>まで格納されます。 |
| (注 2) | 受信データは、最初に受信した Bit が本レジスタの MSB に、最後に受信した Bit が本レジスタの LSB(Bit0)に格納されます。
LSB first のリモコン信号を受信した場合、Bit の重みが逆順のデータが本レジスタへ格納されますので、ご注意ください。 |

16.2.7 リモコン受信コントロールレジスタ 1 [RMCR1]

	31	30	29	28	27	26	25	24
bit Symbol	RMCLCMAX7	RMCLCMAX6	RMCLCMAX5	RMCLCMAX4	RMCLCMAX3	RMCLCMAX2	RMCLCMAX1	RMCLCMAX0
Read/Write	R/W							
リセット後	0							
機能	リーダ検出の周期期間の上限設定 $RMCLCMAX \times 4 / fs[s]$							
	23	22	21	20	19	18	17	16
bit Symbol	RMCLCMIN7	RMCLCMIN6	RMCLCMIN5	RMCLCMIN4	RMCLCMIN3	RMCLCMIN2	RMCLCMIN1	RMCLCMIN0
Read/Write	R/W							
リセット後	0							
機能	リーダ検出の周期期間の下限設定 $RMCLCMIN \times 4 / fs[s]$							
	15	14	13	12	11	10	9	8
bit Symbol	RMCLLMAX7	RMCLLMAX6	RMCLLMAX5	RMCLLMAX4	RMCLLMAX3	RMCLLMAX2	RMCLLMAX1	RMCLLMAX0
Read/Write	R/W							
リセット後	0							
機能	リーダ検出の Low 期間の上限設定 $RMCLLMAX \times 4 / fs[s]$							
	7	6	5	4	3	2	1	0
bit Symbol	RMCLLMIN7	RMCLLMIN6	RMCLLMIN5	RMCLLMIN4	RMCLLMIN3	RMCLLMIN2	RMCLLMIN1	RMCLLMIN0
Read/Write	R/W							
リセット後	0							
機能	リーダ検出の Low 期間の下限設定 $RMCLLMIN \times 4 / fs[s]$							

- <RMCLCMAX7:0>: リーダ検出の周期期間の上限の設定をします。
 上限期間の計算式は $RMCLCMAX \times 4 / fs[s]$ 。
 検出は上限期間以下となります。
- <RMCLCMIN7:0>: リーダ検出の周期期間の下限の設定をします。
 下限期間の計算式は $RMCLCMIN \times 4 / fs[s]$ 。
 検出は下限期間以上となります。
- <RMCLLMAX7:0>: リーダ検出の Low 期間の上限の設定をします。
 上限期間の計算式は $RMCLLMAX \times 4 / fs[s]$ 。
 検出は上限期間以下となります。
- <RMCLLMIN7:0>: リーダ検出の Low 期間の下限の設定をします。
 下限期間の計算式は $RMCLLMIN \times 4 / fs[s]$ 。
 検出は下限期間以上となります。
 RMCR2<RMCLD> = 1 のときは、設定値未満の値をデータと判別します。

(注 1) リーダ検出の設定時には以下の関係式を守って下さい。

リーダ種類	関係式
Low 幅+High 幅	<RMCLCMAX7:0> > <RMCLCMIN7:0> <RMCLLMAX7:0> > <RMCLLMIN7:0> <RMCLCMIN7:0> > <RMCLLMAX7:0>
High 幅のみ	<RMCLCMAX7:0> > <RMCLCMIN7:0> <RMCLLMAX7:0> = 0x00000000 <RMCLLMIN7:0> = don ' t care
リーダなし	<RMCLCMAX7:0> = 0x00000000 <RMCLCMIN7:0> = don ' t care <RMCLLMAX7:0> = don ' t care <RMCLLMIN7:0> = don ' t care

16.2.8 リモコン受信コントロールレジスタ 2 [RMCR2]

	31	30	29	28	27	26	25	24
bit Symbol	RMCLIEN	RMCEIEN					RMCLD	RMCPHM
Read/Write	R/W	R/W	R				R/W	R/W
リセット後	0	0	0				0	0
機能	リーダ検出割込み発生許可 0: 割込み発生しない 1: 割込み発生する	リモコン入力立下リエッジ割込み 0: 割込み発生しない 1: 割込み発生する	リードすると“0”が読めます。				リーダありとリーダなしのリモコン信号を両方受信可能なモード 0: 禁止 1: 許可	位相方式のリモコン受信の設定 0: 位相方式のリモコン信号を受信しない(周期方式で受信) 1: 周期固定の位相方式のリモコン信号を受信する
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると“0”が読めます。							
	15	14	13	12	11	10	9	8
bit Symbol	RMCLL7	RMCLL6	RMCLL5	RMCLL4	RMCLL3	RMCLL2	RMCLL1	RMCLL0
Read/Write	R/W							
リセット後	1							
機能	Low 幅の検出による受信終了/割込み発生のタイミングの設定 0y00000000~0y11111110: $RMCLL \times 1/fs[s]$ 0y11111111: Low 幅検出で受信終了/割込みの設定をしない							
	7	6	5	4	3	2	1	0
bit Symbol	RMCDMAX7	RMCDMAX6	RMCDMAX5	RMCDMAX4	RMCDMAX3	RMCDMAX2	RMCDMAX1	RMCDMAX0
Read/Write	R/W							
リセット後	1							
機能	データ bit の周期 MAX で受信終了/割込み発生の設定 0y00000000~0y11111110: $RMCDMAX \times 1/fs[s]$ で受信終了/割込み発生 0y11111111: データ bit の周期 MAX で受信終了/割込み発生しない							

<RMCLIEN>: リーダ検出での割込み発生の許可をします。

<RMCEIEN>: リモコン入力立下リエッジ割込み発生許可をします。

<RMCLD>: リーダありとリーダなしのリモコン信号を両方受信可能なモードに設定します。

<RMCPHM>: 位相方式の受信モードの設定をします。周期が固定の位相方式のリモコン信号の場合は、“1”を設定。

<RMCLL7:0>: Low 幅の検出による受信終了/割込み発生のタイミングの設定をします。
<RMCLL7:0> = 0y11111111 のときは検出しません。設定期間の計算式は $RMCLL \times 1/fs[s]$ 。

<RMCDMAX7:0>: データ bit の周期 MAX 検出のしきい値を設定します。データ bit 周期の値がしきい値以上であれば、検出となります。<RMCDMAX7:0> = 0y11111111 のときは検出しません。検出のしきい値の計算式は $RMCDMAX \times 1/fs[s]$ 。

16.2.9 リモコン受信コントロールレジスタ 3 [RMCR3]

	15	14	13	12	11	10	9	8
bit Symbol		RMCDATH6	RMCDATH5	RMCDATH4	RMCDATH3	RMCDATH2	RMCDATH1	RMCDATH0
Read/Write	R	R/W						
リセット後	0	0						
機能	リードすると“0”が読めます。	データ bit の 3 値判定のしきい値上位 $RMCDATH \times 1/fs[s]$						
	7	6	5	4	3	2	1	0
bit Symbol		RMCDATL6	RMCDATL5	RMCDATL4	RMCDATL3	RMCDATL2	RMCDATL1	RMCDATL0
Read/Write	R	R/W						
リセット後	0	0						
機能	リードすると“0”が読めます。	データ bit の 0/1 判別及び 3 値判定のしきい値下位 $RMCDATL \times 1/fs[s]$						

<RMCDATH6:0>: 位相方式のリモコン信号の 3 値判定の 1.5T と 2T のしきい値の設定をします。データ bit の測定結果がしきい値以上でデータを “10”、しきい値未満でデータ “01” と判別します。しきい値の計算式は、 $RMCDATH \times 1/fs[s]$ 。

<RMCDATL6:0>: データ bit の 0/1 判定のしきい値及び、位相方式のリモコン信号の 3 値判定の 1T と 1.5T のしきい値の設定をします。データ bit の 0/1 判定の場合、測定結果がしきい値以上でデータ “1”、しきい値未満でデータ “0” と判別します。位相方式のリモコン信号の 3 値判定の場合、データ bit の測定結果がしきい値以上でデータを “01”、しきい値未満でデータ “00” と判別します。0/1 判別のしきい値の計算式は、 $RMCDATL \times 1/fs[s]$ 。

(注 1)

リモコン受信コントロールレジスタ 2 [RMCR2] の<RMCPHM>= “0” のとき、<RMCDATH6:0>ビットは有効になりません。<RMCPHM>= “1” のときのみ有効となります。

16.2.10 リモコン受信コントロールレジスタ 4 [RMCR4]

	7	6	5	4	3	2	1	0
bit Symbol	RMCP0				RMCNC3	RMCNC2	RMCNC1	RMCNC0
Read/Write	R/W	R			R/W			
リセット後	0	0			0			
機能	リモコン入力信号の極性選択 0: 正極 1: 負極	リードすると“0”が読めます。			ノイズキャンセラのノイズ除去時間の設定 0000: ノイズ除去しない 0001~1111: $RMCNC \times 1/fs[s]$			

<RMCP0>: リモコン入力信号の入力極性の選択をします。

<RMCNC3:0>: ノイズキャンセラのノイズ除去時間の設定をします。<RMCNC3:0> = 0y0000 のときはノイズ除去しません。ノイズ除去時間の計算式は、 $RMCNC \times 1/fs[s]$ 。

16.2.11 リモコン受信ステータスレジスタ [RMCRSTAT]

	15	14	13	12	11	10	9	8
bit Symbol	RMCRLLIF	RMCLLOIF	RMCDMAXIF	RMCEDIF				
Read/Write	R	R	R	R	R			
リセット後	0	0	0	0	0			
	リーダ検出割込み要因フラグ 0: 要因ではない 1: 要因	Low 幅検出割込み要因フラグ 0: 要因ではない 1: 要因	データ bit 周期 MAX 割込み要因フラグ 0: 要因ではない 1: 要因	リモコン入力の下リエッジ割込み要因フラグ 0: 要因ではない 1: 要因	リードすると“0”が読めます。			
	7	6	5	4	3	2	1	0
bit Symbol	RMCRLLDR	RMCRNUM6	RMCRNUM5	RMCRNUM4	RMCRNUM3	RMCRNUM2	RMCRNUM1	RMCRNUM0
Read/Write	R	R						
リセット後	0	0						
機能	リーダ検出 0: なし 1: あり	リモコン受信したデータ bit 数 0y0000000: データ bit なし(リーダのみ) 0y0000001~0y1001000: 1~72bit 受信 0y1001001~0y1111111: 73bit 以上						

<RMCRLLIF>: 割込み発生要因がリーダ検出であることを示します。

<RMCLLOIF>: 割込み発生要因が Low 幅検出であることを示します。

<RMCDMAXIF>: 割込み発生要因がデータ bit 周期 MAX 検出であることを示します。

<RMCEDIF>: 割込み発生要因がリモコン入力信号の立下リエッジであることを示します。

<RMCRLLDR>: リモコン受信した波形のリーダ検出を示します。

<RMCRNUM6:0>: リモコン受信したデータ bit 数を示します。データ bit 数は受信終了後に格納され、受信途中の bit 数はモニタすることは出来ません。

(注 1) このレジスタは割込み発生時に最新状態に更新されます。

このレジスタへの書き込み動作は無視されます。

(注 2) 73bit 以上のデータを受信しても受信終了が発生しない場合は、データを受信し続けます。このとき、データバッファの内容については保証しません。

16.2.12 リモコン受信終了Bit数レジスタ 1 [RMCEND 1]

	7	6	5	4	3	2	1	0
bit Symbol	RMCEND1							
Read/Write	R	R/W						
リセット後	0	0						
機能	リードすると“0”が読めず。	受信するデータの bit 数を設定します。 0000000 : 受信 bit 数設定をしない。 0000001~1001000 : 受信 bit 数の設定。1bit~72bit 1001001~1111111 : 設定しないで下さい。						

<RMCEND1>: 受信するデータの bit 数を設定します。

16.2.13 リモコン受信終了Bit数レジスタ 2 [RMCEND 2]

	7	6	5	4	3	2	1	0
bit Symbol	RMCEND2							
Read/Write	R	R/W						
リセット後	0	0						
機能	リードすると“0”が読めず。	受信するデータの bit 数を設定します。 0000000 : 受信 bit 数設定をしない。 0000001~1001000 : 受信 bit 数の設定。1bit~72bit 1001001~1111111 : 設定しないで下さい。						

<RMCEND2>: 受信するデータの bit 数を設定します。

16.2.14 リモコン受信終了Bit数レジスタ 3 [RMCEND 3]

	7	6	5	4	3	2	1	0
bit Symbol	RMCEND3							
Read/Write	R	R/W						
リセット後	0	0						
機能	リードすると“0”が読めず。	受信するデータの bit 数を設定します。 0000000 : 受信 bit 数設定をしない。 0000001~1001000 : 受信 bit 数の設定。1bit~72bit 1001001~1111111 : 設定しないで下さい。						

<RMCEND3>: 受信するデータの bit 数を設定します。

(注 1) RMCxEND1~3 を設定することで、最大 3 通りの受信 bit 数の設定が可能です。

(注 2) RMCxEND1~3 はデータ bit 周期 MAX との組合せで使用します。

16.2.15 リモコンソースクロック選択レジスタ[RMCFSSSEL]

	7	6	5	4	3	2	1	0	
bit Symbol									RMCLK
Read/Write	R								R/W
リセット後	0								0
機能	リードすると“0”が読めます。								RMC サンプル リング クロック 0 : 低速 クロック (32kHz) 1 : TB1OUT

<RMCLK>: RMC 機能のサンプリングクロックを設定します。
RMC 機能のサンプリングクロックとして、低速クロック (32kHz) かタイマ出力 (TB1OUT) を選択することが可能です。
TB1OUT にて設定できるタイマ出力範囲は 30kHz~34kHz となります。

(注) RMCFSSSEL レジスタにてサンプリングクロックを切り替える場合は、RMCEN<bit0>レジスタにて RMC 動作を一旦停止(禁止)させ、再度動作(許可)設定した後、他の RMC 関連レジスタよりも先に RMCFSSSEL レジスタを設定してください。

16.3 リモコン受信動作説明

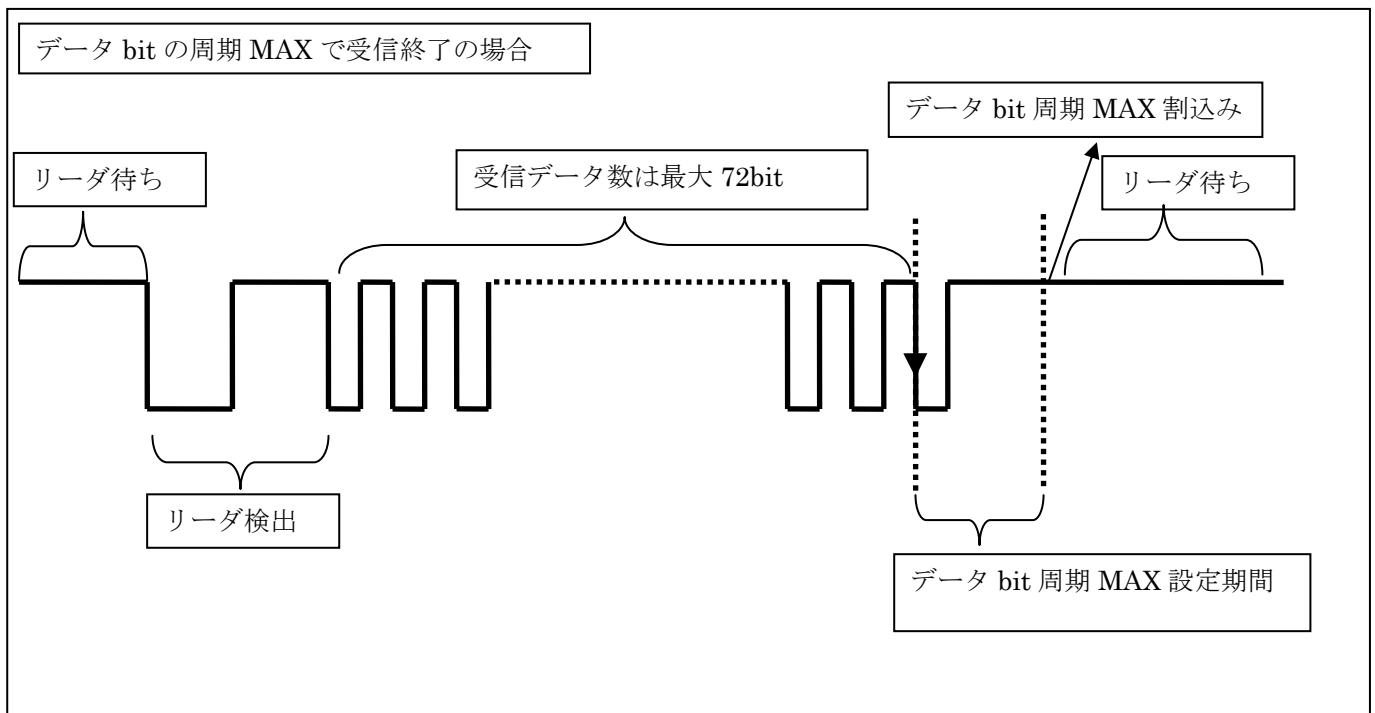
16.3.1 リモコン受信

16.3.1.1 サンプリングクロック

リモコン信号のサンプリングは、低速クロック (fs) で行います。

16.3.1.2 基本動作

リーダ待ち状態でリーダを検出するとリーダ検出割込みを発生し、データ bit の受信を開始します。データ bit の 0/1 判定は周期で判別され、最大 72bit まで受信します。受信終了はデータ bit の周期 MAX 検出、Low 幅の検出のどれかで行い、受信終了後リーダ待ちとなります。受信終了時にはデータバッファ、ステータスレジスタ共に最新の状態が保持されています。



16.3.1.3 リモコン受信の準備

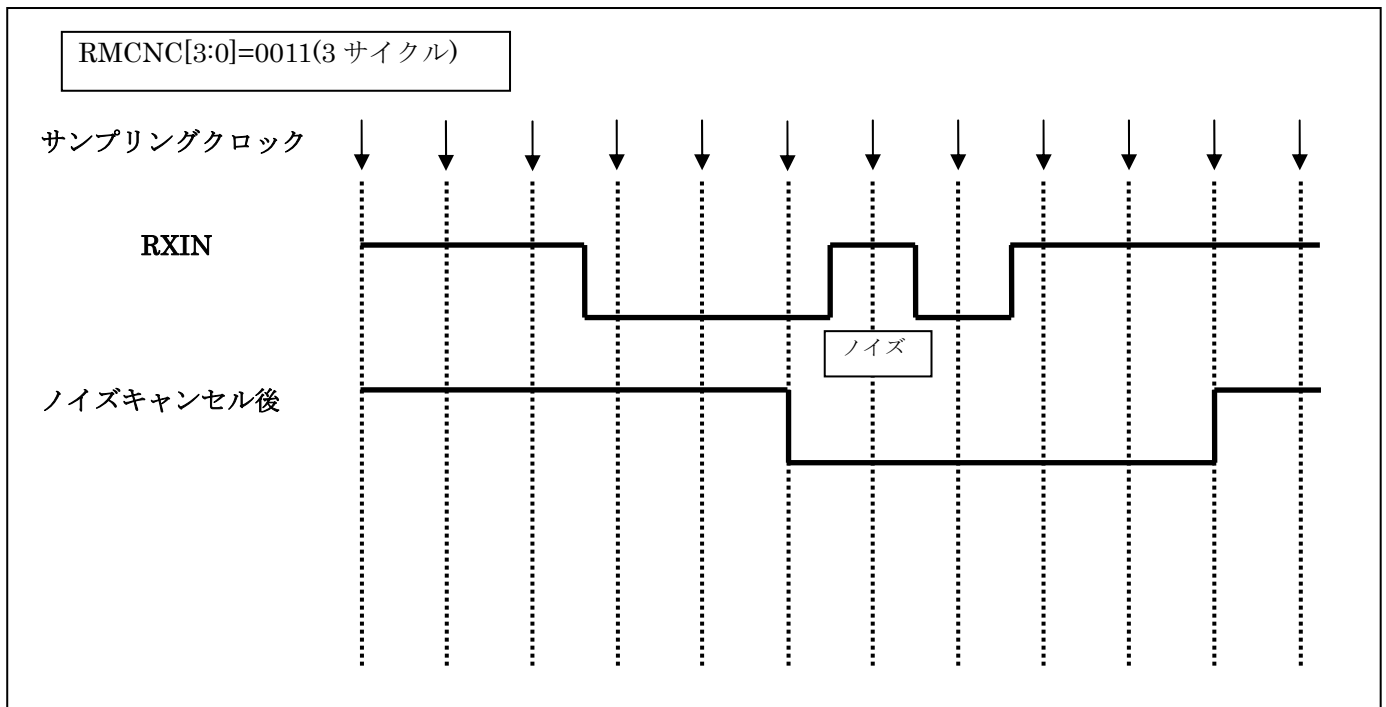
受信を開始する前に、リモコン受信コントロールレジスタ (RMCR1,2,3) でリモコン受信動作の設定を行います。

(1) ノイズキャンセル時間の設定

RMCR4 レジスタの<RMCNC3:0>ビットでノイズキャンセル時間を設定します。

サンプリングクロックの立ち上がりエッジごとにリモコン信号を観測し、現在“1”であれば、RMCNC で設定されたサイクル分の“0”が観測されたときに信号が“0”に変化したと認識し、現在“0”であれば、RMCNC で設定されたサイクル分の“1”が観測されたとき“1”に変化したと認識します。

次の図は、ノイズキャンセルの設定を RMCNC[3:0]=0011 (3 サイクル) とした場合の動作です。ノイズキャンセル後の信号は、“1”の状態から、“0”が3サイクル観測されたところで“0”に変化し、“0”の状態から、“1”が3サイクル観測されたところで“1”に変化します。

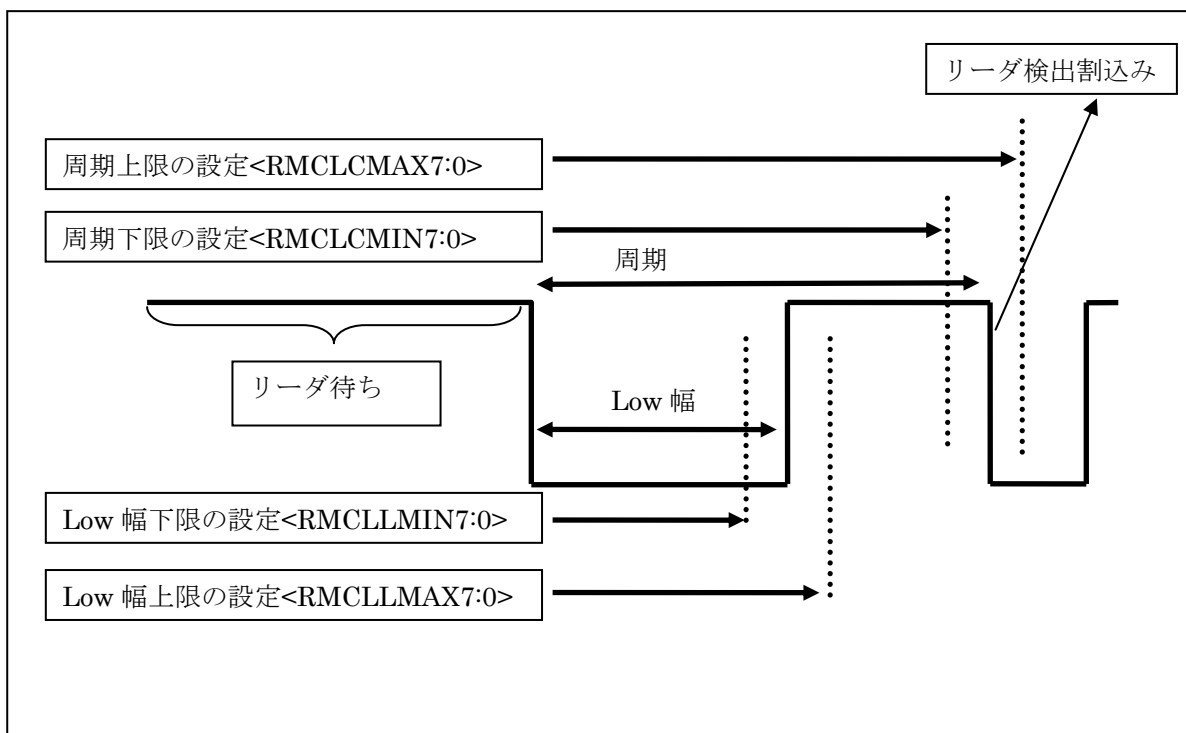


(2) リーダ検出の設定

リーダー検出の設定は、リーダーの周期と Low 幅の値を設定します。RMCRCR 1 レジスタの <RMCLLMIN7:0>、<RMCLLMAX7:0>、<RMCLCMIN7:0>、<RMCLCMAX7:0> ビットでリーダー検出のための設定を行います。RMCRCR1 レジスタを設定するときは、次の関係で行って下さい。

リーダー種類	関係式
Low 幅+High 幅	<RMCLCMAX7:0> > <RMCLCMIN7:0> <RMCLLMAX7:0> > <RMCLLMIN7:0> <RMCLCMIN7:0> > <RMCLLMAX7:0>
High 幅のみ	<RMCLCMAX7:0> > <RMCLCMIN7:0> <RMCLLMAX7:0> = 0y00000000 <RMCLLMIN7:0> = don't care
リーダーなし	<RMCLCMAX7:0> = 0y00000000 <RMCLCMIN7:0> = don't care <RMCLLMAX7:0> = don't care <RMCLLMIN7:0> = don't care

次図はリーダー波形と RMCRCR 1 レジスタの設定について表しています。



リーダー検出時に割込みの発生を行いたい場合は、RMCRCR 2 レジスタの <RMCLIEN> ビットで設定します。リーダーなしのリモコン信号については、リーダー検出割込みの発生は出来ません。

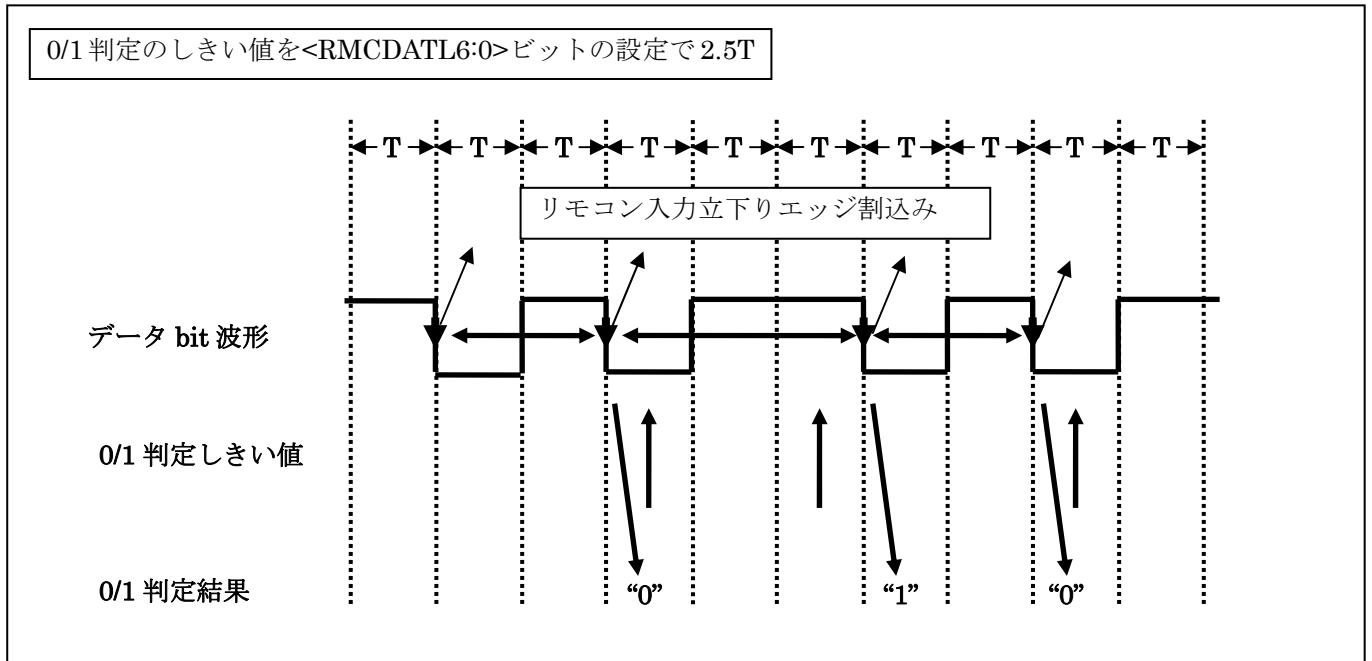
(3) データbitの 0/1 判定の設定

データ bit の 0/1 判定は立下りエッジの周期に対して行います。

RMCRCR3 レジスタの<RMCDATL6:0>ビットでデータ bit の 0/1 判定のしきい値を設定します。0/1 判別はしきい値以上でデータ"1"、しきい値未満でデータ"0"となります。

RMCRCR2 レジスタの<RMCEDIEN>ビットを"1"にセットすることで、データ bit の立下りエッジ毎にリモコン入力立下りエッジ割込みを発生させることも出来ます。リモコン入力立下りエッジ割込みと 16 ビットタイマを用いることで、ソフトウェア的にリモコン判定を行うことも出来ます。

次図はデータ bit 0/1 判定について表しています。



位相方式のリモコン信号のデータ bit の判定は、16.3.1.10 周期固定の位相方式のリモコン信号の受信について で説明します。

(4) 受信終了の設定

受信終了はデータ bit の周期 MAX 検出及び、low 幅の検出を設定することで行います。複数要因設定の場合は、最初に検出した要因で受信終了となります。受信終了の設定は必ず行うようにして下さい。

①データ bit の周期 MAX で受信終了する場合

RMCR2CR 2 レジスタの<RMCDMAX7:0>ビットでデータ bit 周期 MAX の設定をします。データ bit の立下りエッジ周期の値が、<RMCDMAX 7:0>ビットで設定されたデータ bit 周期 MAX のしきい値以上のときデータ bit 周期 MAX 検出で受信終了/割込み発生となります。

RMCE1ND1~3 レジスタの<RMCE1ND1>、<RMCE2ND2>、<RMCE3ND3>を設定することで、受信 bit 数を指定して受信終了を行うことが出来ます。この場合、データ bit 周期 MAX の発生時の受信した bit 数と RMCE1ND1~3 レジスタの<RMCE1ND1>、<RMCE2ND2>、<RMCE3ND3>で設定された受信 bit 数が一致した時のみ、データ bit 周期 MAX 割込みを発生します。受信 bit 数は、RMCE1ND1~3 レジスタの<RMCE1ND1>、<RMCE2ND2>、<RMCE3ND3>に 3 通り設定することが出来ます。データ bit 周期 MAX の発生時の受信した bit 数が RMCE1ND1~3 レジスタの<RMCE1ND1>、<RMCE2ND2>、<RMCE3ND3>に設定した受信 bit 数と一致しない場合は、リーダ待ち/受信待ちとなります。

Low 幅検出で受信終了する場合

RMCR2CR 2 レジスタの<RMCLL7:0>ビットで Low 幅の検出による受信終了の設定をします。データ bit が立下り後、設定期間を超えて Low のままだと Low 幅検出し、受信終了/割込み発生となります。

16.3.1.4 受信許可

RMCR1CR 1 レジスタ、RMCR2CR 2 レジスタ、RMCR3CR 3 レジスタ、RMCR4CR 4 レジスタの設定終了後、RMCREN レジスタの<RMCREN>ビットを受信許可に設定することで受信待ち状態になり、リーダを検出すると受信動作を開始します。

(注) 受信動作中に RMCR1,2,3,4 レジスタの設定が変更されると正しく受信できない可能性があります。受信許可中に設定変更を行う場合は注意して行ってください。

16.3.1.5 受信動作

リーダ検出をすると、RMCRSTAT レジスタの<RMCRLLDR>ビットがセットされます。この時、RMCR2CR 2 レジスタの<RMCLLIEN>ビットを設定しておく、リーダ検出時にリーダ検出割込みが発生します。リーダ割込み発生時には、RMCRSTAT レジスタの<RMCRLLIF>がセットされます。

リーダ検出後、データ bit の 0/1 判定を順次行い、結果を RMCRBUF 1, 2, 3 レジスタに最大 72bit まで格納します。RMCR2CR 2 レジスタの<RMCE1DIEN>ビットを設定しておく、データ bit の立下りエッジ毎にリモコン入力立下りエッジ割込みが発生します。リモコン入力立下りエッジ割込み発生時には、RMCRSTAT レジスタの<RMCE1DIF>がセットされます。

受信動作はデータ bit 周期 MAX の検出及び、Low 幅の検出が設定値になったところで終了となり、受信終了/割込み発生となります。RMCE1ND1~3 レジスタの<RMCE1ND1>、<RMCE2ND2>、<RMCE3ND3>を設定している場合は、データ bit 周期 MAX 検出までの受信した bit 数が一致した場合のみ、受信終了/割込み発生となります。

受信終了時の状態は、リモコン受信ステータスレジスタを読み出すことで知ることが出来ます。受信終了後、リーダ待ちとなります。

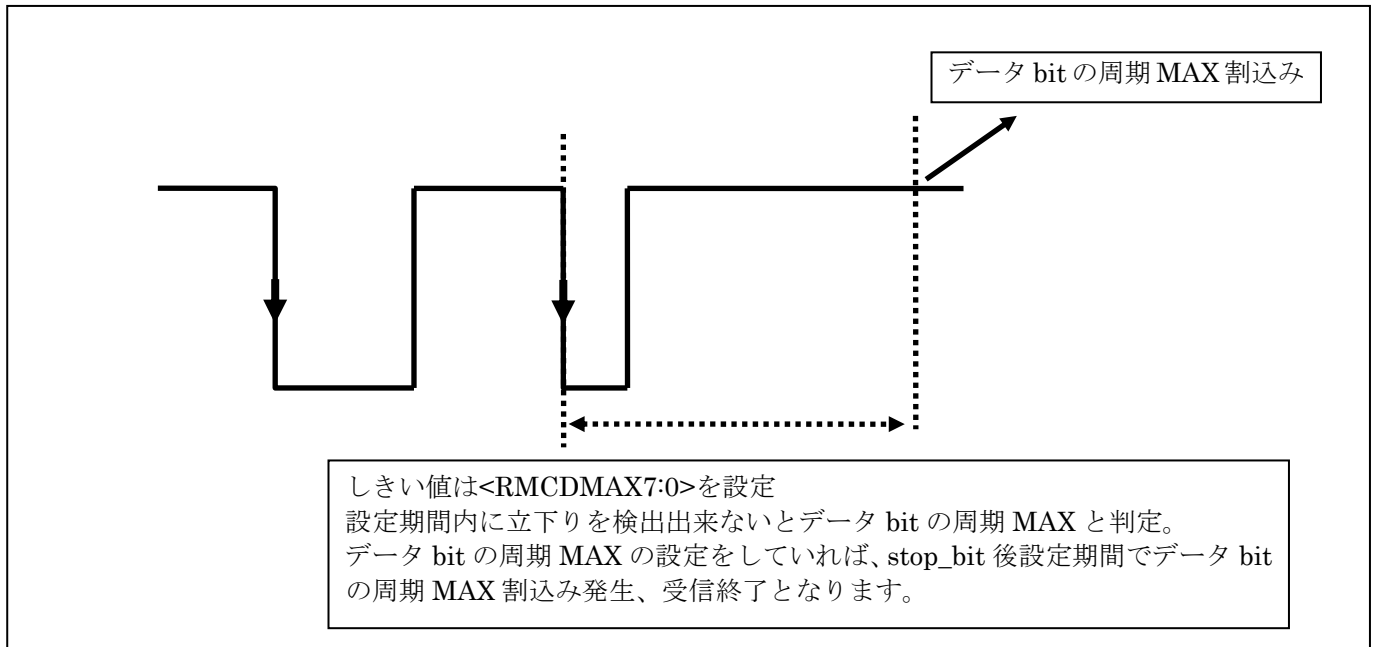
データ bit のみのリモコン信号を受信する設定をすると、リーダの検出はせずに最初からデータとして扱い、受信を行います。

受信したデータを読み出す前に、次の受信が終了すると受信データは書き換わります。

16.3.1.6 受信終了

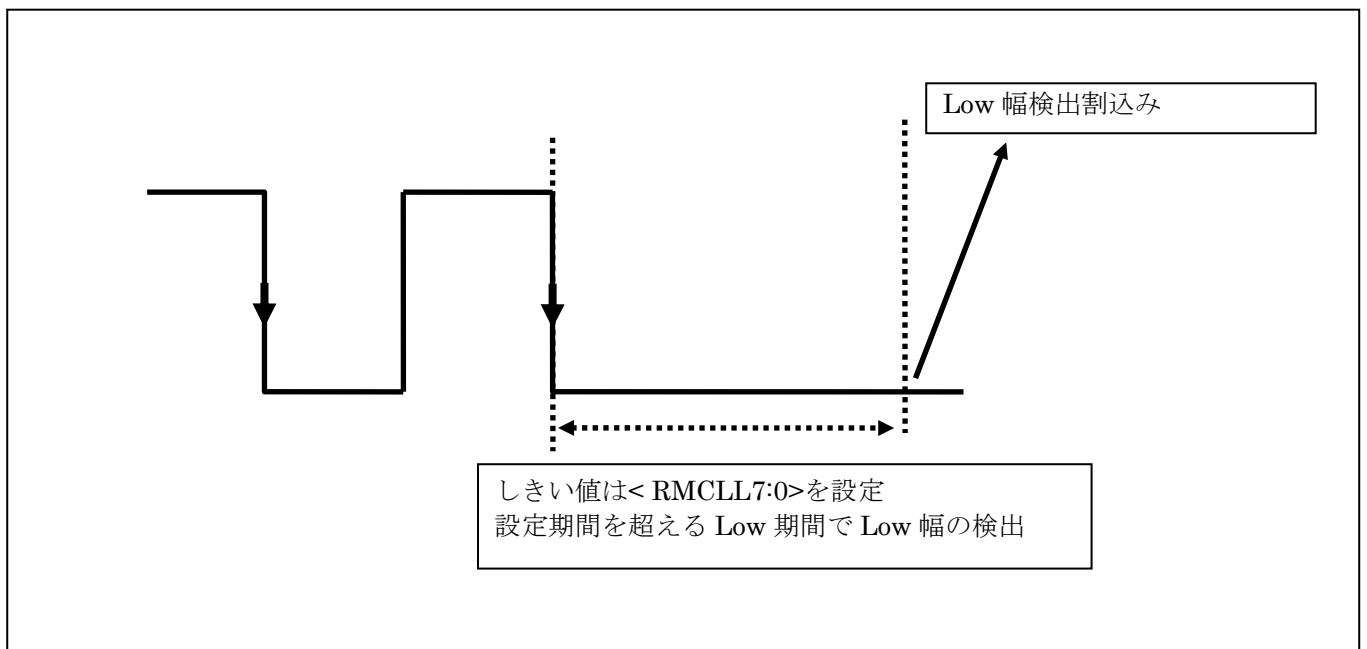
①データ bit の周期 MAX 検出で受信終了する場合

データ bit の周期 MAX の検出で受信終了/データ bit の周期 MAX 割込みを発生します。割込み発生後に RMCSTAT レジスタの値の <RMCDMAXIF> ビットがセットされます。



Low 幅検出で受信終了する場合

Low 幅検出により、受信終了/Low 幅検出割込みを発生します。割込み発生後に RMCSTAT レジスタの <RMCLOIF> ビットに "1" がセットされます。



73bit 以上のデータを受信しても受信終了が発生しない場合は、データを受信し続けます。このとき、データバッファの内容については保証しません。

受信終了後、RMCRSTST レジスタを読み出すことで受信終了時の状態を知ることが出来ます。RMCRSTST レジスタと受信後の状態は次のようになっています。

<RMCRLDR>	<RMCRNUM6:0>	受信後の状態
0	0000001~1001000	リーダーなしリモコン信号受信(データ bit 数は 1~72bit)
0	1001001~1111111	リーダーなしリモコン信号受信(データ bit 数は 73bit 以上)
1	0000000	リーダーのみ
1	0000001~1001000	リーダーありリモコン信号受信(データ bit 数は 1~72bit)
1	1001001~1111111	リーダーありリモコン信号受信(データ bit 数は 73bit 以上)

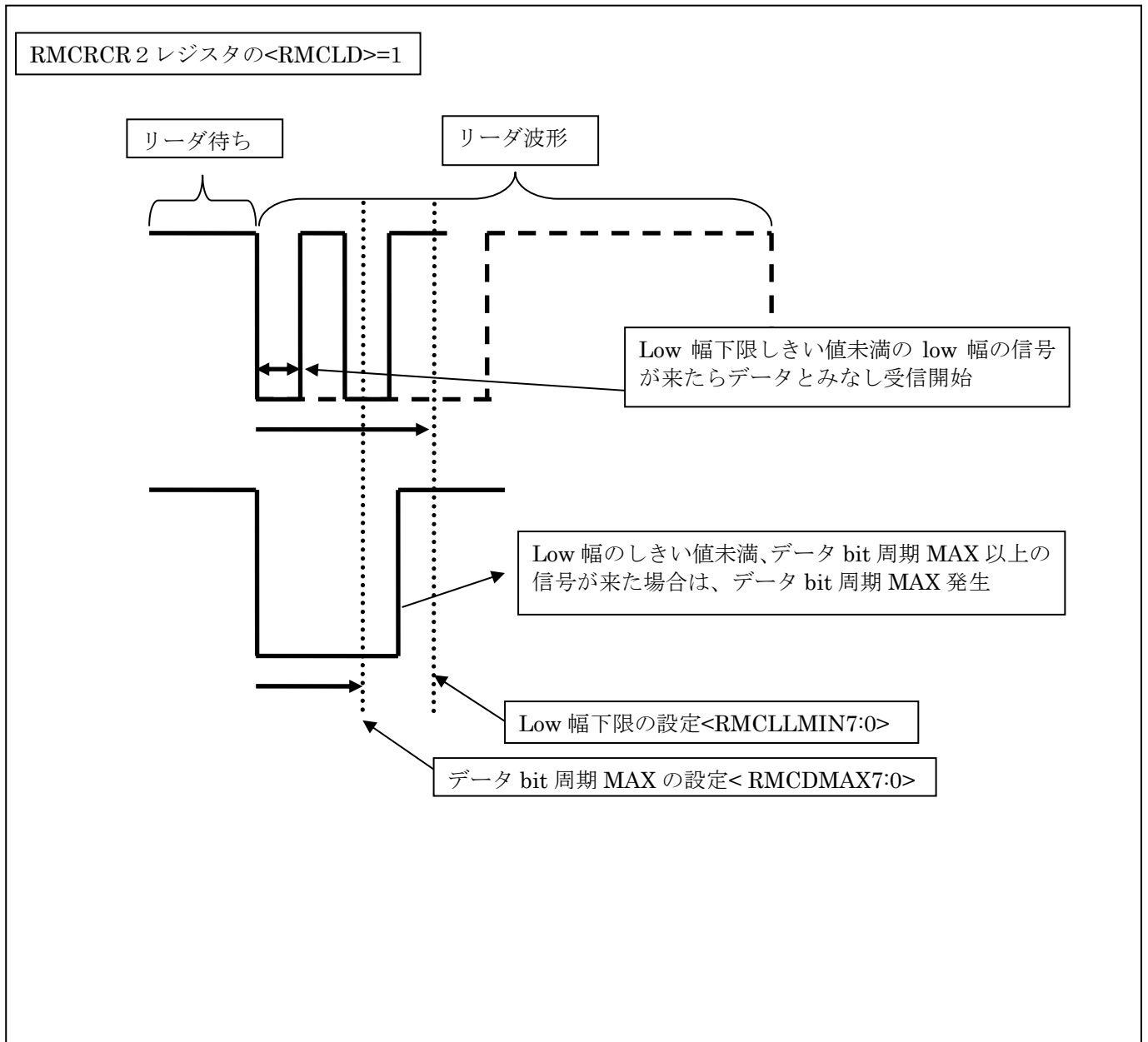
16.3.1.7 受信の停止

RMCREN レジスタの<RMCREN>ビットを“0” (受信禁止) に設定すると受信動作を停止します。受信動作中に禁止の設定を行った場合、直ちに受信動作を停止し、それまでに受信したデータは破棄されます。

16.3.1.8 リーダ待ちの状態でリーダーなしのリモコン信号の受け方

RMCR2CR 2 レジスタの<RMCLD>を設定することでリーダーありとリーダーなしのリモコン信号を両方受信することが可能になります。RMCR2CR 2 レジスタの<RMCLD>を設定すると、RMCR1CR 1 レジスタの<RMCLLMAX7:0>以下の Low 幅の信号を受信するとデータと判断し受信を開始し、最終 bit まで受信を行います。

この設定を使用する場合、データ bit の 0/1 判定、エラー検出、受信終了の設定はリーダーあり/リーダーなしデータで全て共通となりますので、受信可能なリモコン信号には制限があります。



16.3.1.9 Low幅のみのリーダで始まるリモコン信号の受信について

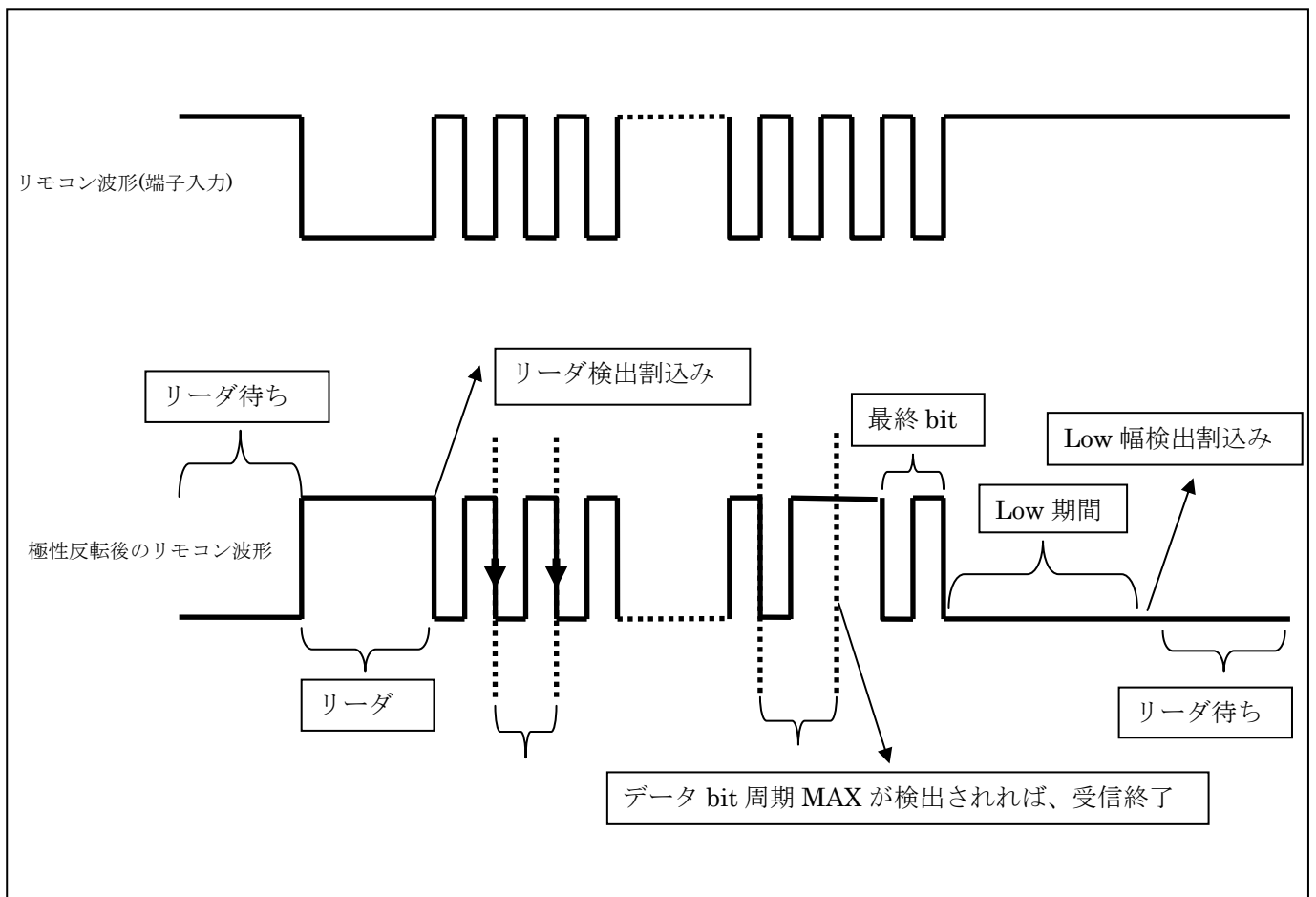
Low 幅のみのリーダで始まるリモコン信号は次図にあるように、リーダが Low 幅のみで始まり、データ bit の周期が立上り期間で構成される信号です。データ bit の測定を立下りエッジの周期で行う必要があるため、RMCR4 レジスタの<RMCP0>="1"に設定し、反転した信号にして入力します。

リーダの検出の設定は Low 幅のみのため、RMCR1 レジスタの設定を、<RMCLLMAX7:0> = 0y0000000、<RMCLCMAX7:0> > <RMCLCMIN7:0> の関係で設定します。この場合、<RMCLLMIN7:0>の値は don't care となります。

データ 0/1 判定の設定は、リモコン受信コントロールレジスタ 3 <RMCDATL6:0>で 0/1 判別のしきい値を設定します。

リモコン受信コントロールレジスタ 2 の<RMCDMAX7:0>でデータ bit の周期 MAX の設定をします。

受信終了の設定は、リモコン受信コントロールレジスタ 2 の<RMCDMAX7:0>でデータ bit の周期 MAX の設定と<RMCLL7:0>で Low 幅検出の設定をします。データ bit の周期 MAX 検出及び、最終 bit 後に設定された Low 期間確認後に受信終了/割込み発生し、リーダ待ちとなります。



16.3.1.10 周期固定の位相方式のリモコン信号の受信について

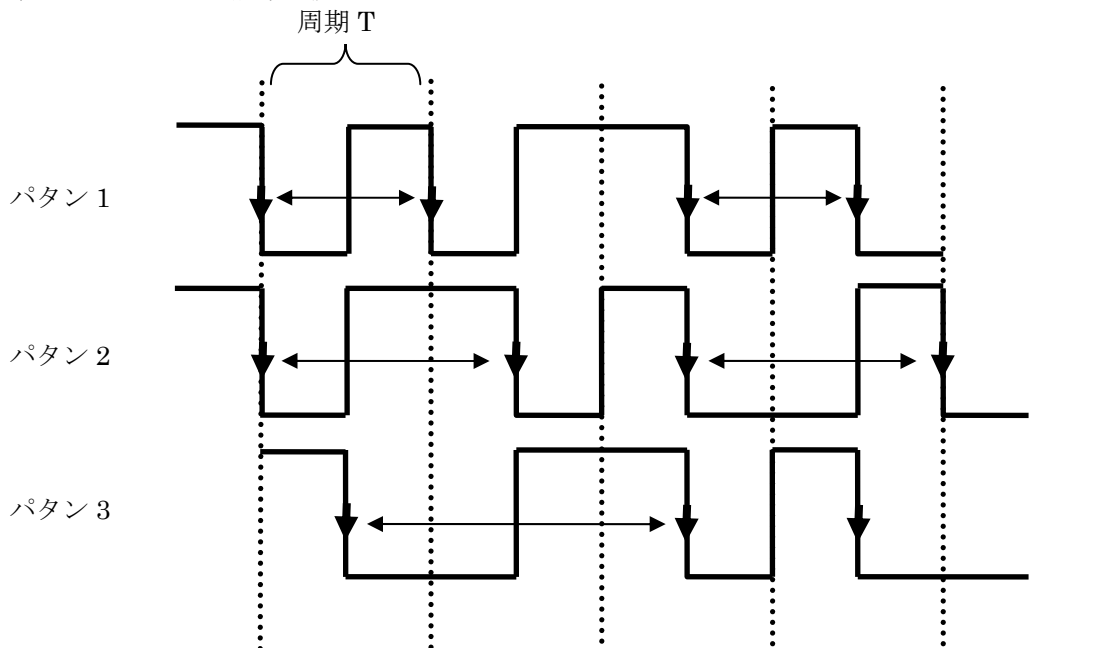
周期固定の位相方式のリモコン信号は、データの変化のパターンが3通りに分けられます。しきい値を2つ設定することでパタンの判別を行い、ハードウェアでリモコンデータに変換を行い、受信終了後、受信データをリモコンデータの形式で `RMCRBUF1,2,3` に格納します。

周期固定の位相方式のリモコン受信は、`RMCR2<RMCPHM>="1"` に設定することで有効になります。しきい値の設定は、`RMCR3` レジスタの `<RMCDATL6:0>` ビット、`<RMCDATH6:0>` ビットで行います。次図にある、3通りのデータの変化のパターンに対して、2つのしきい値を決めます。3通りのパターンはそれぞれ周期 T に対して、 $1T$ 、 $1.5T$ 、 $2T$ となり、しきい値の設定は下表の様になります。

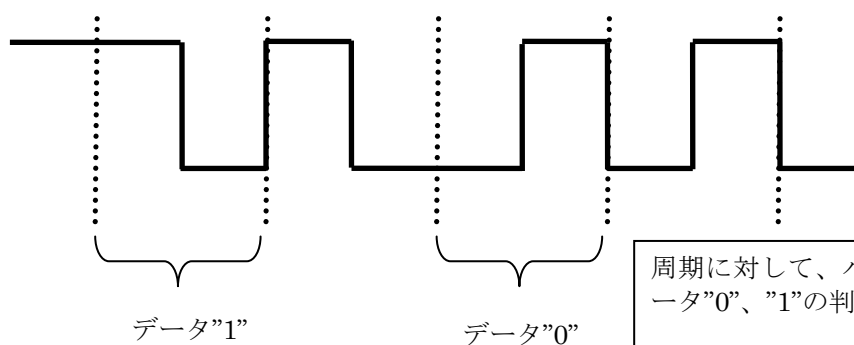
周期固定の位相方式のリモコン信号の判別は、3通りのデータの変化のパターンと直前の周期のデータが必要です。周期固定の位相方式のリモコン信号は必ず、データ“1”で始まる必要があります。

	判別内容	しきい値	設定レジスタ
しきい値1	パターン1とパターン2	$1T \sim 1.5T$	<code>RMCR3</code> レジスタの <code><RMCDATL6:0></code>
しきい値2	パターン2とパターン3	$1.5T \sim 2T$	<code>RMCR3</code> レジスタの <code><RMCDATH6:0></code>

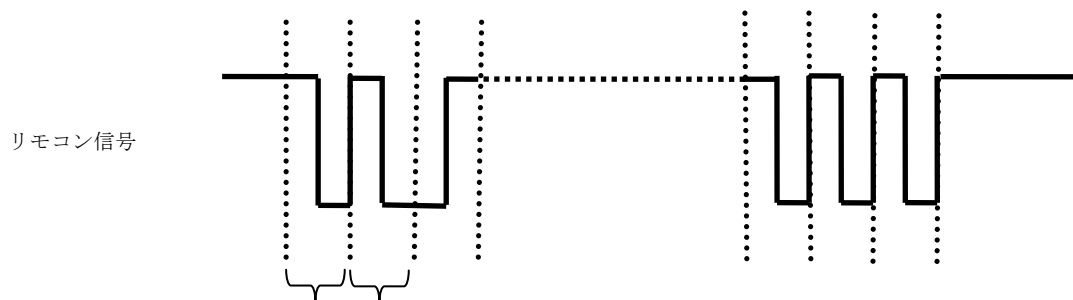
位相方式のリモコン信号の波形パターンについて



位相方式のリモコンデータについて



位相方式のリモコン信号について



開始の 2 bit のデータは必ず”11”である必要があります。

17 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスクブル割り込みを発生し CPU に知らせて、周辺装置への暴走の検出を知らせます。また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

注) INTWDT 割り込みはマスク不能割り込み(NMI)要因のひとつです。

17.1 構成

図 17-1 にウォッチドッグタイマのブロック図を示します。

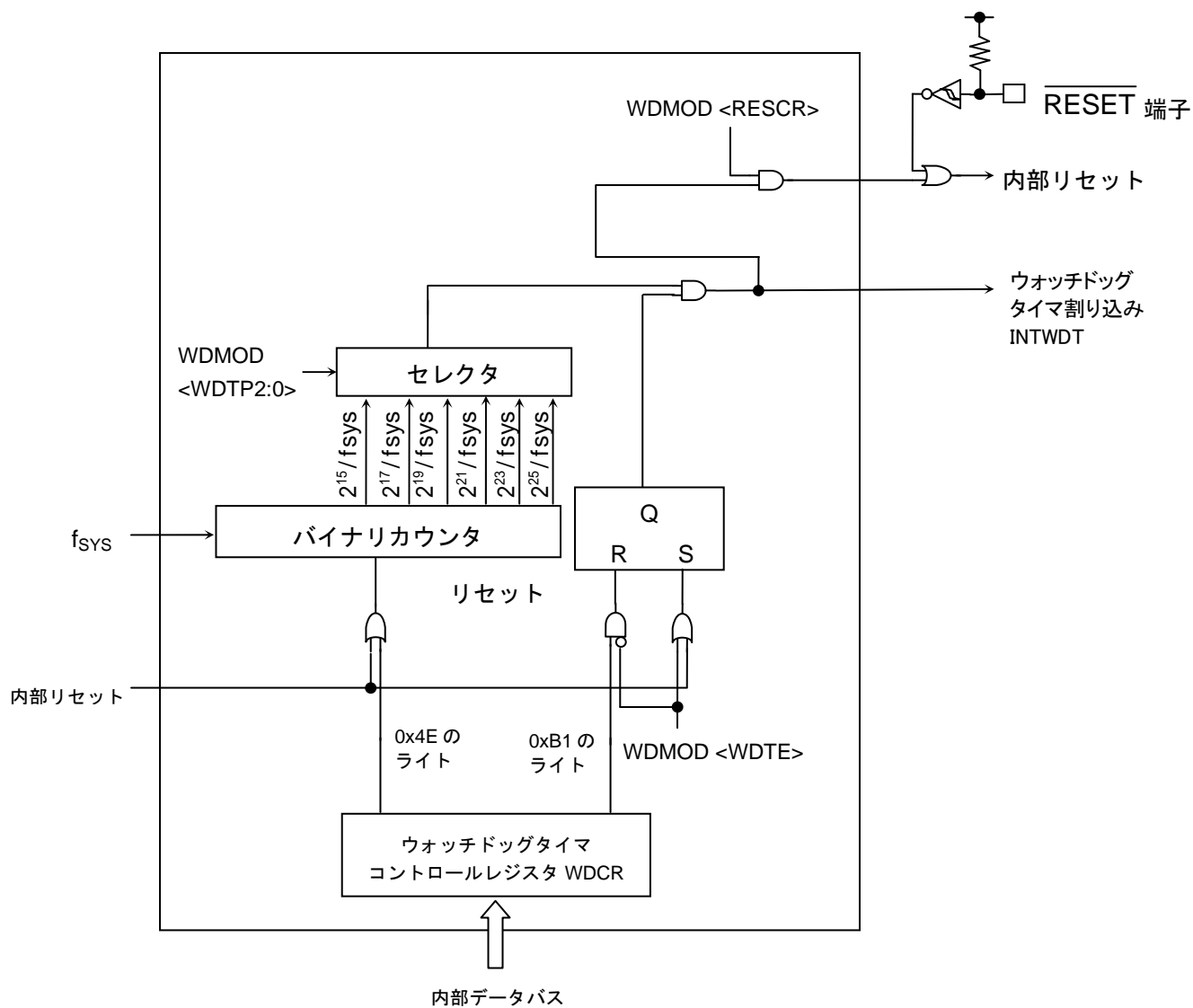


図17-1 ウォッチドッグタイマのブロック図

17.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、25 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} 、 2^{17} 、 2^{19} 、 2^{21} 、 2^{23} および 2^{25} があります。このうちの 1 出力を WDMOD <WDTP2: 0> で選択することにより、そのオーバーフロー時に、図 17-2 で示すように、INTWDT を発生します。

17.2.1 INTWDT(WDMOD<RESCR>=0)

ウォッチドッグタイマのオーバーフローにより INTWDT を CPU へ発生します。

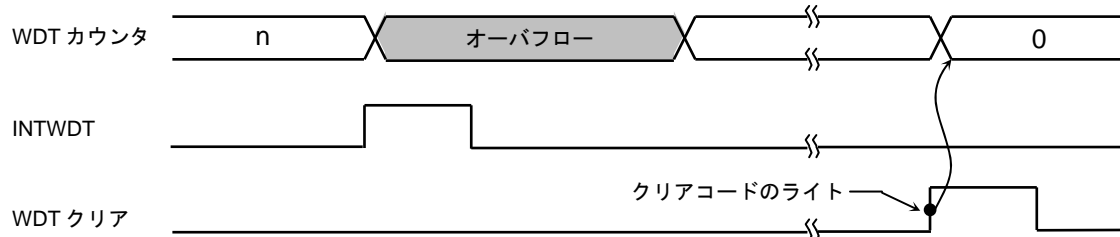
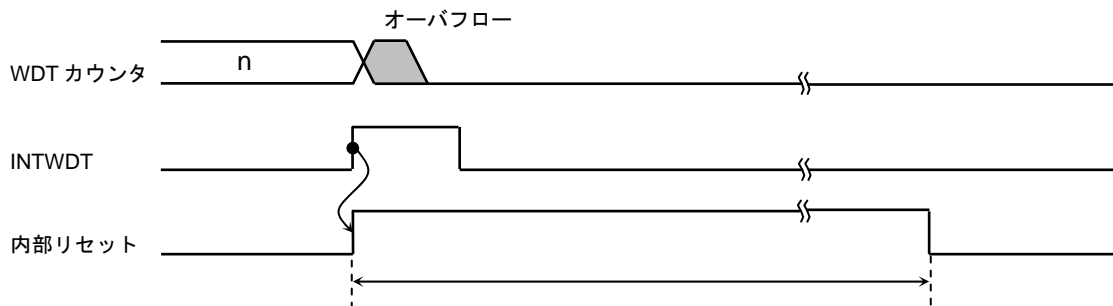


図17-2 通常モード

17.2.2 リセットモード(WDMOD<RESCR>=1)

オーバーフロー時にチップ自身をリセットすることも選択可能です。この場合、図 17-3 で示すように 32 ステートの期間、リセットを行います。なお、この場合 (リセットされた場合)、入力クロック f_{SYS} は、高速発振器のクロック f_C をクロックギアで 1 分周したクロック f_{SYS} が使われます。



32 ステート

(3.2 μ s @ $f_{osc} = 10$ MHz, $f_C = f_{sys} = 10$ MHz)

図17-3 リセットモード

17.3 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD、WDCR) によって制御されています。

17.3.1 ウォッチドッグ タイマ モードレジスタ (WDMOD)

ウォッチドッグ タイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD <WDTE> = “1” にイニシャライズされますので、ウォッチドッグ タイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にするとともに WDCR レジスタにディセーブル コード (0xB1) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

ウォッチドッグ タイマ検出時間の設定 <WDTP2: 0>

暴走検出のための INTWDT 時間を設定する 3ビットのレジスタです。リセット時 WDMOD <WDTP2, 0> = “000” にイニシャライズされます。図 17-4にウォッチドッグ タイマの検出時間を示します。

IDLE モード時のウォッチドッグタイマのイネーブル/ディセーブル <I2WDT>

IDLE モード時にウォッチドッグタイマをイネーブル/ディセーブルするのは、この bit で制御されます。この bit に “1” を書くことによりウォッチドッグタイマを使用可能にします、また、この bit に “0” を書くことにより IDLE モードでウォッチドッグタイマを無効にします。

(注) ウォッチドッグタイマは、stop モード時止まっています。

ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするかどうかを設定するレジスタです。リセット時 WDMOD <RESCR> = “1” に初期化されますので、カウンタのオーバフローによりリセットが発生します。

17.3.2 ウォッチドッグ タイマ コントロールレジスタ (WDCR)

ウォッチドッグ タイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

- ディセーブル制御

WDMOD <WDTE> を “0” にしたあと、この WDCR レジスタにディセーブル コード (0xB1) を書き込むとウォッチドッグ タイマをディセーブルにすることができます。

WDMOD	← 0 - - - - -	WDTE を “0” クリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (0xB1) を書き込みます。

- イネーブル制御

WDMOD <WDTE> を “1” にする。

- ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (0x4E) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR ← 0 1 0 0 1 1 1 0 クリアコード (0x4E) を書き込みます。

(注) ディセーブルコード (0xB1) を書き込むとバイナリカウンタはクリアされます。

ウォッチドッグタイマモードレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	WDTE	WDTP2	WDTP1	WDTP0		I2WDT	RESCR	
Read/Write	R/W	R/W			R	R/W		R/W
リセット後	1	0	0	0		0	1	0
機能	WDT 制御 0: 停止 1: 許可	WDT 検出時間の選択 000: $2^{15}/f_{SYS}$ 001: $2^{17}/f_{SYS}$ 010: $2^{19}/f_{SYS}$ 011: $2^{21}/f_{SYS}$ 100: $2^{23}/f_{SYS}$ 101: $2^{25}/f_{SYS}$ 110: 設定禁止 111: 設定禁止			リードすると“0”が読めます。	IDLE 0: 停止 1: 動作	WDT 出力制御 0: INTWDT 発生 1: リセット発生	“0”をライトしてください。

ウォッチドッグタイマアウトコントロール

0	INTWDT が発生します
1	リセットが発生します

ウォッチドッグタイマの検出時間

@ $f_c = 40 \text{ MHz}$

SYSCR1 クロック分値 <GEAR2:0>	Watch Dog Timer の検出時間						
	WDMOD<WDTP2:0>						
	000	001	010	011	100	101	
000 (f_c)	0.82 ms	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	
100 ($f_c/2$)	1.63 ms	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	
101 ($f_c/4$)	3.28 ms	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s	
110 ($f_c/8$)	6.55 ms	26.21 ms	104.86 ms	419.43 ms	1.68 s	6.71 s	
111 ($f_c/16$)	13.11 ms	52.43 ms	209.72 ms	838.86 ms	3.36 s	13.42 s	

ウォッチドッグタイマの禁止/許可制御

0	停止
1	許可

ウォッチドッグタイマコントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	WDCR							
Read/Write	W							
リセット後	—							
機能	0xB1 : WDT ディセーブルコード 0x4E : WDT クリアコード							

WDT のディーゼブル&クリア

0xB1	ディーゼブルコード
0x4E	クリアコード
上記以外	—

図17-4 ウォッチドッグタイマ関連レジスタ

17.4 動作説明

ウォッチドッグタイマは、WDMOD <WDTP2, 0> レジスタで設定された検出時間後に INTWDT または、内部リセット を発生させます。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT または、内部リセットが発生する前にゼロクリアする必要があります。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWDT または、内部リセットが発生します。CPU は INTWDT により誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、STOP モード中のウォッチドッグタイマはリセットされ停止しています。IDLE モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE モードに入る前に WDMOD <I2WDT> を設定してください。

例: バイナリカウンタをクリアします。

```

          7 6 5 4 3 2 1 0
WDCR    ← 0 1 0 0 1 1 1 0   クリアコード (0x4E) の書き込み

```

ウォッチドッグタイマ検出時間を $2^{17}/f_{SYS}$ に設定します。

```

          7 6 5 4 3 2 1 0
WDMOD    ← 1 0 0 1 - - - -

```

ウォッチドッグタイマをディセーブルします。

```

          7 6 5 4 3 2 1 0
WDMOD    ← 0 - - - - - - -   WDTE を "0" クリア
WDCR    ← 1 0 1 1 0 0 0 1   ディセーブルコード (0xB1) の書き込み

```

(注 1) デバックモード中は、ウォッチドックタイマのカウンタが停止いたします。

18 リアルタイムクロック (RTC)

18.1 RTCの機能概略

- 1) 時計機能 (時間、分、秒)
- 2) カレンダー機能 (月日、週、うるう年)
- 3) 24 時間計と 12 時間計 (AM/PM) のいずれかを選択可能
- 4) +/-30 秒補正機能 (ソフトウェアによる補正)
- 5) アラーム機能 (アラーム出力)
- 6) アラーム割り込み発生

18.2 ブロック図

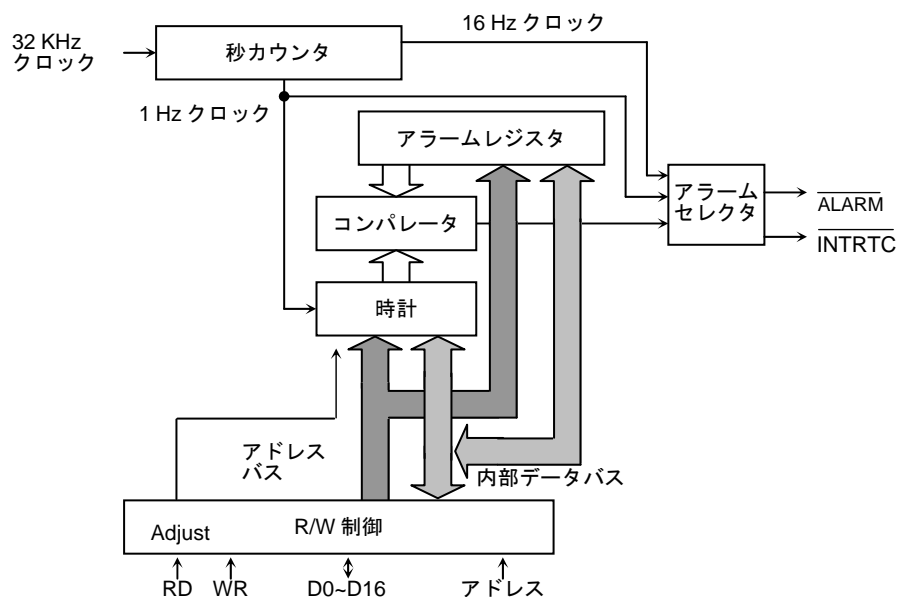


図 18-1 RTC ブロック図

(注 1) 西暦年桁について

本製品は、年桁を下 2 桁しか持っていません。そのため 99 年の翌年は 00 年として動作します。使用するシステムにおいて、西暦で年桁を取り扱う場合にはシステム側にて上 2 桁を管理してください。

(注 2) うるう年について

うるう年は、4 で割り切れる年ですが例外があり 100 で割り切れる年はうるう年ではありません。ただし、400 で割り切れる年はうるう年です。しかし、本製品は上記例外に対応していません。4 で割り切れる年のみをうるう年としていますのでこの点が問題であればシステム側にてあらかじめ対策してください。

18.3 コントロールレジスタ

リセット動作により下記レジスタが初期化されます。

- RTCPAGER<PAGE>, <ADJUST>, <INTENA>
- RTCRESTR<RSTALM>, <RSTTMR>, <DIS16HZ>, <DIS1HZ>

これ以外の時計機能に関するレジスタはリセット動作が行なわれても初期化されません。

RTCを使用する際には各レジスタに時刻/月/日曜日年うるう年を設定後、動作を開始します。

時計データの設定、秒補正、時計リセットを行う場合注意が必要です。後述の“18.5.3 低消費電力モードへ遷移する場合”を参照してください。

表 18-1 PAGE0 (時計機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
RTCSECR	0x4004_0100		40 秒	20 秒	10 秒	8 秒	4 秒	2 秒	1 秒	秒桁	R/W
RTCMINR	0x4004_0101		40 分	20 分	10 分	8 分	4 分	2 分	1 分	分桁	R/W
RTCHOURR	0x4004_0102			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	時間桁	R/W
RTCDAYR	0x4004_0104						W2	W1	W0	曜日桁	R/W
RTCDATER	0x4004_0105			20 日	10 日	8 日	4 日	2 日	1 日	日桁	R/W
RTCMONTHR	0x4004_0106				10 月	8 月	4 月	2 月	1 月	月桁	R/W
RTCYEARR	0x4004_0107	80 年	40 年	20 年	10 年	8 年	4 年	2 年	1 年	年桁 (西暦下 2 桁)	R/W
RTCPAGER	0x4004_0108	割り込み 許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W, R/W
RTCRESTR	0x4004_010C	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	“0” をライトしてください				リセットレジスタ	Wのみ

(注) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

表 18-2 PAGE1 (アラーム機能) レジスタ

Symbol	アドレス	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	設定内容	Read/Write
RTCSECR	0x4004_0100										
RTCMINR	0x4004_0101		40 分	20 分	10 分	8 分	4 分	2 分	1 分	アラーム分桁	R/W
RTCHOURR	0x4004_0102			20 時 /PM/AM	10 時	8 時	4 時	2 時	1 時	アラーム時間桁	R/W
RTCDAYR	0x4004_0104						W2	W1	W0	アラーム週桁	R/W
RTCDATER	0x4004_0105			20 日	10 日	8 日	4 日	2 日	1 日	アラーム日桁	R/W
RTCMONTHR	0x4004_0106								24/12	24 時間クロック モード	R/W
RTCYEARR	0x4004_0107							うるう年設定		うるう年モード	R/W
RTCPAGER	0x4004_0108	割り込み 許可			秒補正 設定	時計 許可	アラーム 許可		PAGE 設定	PAGE レジスタ	W, R/W
RTCRESTR	0x4004_010C	1Hz 許可	16Hz 許可	時計 リセット	アラーム リセット	“0” をライトしてください				リセットレジスタ	Wのみ

(注 1) PAGE1 の RTCMINR, RTCHOURR, RTCDAYR, RTCMONTHR, RTCYEARR はリードすると現在の状態がリードされます。

(注 2) PAGE0 の RTCSECR, RTCMINR, RTCHOURR, RTCDAYR, RTCDATER, RTCMONTHR, RTCYEARR、および PAGE1 の RTCYEARR (うるう年) レジスタのリード動作は 2 回行い、比較処理を行ってください。

18.4 コントロールレジスタの説明

リアルクロックは、システムリセットによる初期化はされません。全てのレジスタはプログラムのはじめに初期化する必要があります。

(1) 秒桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
Bit symbol		SE6	SE5	SE4	SE3	SE2	SE1	SE0
Read/Write	R	R/W						
リセット後	0	不定						
機能	“0” がリロードされます。	40 秒桁	20 秒桁	10 秒桁	8 秒桁	4 秒桁	2 秒桁	1 秒桁

設定例を下記に示します。

0	0	0	0	0	0	0	0 秒
0	0	0	0	0	0	1	1 秒
0	0	0	0	0	1	0	2 秒
0	0	0	0	0	1	1	3 秒
0	0	0	0	1	0	0	4 秒
0	0	0	0	1	0	1	5 秒
0	0	0	0	1	1	0	6 秒
0	0	0	0	1	1	1	7 秒
0	0	0	1	0	0	0	8 秒
0	0	0	1	0	0	1	9 秒
0	0	1	0	0	0	0	10 秒
:							
0	0	1	1	0	0	1	19 秒
0	1	0	0	0	0	0	20 秒
:							
0	1	0	1	0	0	1	29 秒
0	1	1	0	0	0	0	30 秒
:							
0	1	1	1	0	0	1	39 秒
1	0	0	0	0	0	0	40 秒
:							
1	0	0	1	0	0	1	49 秒
1	0	1	0	0	0	0	50 秒
:							
1	0	1	1	0	0	1	59 秒

注) 上記以外の設定はしないでください。

(2) 分析レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
Bit symbol		MI6	MI5	MI4	MI3	MI2	MI1	MI0
Read/Write	R	R/W						
リセット後	0	不定						
機能	“0” がリードされます。	40分	20分	10分	8分	4分	2分	1分

設定例を下記に示します。

0	0	0	0	0	0	0	0	0分
0	0	0	0	0	0	0	1	1分
0	0	0	0	0	0	1	0	2分
0	0	0	0	0	0	1	1	3分
0	0	0	0	1	0	0	0	4分
0	0	0	0	1	0	1	0	5分
0	0	0	0	1	1	0	0	6分
0	0	0	0	1	1	1	0	7分
0	0	0	1	0	0	0	0	8分
0	0	0	1	0	0	1	0	9分
0	0	1	0	0	0	0	0	10分
:								
0	0	1	1	0	0	1	0	19分
0	1	0	0	0	0	0	0	20分
:								
0	1	0	1	0	0	1	0	29分
0	1	1	0	0	0	0	0	30分
:								
0	1	1	1	0	0	1	0	39分
1	0	0	0	0	0	0	0	40分
:								
1	0	0	1	0	0	1	0	49分
1	0	1	0	0	0	0	0	50分
:								
1	0	1	1	0	0	1	0	59分

注) 上記以外の設定はしないでください。

(3) 時間桁レジスタの設定 (PAGE0/1)

1. 24時間クロックモード (RTCMONTHR<MO0> = "1")の場合

RTCHOURR		7	6	5	4	3	2	1	0
	Bit symbol			H05	H04	H03	H02	H01	H00
	Read/Write	R		R/W					
	リセット後	0		不定					
機能	"0" がリードされます。		20時	10時	8時	4時	2時	1時	

設定例を下記に示します。

0	0	0	0	0	0	0	0時
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	0	8時
0	0	1	0	0	0	1	9時
0	1	0	0	0	0	0	10時
:							
0	1	1	0	0	0	1	19時
1	0	0	0	0	0	0	20時
:							
1	0	0	0	1	1	1	23時

注) 上記以外の設定はしないでください。

2. 12時間クロックモード (RTCMONTHR<MO0> = "0")の場合

RTCHOURR		7	6	5	4	3	2	1	0
	Bit symbol			H05	H04	H03	H02	H01	H00
	Read/Write	R		R/W					
	リセット後	0		不定					
機能	"0" がリードされます。		PM/AM	10時	8時	4時	2時	1時	

設定例を下記に示します。

0	0	0	0	0	0	0	0時 (AM)
0	0	0	0	0	0	1	1時
0	0	0	0	0	1	0	2時
:							
0	0	1	0	0	0	1	9時
0	1	0	0	0	0	0	10時
0	1	0	0	0	0	1	11時
1	0	0	0	0	0	0	0時 (PM)
1	0	0	0	0	0	1	1時

注) 上記以外の設定はしないでください。

(4) 週桁レジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
RTCDAYR	Bit symbol					WE2	WE1	WE0
	Read/Write					R/W		
	リセット後					不定		
	機能					W2	W1	W0
	"0" がリードされます。							

設定例を下記に示します。

0	0	0	日曜日
0	0	1	月曜日
0	1	0	火曜日
0	1	1	水曜日
1	0	0	木曜日
1	0	1	金曜日
1	1	0	土曜日

注) 上記以外の設定はしないでください。

(5) 日桁レジスタ (PAGE0/1)

	7	6	5	4	3	2	1	0
RTCDATER	Bit symbol		DA5	DA4	DA3	DA2	DA1	DA0
	Read/Write		R/W					
	リセット後		不定					
	機能		20日	10日	8日	4日	2日	1日
	"0" がリードされます。							

設定例を下記に示します。

0	0	0	0	0	0	0日
0	0	0	0	0	1	1日
0	0	0	0	1	0	2日
0	0	0	0	1	1	3日
0	0	0	1	0	0	4日
:						
0	0	1	0	0	1	9日
0	1	0	0	0	0	10日
0	1	0	0	0	1	11日
:						
0	1	1	0	0	1	19日
1	0	0	0	0	0	20日
:						
1	0	1	0	0	1	29日
1	1	0	0	0	0	30日
1	1	0	0	0	1	31日

注1) 上記以外の設定はしないでください。

注2) 2月30日など、存在しない日は設定しないでください。

(6) 月桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0
RTCMONTHR				M04	M04	M02	M01	M00
Bit symbol								
Read/Write	R			R/W				
リセット後	0			不定				
機能	"0" がリードされます。			10月	8月	4月	2月	1月

設定例を下記に示します。

0	0	0	0	1	1月
0	0	0	1	0	2月
0	0	0	1	1	3月
0	0	1	0	0	4月
0	0	1	0	1	5月
0	0	1	1	0	6月
0	0	1	1	1	7月
0	1	0	0	0	8月
0	1	0	0	1	9月
1	0	0	0	0	10月
1	0	0	0	1	11月
1	0	0	1	0	12月

注) 上記以外の設定はしないでください。

(7) 24 時間時計、12 時間時計の選択 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
RTCMONTHR								M00
Bit symbol								M00
Read/Write	R							R/W
リセット後	0							不定
機能	"0" がリードされます。							1: 24 時間 0: 12 時間

(注) RTC 動作時 (RTCPAGER<ENATMR>="1")には、RTCMONTHR<M00>ビットを操作しないでください。

(8) 年桁レジスタの設定 (PAGE0 のみ)

	7	6	5	4	3	2	1	0	
RTCYEARR	Bit symbol	YE7	YE6	YE5	YE4	YE3	YE2	YE1	YE0
	Read/Write	R/W							
	リセット後	不定							
	機能	80年	40年	20年	10年	8年	4年	2年	1年

設定例を下記に示します。

0	0	0	0	0	0	0	0	00年
0	0	0	0	0	0	0	1	01年
0	0	0	0	0	0	1	0	02年
0	0	0	0	0	0	1	1	03年
0	0	0	0	0	1	0	0	04年
0	0	0	0	0	1	0	1	05年
:								
1	0	0	1	1	0	0	1	99年

注) 上記以外の設定はしないでください。

(9) うるう年レジスタの設定 (PAGE1 のみ)

	7	6	5	4	3	2	1	0
RTCYEARR	Bit symbol						LEAP1	LEAP0
	Read/Write	R					R/W	
	リセット後	0					不定	
	機能	"0" がリードされません。					00: うるう年 01: うるう年から1年目 10: うるう年から2年目 11: うるう年から3年目	

設定例を下記に示します。

0	0	現在の年 (今年) がうるう年
0	1	現在がうるう年から1年目
1	0	現在がうるう年から2年目
1	1	現在がうるう年から3年目

(10) PAGE レジスタの設定 (PAGE0/1)

		7	6	5	4	3	2	1	0
RTCPAGER	Bit symbol	INTENA			ADJUST	ENATMR	ENAALM		PAGE
	Read/Write	R/W	R		R/W		R/W	R	R/W
	リセット後	0	0		0		不定	0	0
リードモード ファイライト できません	機能	INTRTC 0: 禁止 1: 許可	"0" がリードされま す。		[ライト] 0: Don't care 1: ADJUST 要 求セット [リード] 0: ADJUST 要 求なし 1: ADJUST 要 求あり	時計 0: 禁止 1: 許可	ALARM 0: 禁止 1: 許可	"0" がリー ドされます。	PAGE 設定

(注) <ENATMR>および<ENAAML>の各々の許可ビットと、<INTENA>の割込み許可ビットは下記
の設定順番を守り、同時に設定しないようにしてください。
(時計/アラーム許可と割り込み許可の設定間に時間差を設ける。)

(例) 現時刻、アラーム設定

```

          7 6 5 4 3 2 1 0
RTCPAGER ← 0 0 0 0 1 1 0 0    時計、アラーム許可
RTCPAGER ← 1 0 0 0 1 1 0 0    ビット7を"1"にして割り込み許可
    
```

PAGE	0	Page0 が選択されず
	1	Page1 が選択されず

ADJUST	0	Don't care
	1	秒を補正します。要求は秒カウンタのカウントアップ時にサンプリングされ、秒が0~29秒の場合、秒桁のみ"0"になります。また、30~59秒のときは分を桁上げて秒を"0"にします。 このビットを読み出すことで、要求のあり/なしを確認できます。

(11) リセットレジスタの設定 (PAGE0/1)

	7	6	5	4	3	2	1	0
RTCRESTR	DIS1HZ	DIS16HZ	RSTTMR	RSTALM		DIS2HZ	DIS4HZ	DIS8HZ
Read/Write	R/W				R	R/W		
リセット後	1	1	0	0	0	1	1	1
機能	1 Hz 0: 許可 1: 禁止	16 Hz 0: 許可 1: 禁止	[ライト] 0: Don't care 1: 時計リセット [リード] 0: リセット要求なし 1: リセット要求有り	0: Don't care 1: アラームリセット	"0" がリードされます。	2 Hz 0: 許可 1: 禁止	4 Hz 0: 許可 1: 禁止	8 Hz 0: 許可 1: 禁止

リードモード
ファイライ
できません

RSTALM	0	未使用
	1	アラームレジスタ(分、時、日、週桁レジスタ)を初期化します。 初期化後は、00分、00時、01日、日曜日になります。

RSTTMR	0	未使用
	1	秒カウンタをリセットします。要求は低速クロックでサンプリングされます。 このビットを読み出すことで、要求のあり/なしを確認できます。

<DIS1HZ>	<DIS2HZ>	<DIS4HZ>	<DIS8HZ>	<DIS16HZ>	RTCPAGER <ENAALM>	割込みソース信号
1	1	1	1	1	1	アラーム
0	1	1	1	1	0	1Hz
1	0	1	1	1	0	2Hz
1	1	0	1	1	0	4Hz
1	1	1	0	1	0	8Hz
1	1	1	1	0	0	16Hz
その他						"0" が出力されます。

18.5 動作説明

RTC 内部には 32.768 KHz の信号から 1 Hz の信号を発生する秒カウンタが内蔵されており、このカウンタの動作を考慮して使用する必要があります。

(注) リセット後、低速クロックの発振は停止します。また、XT1/XT2 端子はポート (PP0、PP1) に初期化されます。RTC のレジスタを再度セットアップして下さい。

18.5.1 時計データをリードする場合

1. 1Hz 割り込みを利用する

秒カウンタのカウントアップに同期して 1Hz の割り込みが発生しますので、1Hz 割り込みを待って、データをリードすれば、正常にデータリードできます。

2. 2度読みを利用する

時計データのリード動作の途中で内部カウンタの桁上げが起こると誤ったデータをリードする場合があります。従って、データを正しく読み込むために、下記の方法で 2 度以上リードしてください。

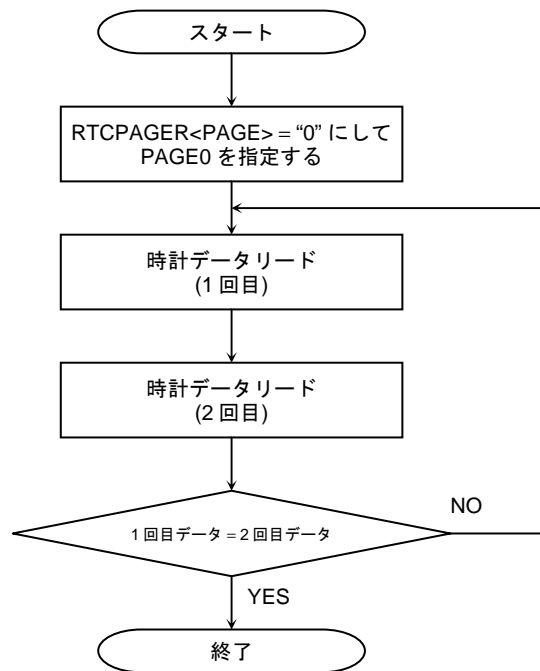


図 18-2 時計データのリードフロー

18.5.2 時計データをライトする場合

一連のデータライト動作の途中で桁上げ信号が入ってくると、期待するデータはライトできません。従って、データを正しくライトするためにはつぎの方法があります。

1. 1Hz 割り込みを利用する

秒カウンタのカウントアップに同期して 1Hz の割り込みが発生しますので、1Hz 割り込みを待って、次の 1s カウントアップまでの間にデータをライトすれば、正常にデータライトできます。

2. カウンタをリセットする

秒カウンタをリセットした後にデータをライトします。

カウンタリセット後に 1Hz 割り込みを許可した場合、1 秒後に 1Hz 割り込みが発生しますので、1 秒以内に時間設定を行うようにしてください。

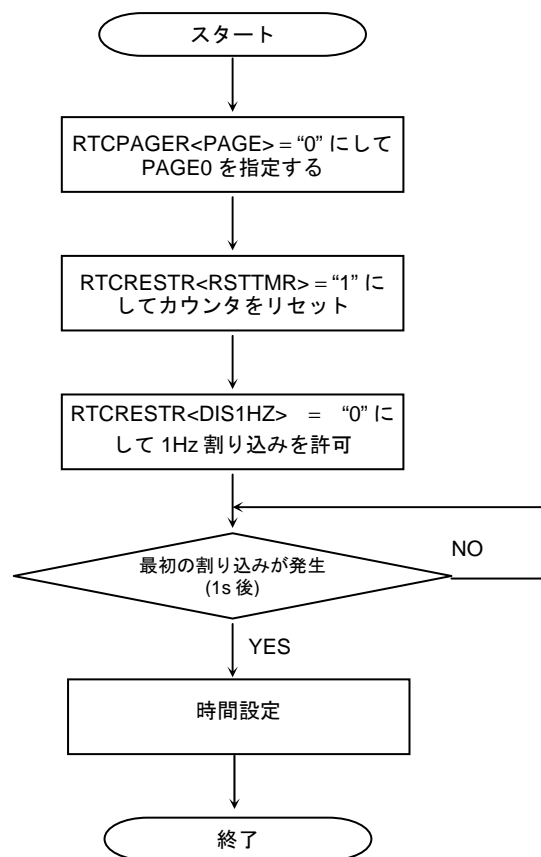


図 18-3 データライトのフロー

3. 時計を禁止する

RTCPAGER<ENATMR>に“0”をライトすると、時計は禁止となって桁上げは禁止されます。

1Hz 割り込み発生後に時計を停止し（このとき秒カウンタは動作を継続）、次の 1Hz 割り込みが発生する前（1s 以内）に再度時計データを設定し時計機能を許可してください。

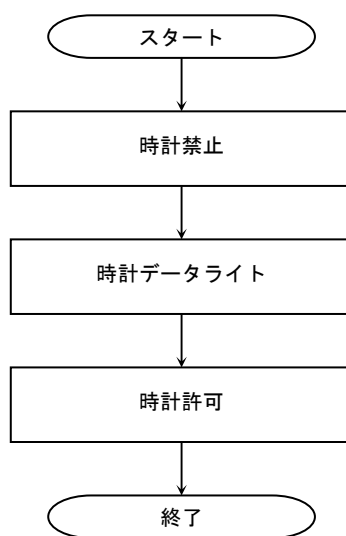


図 18-4 時計を禁止するフローチャート

18.5.3 低消費電力モードへ遷移する場合

時計データの設定、秒補正、時計リセット後にシステムクロックが停止するモード（SLEEP モード）へ遷移する場合、必ず以下のどちらかの手順で行ってください。

1. レジスタ変更または ADJUST, RSTTMR 操作後に 1 秒割り込みの発生を待つ。
2. レジスタ変更または ADJUST, RSTTMR 操作後、時計レジスタ値/ADJUST フラグ/RSTTMR フラグの値を Read し、反映を確認する。

18.6 アラーム機能の説明

RTCPAGER<PAGE>に “1” をライトすることにより、PAGE1 のレジスタ群でアラーム機能が使用できます。 $\overline{\text{ALARM}}$ 端子からは以下 3 つの信号のいずれかを出力できます。

- (1) アラームレジスタと時計の一致時、“0” パルスを出力
- (2) 1 Hz 周期の “0” パルスを出力
- (3) 16 Hz 周期の “0” パルスを出力

いずれの場合も、低速クロック 1 周期分のパルスを出力します。また、同時に INTRTC 割り込みの要求を出力します。INTRTC 割り込み信号は、立下りエッジが有効ですので、CG 割り込みモードコントロールレジスタのアクティブ状態の設定は、“立下りエッジ” に設定してください。

- (1) アラームレジスタと時計の一致時、 $\overline{\text{ALARM}}$ 端子からパルスを出力

PAGE1 のアラームレジスタと PAGE0 の時計の内容が一致したときに $\overline{\text{ALARM}}$ 端子に “0” パルスを出力するとともに、INTRTC 割り込みを発生し、その時刻になったことを知らせます。

アラームを使用する方法を下記に説明します。

まずアラーム禁止状態で、初期化を行います。アラームの初期化は RTCRESTR<RSTALM>に “1” をライトすることにより行われ、アラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁は 00 分、00 時、01 日、日曜日になります。

PAGE1 のアラーム分析、アラーム時桁、アラーム日桁、アラーム曜日桁の設定を行い、RTCPAGER<ENAALM>でアラームを許可します。

最後に RTCPAGER<INTENA>で割り込みを許可します。

例えば、月曜日 5 日正午 (12:00) にアラームを出力させる場合のプログラムを下記に示します。

	7	6	5	4	3	2	1	0		
RTCPAGER	←	0	0	0	0	1	0	0	1	アラーム禁止、PAGE1 設定
RTCRESTR	←	1	1	0	1	0	0	0	0	アラーム初期化
RTCDAYR	←	0	0	0	0	0	0	0	1	月曜日
RTCDATER	←	0	0	0	0	0	1	0	1	5 日
RTCHOURR	←	0	0	0	1	0	0	1	0	12 時設定
RTCMINR	←	0	0	0	0	0	0	0	0	00 分設定
RTCPAGER	←	0	0	0	0	1	1	0	0	アラーム許可
RTCPAGER	←	1	0	0	0	1	1	0	0	割り込み許可

アラーム設定は、低速クロックに同期して動作していますので、CPU が高周波で動作している場合、レジスタ設定してから有効になるまでに最大 32 kHz の 1 クロック分 (約 30 μs) の遅れが生じることがあります。

(注) 繰り返し設定 (例えば、毎週水曜 12 時 00 分) を行なう場合、アラーム一致時に発生する INTRTC の割り込みルーチン内で、次回アラームの設定を行う必要があります。

(2) 1 Hz のパルスを出力する場合

RTCPAGER<ENAALM> = “0”、RTCRESTR<DIS1HZ> = “0”、<DIS16HZ> = “1” を設定後、RTCPAGER<INTENA>= “1” を設定すると $\overline{\text{ALARM}}$ 端子に 1 Hz 周期の低速クロック 1 周期分の “0” パルスを出力します。また、同時に INTRTC 割り込みを出力します。

(3) 16 Hz のパルスを出力する場合

RTCPAGER<ENAALM> = “0”、RTCRESTR<DIS1HZ> = “1”、<DIS16HZ> = “0” を設定後、RTCPAGER<INTENA>= “1” を設定すると $\overline{\text{ALARM}}$ 端子に 16 Hz 周期の低速クロック 1 周期分の “0” パルスを出力します。また、同時に INTRTC 割り込みを出力します。

19 周波数検知回路（Oscillation Frequency Detector）

19.1 概要

周波数検知回路（Oscillation Frequency Detector）は、CPU クロック用の高周波発振周波数が検知周波数設定レジスタによって設定された周波数範囲を超えた場合に異常を検出する回路です。

発振の異常を回路が検知して自動的にリセットを発生します。（注）

以下に周波数検知回路を使用する場合の動作フローを示します。

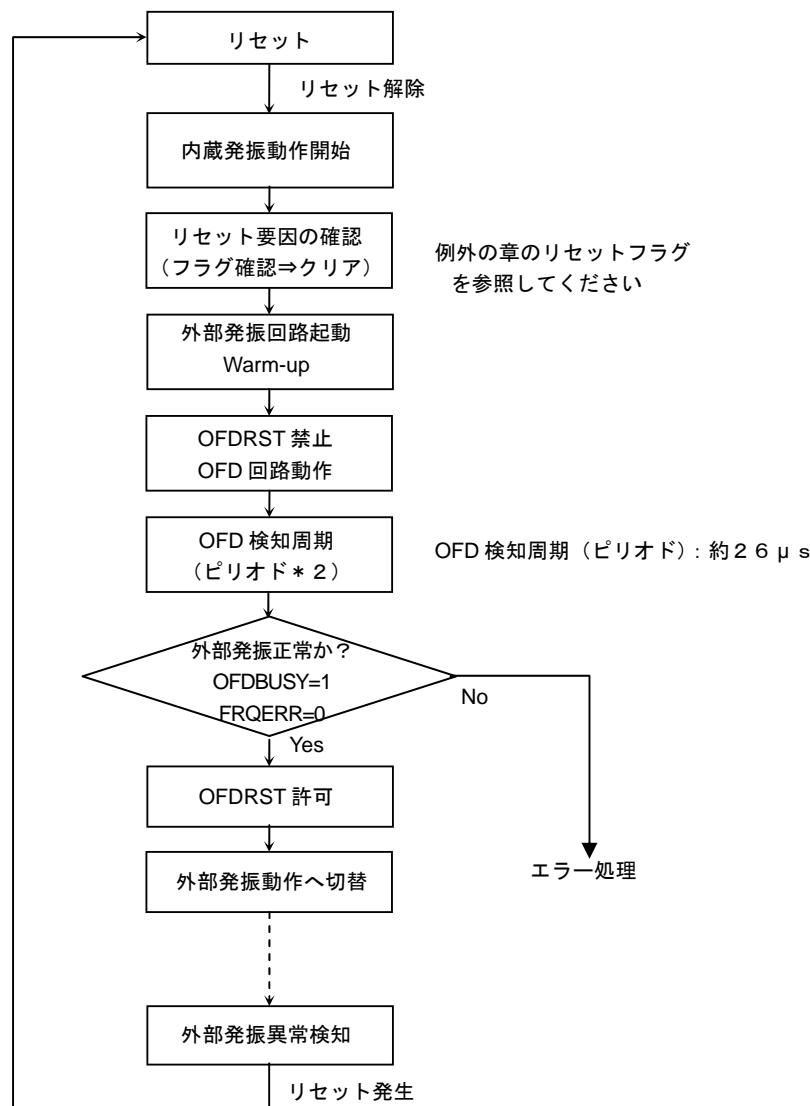


図 19-1 周波数検知回路の動作フロー

TMPM380 では、内蔵発振回路及び、外部に接続された発振子による外部発振回路の両方を使用できますが、OFD（周波数検知回路）は、内蔵発振回路のクロックを基準に外部高周波発振回路のクロック周波数を検知対象とする回路です。

注）発振異常の検知を目的とする回路ですが、いかなる異常発振も検知出来るわけではありません。周波数検知回路が完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

19.2 構成

周波数検知回路は、OFDCR1 及び OFDCR2 で制御します。また、検知する周波数の範囲は OFDMX と OFDMN レジスタで設定します。最低周波数の検知範囲は OFDMN レジスタにて設定し、最大周波数の検知範囲は OFDMX レジスタにて設定します。TMPM380 の検出周波数の範囲例は 図 19-2 を参照してください。

OFDCR2, OFDMX, OFDMN, OFDRST レジスタは周波数検知動作中は書き換えできませんので、検知周波数を変更する場合は、周波数検知を停止させた状態で、おこなってください。また、OFDCR2, OFDMX, OFDMN, OFDRST レジスタに書き込みをおこなうためには、周波数検知回路制御レジスタ 1 (OFDCR1) に書き込み許可コード "F9H" を設定する必要があります。周波数検知回路は RESET 端子への外部リセット入力によりディセーブルとなります。検知動作をイネーブルにするためには、OFDCR1 に書き込み許可コード "F9H" を書き込んだ後、周波数検知回路制御レジスタ 2 (OFDCR2) に "E4H" を設定します。

OFDMN, OFDMN レジスタで設定した周波数範囲を超えた場合、TMPM380 は周波数検知リセットを発生し、周波数の検知を行わない内蔵発振器で動作を開始します。同時に、クロックに同期して内部回路にリセットがアサートされ、電源端子、RESET 端子、X1、X2 端子及びデバッグ用の端子 (PB3 ~ 7) を除く全ての入出力ポートはハイインピーダンス状態に初期化されます。

周波数検知回路の全てのレジスタ (OFDCR1, OFDCR2, OFDMN, OFDMN, OFDRST, OFDSTAT) は、自身が発生する「周波数検知リセット」でも初期化され、周波数の検知を行わない内蔵発振器で動作を開始します。したがって、リセット解除後の初期ルーチンでは、複数あるリセット要因を確認出来るフラグレジスタを使って、動作を分岐させる必要があります。詳細は、「例外」の章のリセットフラグレジスタ (RSTFLG) を参照してください。

- 注 1) 周波数検知回路は NORMAL モードおよび IDLE モードのときのみ有効となります。その為、STOP モード、SLOW モード及び SLEEP モードへモードを変更する際には、あらかじめ、周波数検知回路を、ソフトウェアにてディセーブルにしておく必要があります。

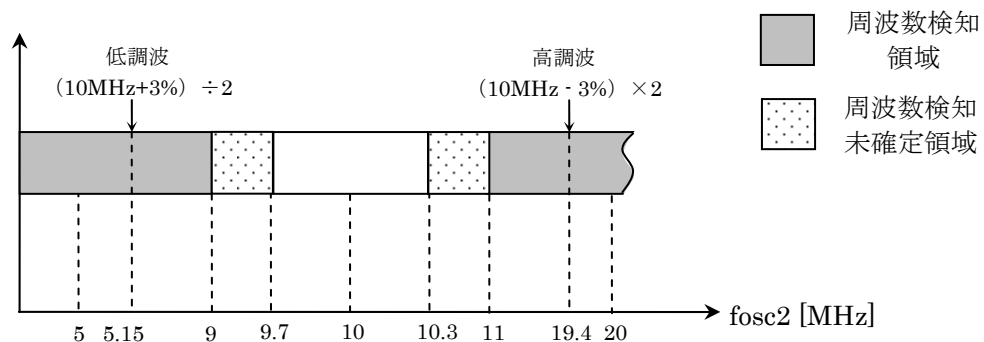


図 19-2 検出周波数範囲 (10MHz 設定)

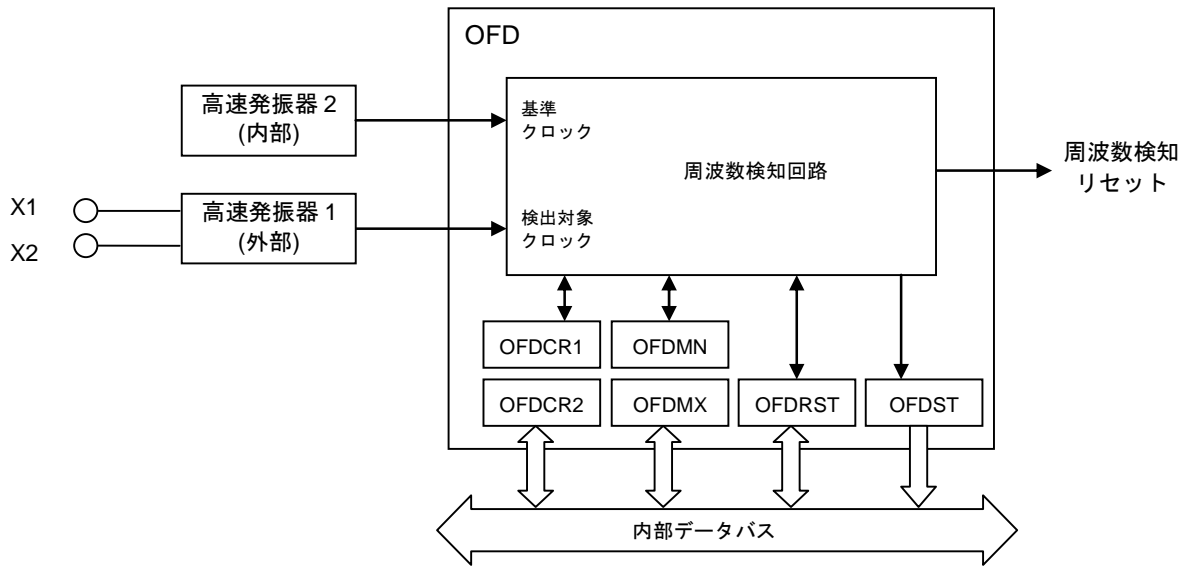


図 19-3 周波数検知回路ブロック図 (概要)

19.3 制御

周波数検知回路の動作と停止は、周波数検知回路制御レジスタ 2 (OFDCR2) で制御されます。検知周波数の上限値と下限値は OFDMN, OFDMX レジスタによって設定します。OFDCR2, OFDMN, OFDMX 及び OFDRST レジスタへの書き込みは周波数検知回路制御レジスタ 1 (OFDCR1) によって制御されます。

19.3.1 制御レジスタ 1

OFDCR1: 0x4004_0800

	7	6	5	4	3	2	1	0
Bit symbol	OFDWEN7	OFDWEN6	OFDWEN5	OFDWEN4	OFDWEN3	OFDWEN2	OFDWEN1	OFDWEN0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	1	1	0
機能	0x06: OFDCR2/OFDMN/OFDMX レジスタへの書き込み禁止 (書き込み禁止コード) 0xF9: OFDCR2/OFDMN/OFDMX レジスタへの書き込み許可 (書き込み許可コード) その他: Reserved (注 1)							
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

注 1) OFDCR1 への書き込みデータは "06H" と "F9H" のみ有効です。"06H" と "F9H" 以外のデータを OFDCR1 に書き込もうとした場合、自動的に "06H" が書かれます。

19.3.2 OFD制御レジスタ 2

OFDCR2: 0x4004_0804

	7	6	5	4	3	2	1	0
Bit symbol	OFDEN7	OFDEN6	OFDEN5	OFDEN4	OFDEN3	OFDEN2	OFDEN1	OFDEN0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	0x00: 周波数検知動作停止 0xE4: 周波数検知動作許可 その他: Reserved (注 1)							
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

注 1) OFDCR2 への書き込みデータは "00H" と "E4H" のみ有効です。"00H" と "E4H" 以外のデータを書こうとした場合は無効となります (レジスタは変化しません)。

注 2) OFDCR1 に書き込み禁止コード "06H" を書き込むと、OFDCR2 への書き込みは禁止となり、OFDCR2 に書こうとした全てのデータは無視されます。なお、書き込み禁止の場合でも OFDCR2 の読み出しは可能です。

19.3.3 検知周波数下限値設定レジスタ

OFDMN: 0x4004_0808

	7	6	5	4	3	2	1	0
Bit symbol	OFDMN7	OFDMN6	OFDMN5	OFDMN4	OFDMN3	OFDMN2	OFDMN1	OFDMN0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	検知周波数の下限値を設定します							
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

19.3.4 検知周波数上限値設定レジスタ

OFDMX: 0x4004_0810

	7	6	5	4	3	2	1	0
Bit symbol	OFDMX7	OFDMX6	OFDMX5	OFDMX4	OFDMX3	OFDMX2	OFDMX1	OFDMX0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	検知周波数の上限値を設定します							
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

注 1) OFDMN 及び OFDMX レジスタは周波数検知動作が許可状態 (OFDCR2 = "E4H") または、レジスタへの書き込み禁止状態 (OFDCR1 = "06H") のときは書き換えできません。

注 2) OFDMN 及び OFDMXP レジスタへの書き込みは OFDCR1 への "06H" 書き込みでプロテクトされますが、読み出しについては OFDCR1 の設定にかかわらず可能です。

19.3.5 検知リセット発生制御レジスタ

OFDRST: 0x4004_0818

	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	-	OFDRSTEN
Read/Write	R	R	R	R	R	R	R	R/W
リセット後	0	0	0	0	0	0	0	1
機能	リードすると"0"が読めます							1: 許可 0: 禁止
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

注 1) OFDCR1 に書き込み禁止コード "06H" を書き込むと、OFDRST への書き込みは禁止となり、OFDRST に書こうとした全てのデータは無視されます。なお、書き込み禁止の場合でも OFDRST の読み出しは可能です。

19.3.6 ステータスレジスタ

OFDSTAT: 0x4004_081C

	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	OFDBUSY	FRQERR
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます						OFD 動作状態 1: Run 0: Stop	周波数状態 1: Error 0: No Error
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
Read/Write	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

19.4 機能

19.4.1 周波数検知回路の動作制御

OFDCR1 に書き込み許可コード "F9H" が設定された状態で OFDCR2 に "E4H" を書き込むと周波数検知回路はイネーブルとなり、OFDCR1 に "F9H" が設定された状態で OFDCR2 に "00H" を書き込むと周波数検知回路はディセーブルとなります。

OFDCR1 に書き込み禁止コード "06H" が設定されていると OFDCR2 への書き込みはできなくなります。なお、OFDCR1 の設定に関係なく OFDCR2 の読み出しは可能です。外部リセット入力、POR (Power On Reset) 及び内部リセット要因により OFDCR1 は "06H" に初期化され、OFDCR2 は "00H" に初期化されますので、リセット解除後は周波数検知動作停止、レジスタ書き込み禁止状態となります。

注) OFDCR2 を設定した場合、誤書き込み防止のため OFDCR1 に書き込み禁止コード "06H" を設定してください。

周波数検知回路はNORMALモードとIDLEモードのときのみ使用可能です。詳細は表 19-1を参照してください。

表 19-1 各動作モードにおける周波数検知回路の状態

動作モードまたは状態	周波数検知回路動作 (OFDCR2 = "E4H" 設定時)	周波数検知リセットによる端子状態 (電源、RESET、X1、X2、デバッグ端子を除く)
NORMAL	動作	ハイインピーダンス
IDLE	動作	ハイインピーダンス
SLOW	周波数検知回路は、外部の高速発振回路のみを対象に動作します。 STOP モードに移行する前に、周波数検知回路は停止させてください。	
SLEEP		
STOP (ウォーミングアップ期間含む)		
周波数検知によるリセット	初期化 (停止)	ハイインピーダンス
内部要因によるリセット(注 1)	初期化 (停止)	ハイインピーダンス
外部リセット入力 (RESET 端子への "L" 入力)	初期化 (停止)	-

注 1) 内部要因リセット: ウォッチドッグタイマリセット、OFD リセット、SYSRESETREQ リセット

TMPM380/M382 は、周波数検知回路を含む、4 種類の要因 (パワーオンリセット、外部リセット端子、ウォッチドッグタイマ、周波数検知回路) でシステムをリセットすることが出来ます。また、2 種類の高速クロック (外部発振器、内蔵発振器) での動作が可能です。

以下に、周波数検知回路を含む各種リセット要因と、動作クロックなどの動作及び回路状態を示すタイミングを示します。

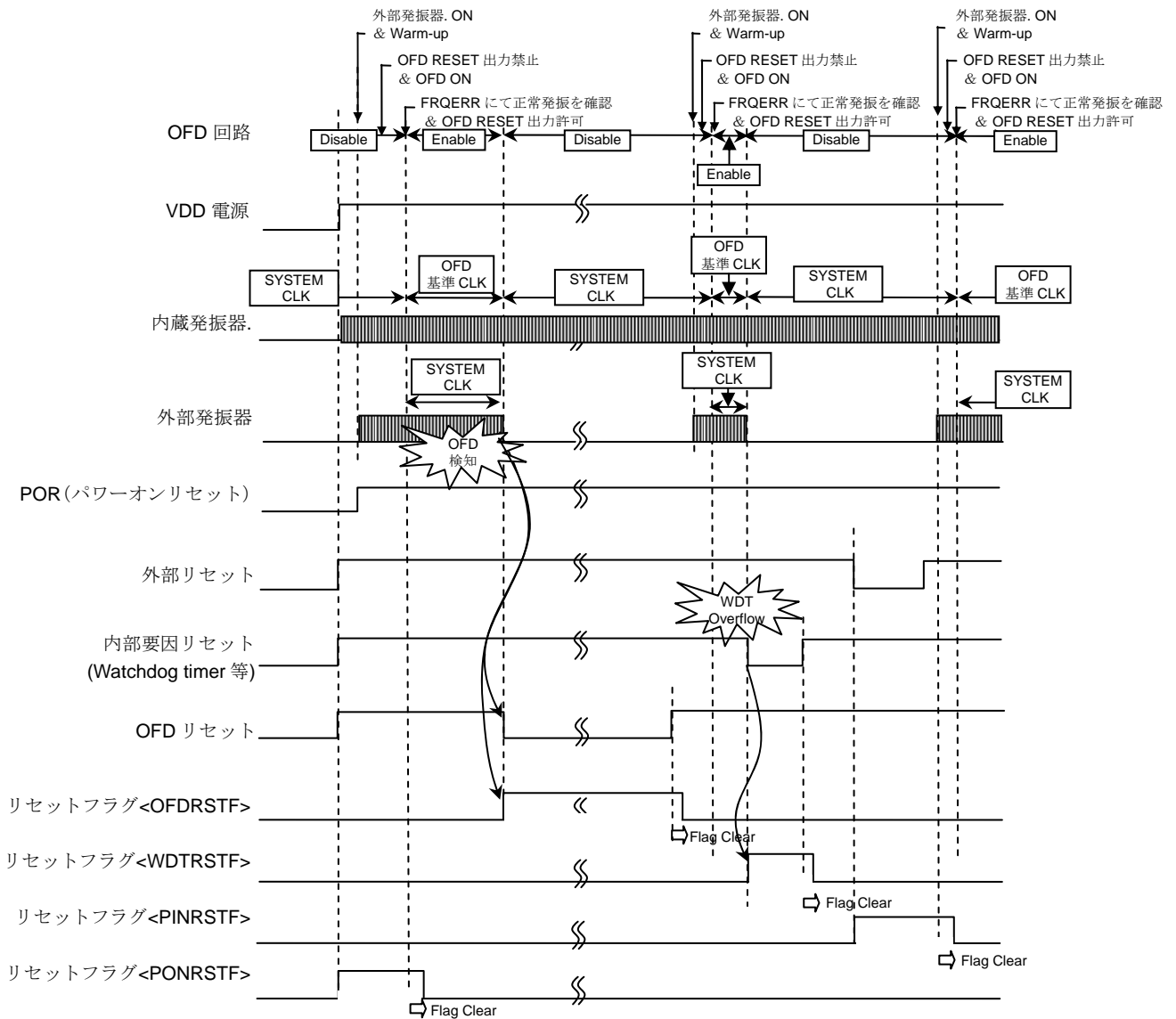


図 19-4 各モードにおける周波数検知回路動作

19.4.2 検知周波数の設定

OFDMX及びOFDMNレジスタと設定値を表 19-2に示します。

検知周波数には、回路精度の関係上、検出範囲と非検出範囲が存在します。検出範囲と非検出範囲の中間の周波数では、検出・非検出が確定しません。

使用する発振周波数の検出範囲に応じて、以下の設定で使用してください。

表 19-2 使用周波数と設定値

OFDMN	検出範囲 [MHz]	非検出範囲 [MHz]	OFDMX	検出範囲 [MHz]	非検出範囲 [MHz]
43	6.5	7.0	54	8.7	8.1
44	6.6	7.1	55	8.9	8.3
45	6.8	7.3	56	9.1	8.4
46	6.9	7.5	57	9.2	8.6
47	7.1	7.6	58	9.4	8.7
48	7.2	7.8	59	9.5	8.9
49	7.4	7.9	60	9.7	9.0
50	7.5	8.1	61	9.9	9.2
51	7.7	8.3	62	10.0	9.3
52	7.8	8.4	63	10.2	9.5
53	8.0	8.6	64	10.4	9.6
54	8.1	8.7	65	10.5	9.8
55	8.3	8.9	66	10.7	10.0
56	8.4	9.1	67	10.8	10.1
57	8.6	9.2	68	11.0	10.3
58	8.7	9.4	69	11.2	10.4
59	8.9	9.5	70	11.3	10.6
60	9.0	9.7	71	11.5	10.7
61	9.2	9.9	72	11.6	10.9
—	—	—	73	11.8	11.0

19.4.3 周波数検知リセット

OFDMN で設定された値より低い周波数、または OFDMX で設定された値より高い周波数を検出した場合、TMPM380/M382 は全ての入出力ポートを初期化する周波数検知リセットを発生します。また、リセット解除後には、外部発振器の周波数検知回路は停止状態で、内蔵発振回路をシステムクロックとして起動します。

周波数検知回路によるリセットの発生は、OFDRST<OFDRSTEN>にて制御されています。OFDCR1 に書き込み許可コード "F9H" が設定された状態で OFDRST に "01H" を書き込むと、周波数検知回路が動作した場合に、内部リセットを発生します。OFDCR1 に "F9H" が設定された状態で OFDRST に "00H" を書き込むと、周波数検知回路が動作した場合にリセット発生はしません。また、この状態であっても OFDSTAT<FRQERR>フラグの確認は可能です。

20 パワーオンリセット回路 (POR)

パワーオンリセット回路(POR)は、電源投入時にパワーオンリセット信号を発生します。また、電源電圧が一定以下になるとパワーオンリセット信号を発生します。

20.1 構成

パワーオンリセット回路は、基準電圧発生回路、コンパレータおよびパワーオンカウンタから構成されます。

電源電圧をラダー抵抗によって分圧した電圧と基準電圧発生回路が発生した基準電圧をコンパレータで比較します。

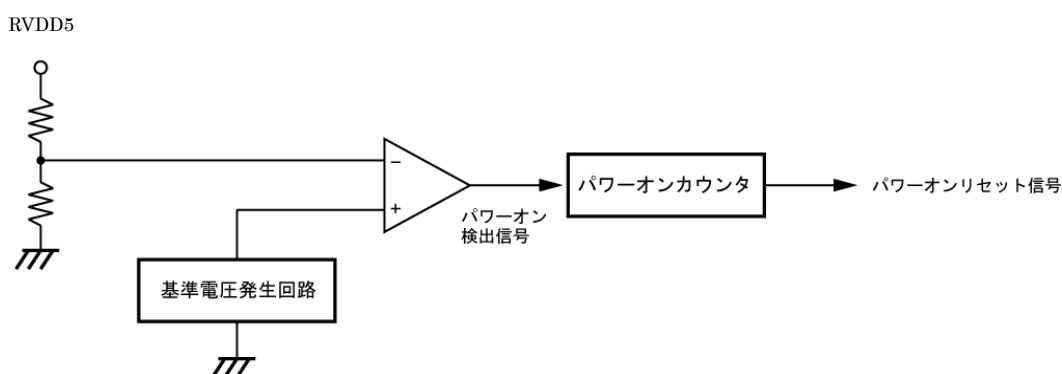


図 20-1 パワーオンリセット回路

20.2 機能

電源投入時、電源電圧が解除電圧以下の間、パワーオンリセット信号が発生されます。電源電圧が解除電圧を超えるとパワーオンカウンタ回路が動作し、パワーオンリセット信号が解除されます。

電源電圧が低下し、検出電圧以下になるとパワーオンリセットが発生されます。

パワーオンリセット信号が発生されている間、パワーオンカウンタ回路、CPU、周辺回路はリセットされます。

リセット端子入力を使用しない場合、パワーオンリセットの信号解除までに電源電圧を推奨動作範囲まで上昇させてください。電源電圧が推奨動作範囲に到達しない場合、TMPM380/M382は正常に動作することができません。

- 注 1) 電源電圧 (VDD) 変動によってはパワーオンリセット回路が完全な動作をしないことがありますので、機器設計的には電気的特性を参照の上、十分な考慮が必要です。
- 注 2) 回路動作限界 (基準電圧発生回路が動作できない電圧) 以下ではパワーオンリセット信号は不定になります。
- 注 3) 解除電圧と検出電圧は相対的に変動するため、逆転することはありません。

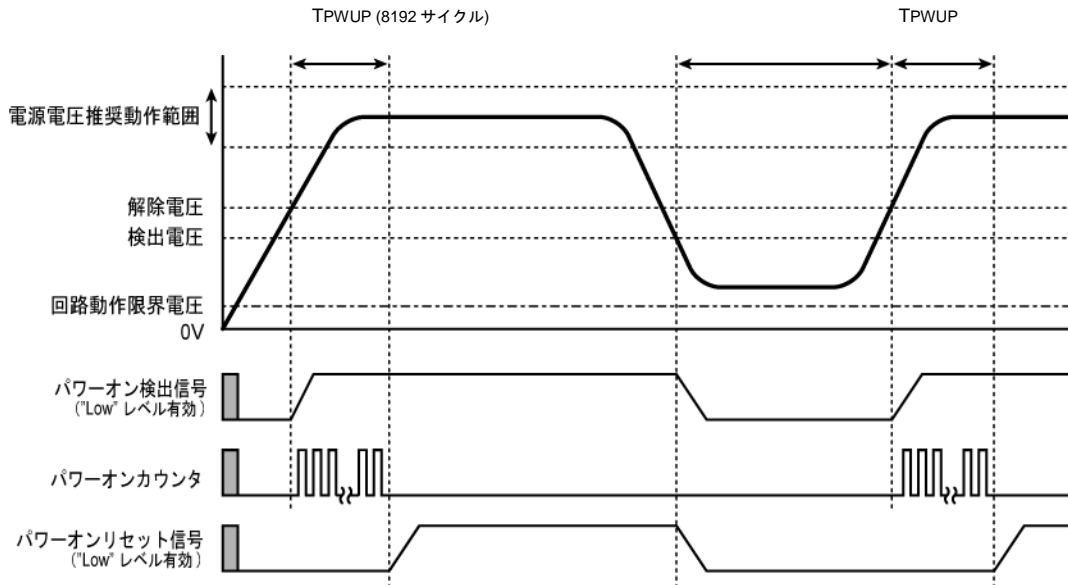


図 20-2 パワーオンリセットの動作タイミング

記号	項目	Min	Typ.	Max	単位
VPORH	パワーオンリセット解除電圧	2.8	3	3.2	V
VPORL	パワーオンリセット検出電圧	2.6	2.8	3.0	V
TPORDT1	パワーオンリセット解除応答時間		30		μs
TPORDT2	パワーオンリセット検出応答時間		30		μs
TPORPW	パワーオンリセット最小パルス幅	45			μs
TPWUP	パワーオンカウンタ (注4)		$2^{13}/f_{osc2}$		μs

21 電圧検出回路 (VLTD)

電圧検出回路は、電源電圧の低下を検出し、マスク不能割り込み (NMI) を発生します。

注) 電源電圧 (RVDD5) 変動によっては電圧検出回路が完全な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

21.1 構成

電圧検出回路は、基準電圧発生回路、検出電圧レベル選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧 (RVDD5) はラダー抵抗で分圧され、検出電圧レベル選択回路に入力されます。検出電圧レベル選択回路で検出電圧 (VDLVL[1:0]) に応じた電圧が選択され、コンパレータで基準電圧と比較されます。電源電圧 (RVDD5) が検出電圧 (VDLVL[1:0]) を下回ると、マスク不能割り込み (NMI) を発生します。

マスク不能割り込み (NMI) については「7.3 マスク不能割り込み (NMI)」を参照してください。

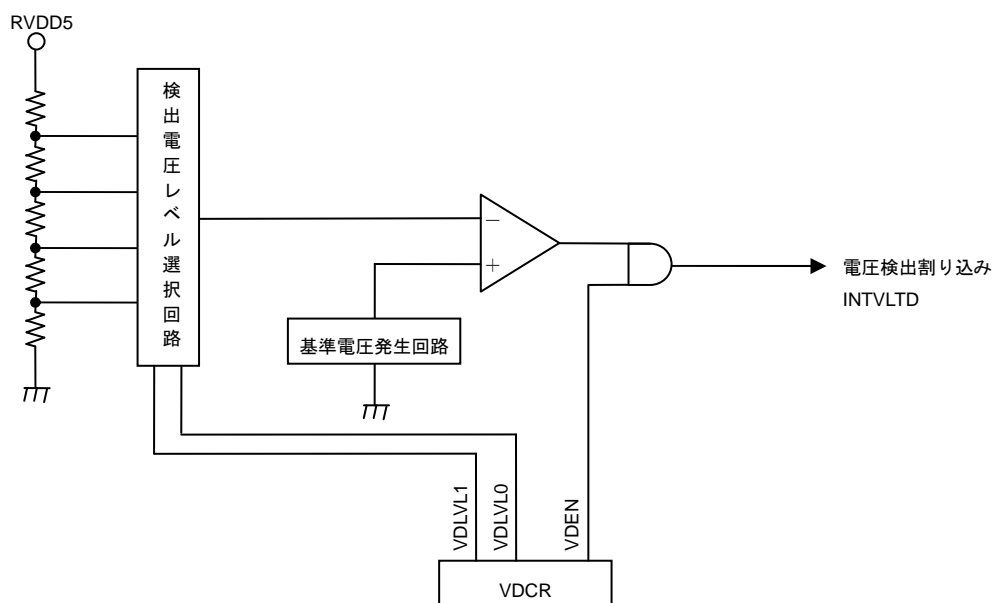


図 21-1 電圧検出回路

21.2 制御

電圧検出回路は、電圧検出制御レジスタで制御されます。

電圧検出制御レジスタ

VDCR (0x4004_0900)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	-	VDLVL1	VDLVL0	VDEN
Read/Write	R	R	R	R	R	R	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0	0

VDLVL[1:0]	検出電圧レベル選択	00: $3.8 + 0.2 / - 0.2V$ 01: $4.1 + 0.2 / - 0.2V$ 10: $4.4 + 0.2 / - 0.2V$ 11: $4.6 + 0.2 / - 0.2V$
VDEN	電圧検出の許可/禁止	0: 禁止 1: 許可

注) VDCR はパワーオンリセット、外部リセット入力で初期化されます。

電圧検出ステータスレジスタ

VDSR (0x4004_0904)		7	6	5	4	3	2	1	0
Bit Symbol	-	-	-	-	-	-	-	-	VDSR
Read/Write	R	R	R	R	R	R	R	R	R
リセット後	0	0	0	0	0	0	0	0	0

VDSR	電圧検知ステータスレジスタ	0: 電源電圧は、検出電圧以上 1: 電源電圧は、検出電圧以下
------	---------------	------------------------------------

21.3 機能

電圧検出回路は、検出電圧レベル選択ビット (VDLVL[1:0])、電圧検出の許可/禁止 (VDEN) で設定できます。電圧検出の許可/禁止を設定し、電源電圧 (RVDD5) が検出電圧 (VDLVL[1:0]) を下回ったとき、マスク不能割り込み (NMI) を発生します。

21.3.1 電圧検出動作の許可/禁止

VDCR<VDEN> はパワーオンリセット、外部リセット解除後、“0”にクリアされ禁止されます。“1”にセットすると電圧検出動作が許可されます。

注) 電源電圧 (RVDD5) < 検出電圧 (VDLVL[1:0]) の状態で、VDCR<VDEN> = “1” (禁止) から “0” (許可) に設定すると、設定した時点でマスク不能割り込み (NMI) が発生します。

21.3.2 検出電圧レベル選択

VDCR<VDLVL[1:0]> で検出電圧を選択します。

VDCR<VDEN>が“1”に設定され、検出電圧レベル（VDLVL[1:0]設定）より電源電圧(RVDD5)が低下した場合、NMIが発生します。

VDCRは、パワーオンリセット、外部リセットが発生した時のみ、初期状態になります。

検出電圧レベル（VDCR<VDLVL[1:0]設定）に対して電源電圧(RVDD5)が低い状態が続いている場合、NMIは発生し続けます。

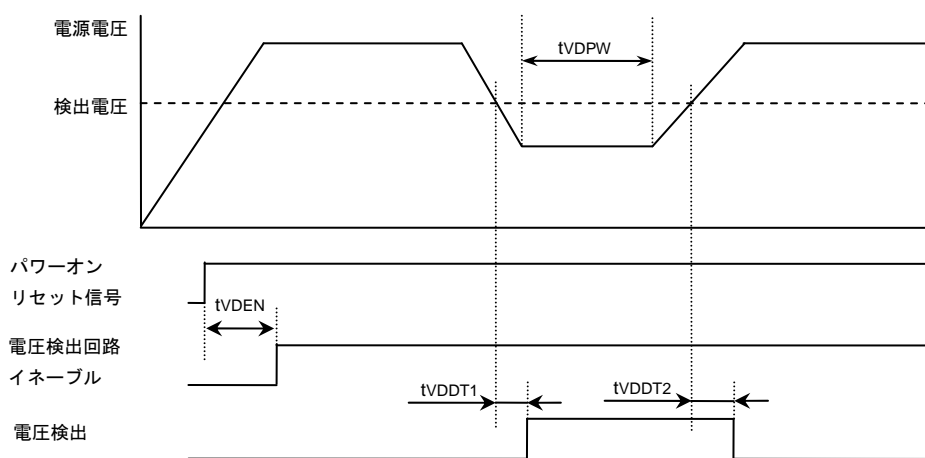


図 21-2 電圧検出タイミング

記号	項目	Min	Typ.	Max	単位
t_{VDEN}	電圧検出回路が有効になる時間		40		μs
t_{VDDT1}	電圧検出回路検出応答時間		40		μs
t_{VDDT2}	電圧検出回路検出解除時間		40		μs
t_{VDPW}	電圧検出回路検出最小パルス幅	45			μs

22 DMAコントローラ(DMAC)

重要

TMPM382(64ピン版)には、SIO2、SIO3、SSP1はありません。
それらに関するバースト要求、シングル要求は使用できません。

TMPM380/M382 は、DMA コントローラを 2ch 内蔵しています。

22.1 概要

主な機能を以下に説明します。

表 22-1 DMA 概要

項目	機能		概要
チャンネル数	2ch		
	ハードウェアでスタート		周辺 IP の DMA 要求に対応
	ソフトウェアでスタート		DMACSoftBReq レジスタへのライトで起動
バスマスタ	32bit×1 (AHB)		
プライオリティ	DMA チャンネル 0 (高) ~ DMA チャンネル 1 (低)		ハードウェア固定
FIFO	4word × 2ch		
バス幅	8/16/32bit		転送元側、転送先側で別々に設定可能
バーストサイズ	1/4/8/16/32/64/128/256		
転送回数	~4095 回		
アドレス	転送元アドレス	incr / no-incr	Source と Destination のアドレスは increment するか No-increment (固定) かを選択できます (アドレス wrapping は非サポート。)
	転送先アドレス	incr / no-incr	
エンディアン	リトルエンディアンのみサポート		
転送タイプ	周辺回路(レジスタ) → メモリ メモリ → 周辺回路(レジスタ) メモリ → メモリ (注)		メモリ → メモリを選択した場合、DMA 起動のハードウェアスタートはサポートしていません。詳細は DMACCxConfiguration レジスタを参照してください。
割り込み機能	転送終了割り込み エラー割り込み		
特殊機能	Scatter/gather 機能		

※) 1 word = 32-bit

(注) 「周辺回路(レジスタ) → 周辺回路(レジスタ)」の転送タイプはサポートしていません。

22.2 DMA転送タイプについて

以下の3種類の転送タイプをサポートしています。
各々の転送タイプと周辺回路及びメモリには、各々以下の動作条件があります。

表 22-2 DMA 転送タイプ

	DMA 転送方向	DMA 要求元	受付可能な DMA 要求 注 2)	その他条件
1	メモリ ⇒ 周辺回路	周辺回路 (転送先)	バースト要求	1word の転送要求の場合、DMAC のバーストサイズを 1 に設定してください
2	周辺回路 ⇒ メモリ	周辺回路 (転送元)	バースト要求/ シングル要求 注 1)	データの総転送サイズが、バーストサイズの整数倍ではない時、バースト要求と、シングル要求の両方を使用することができます。 DMA で設定したデータの総転送サイズが、バーストサイズ以上の場合は、シングル要求は無視され、バースト転送を実行します。 また、総転送サイズが、バーストサイズ未満になった場合には、シングル転送を実行します。
3	メモリ ⇒ メモリ	DMAC	-	DMA 要求は必要ありません。 DMA 回路を Enable するとデータ転送が開始します。 また、全て転送データが転送完了するか、DMA のチャンネルを Disable することで停止します。

注 1: 本マイコンにおける、シングル転送を要求する周辺回路: SSP

注 2: 受付可能な DMA 要求は、次ページ以降を参照してください。

22.3 ブロック図

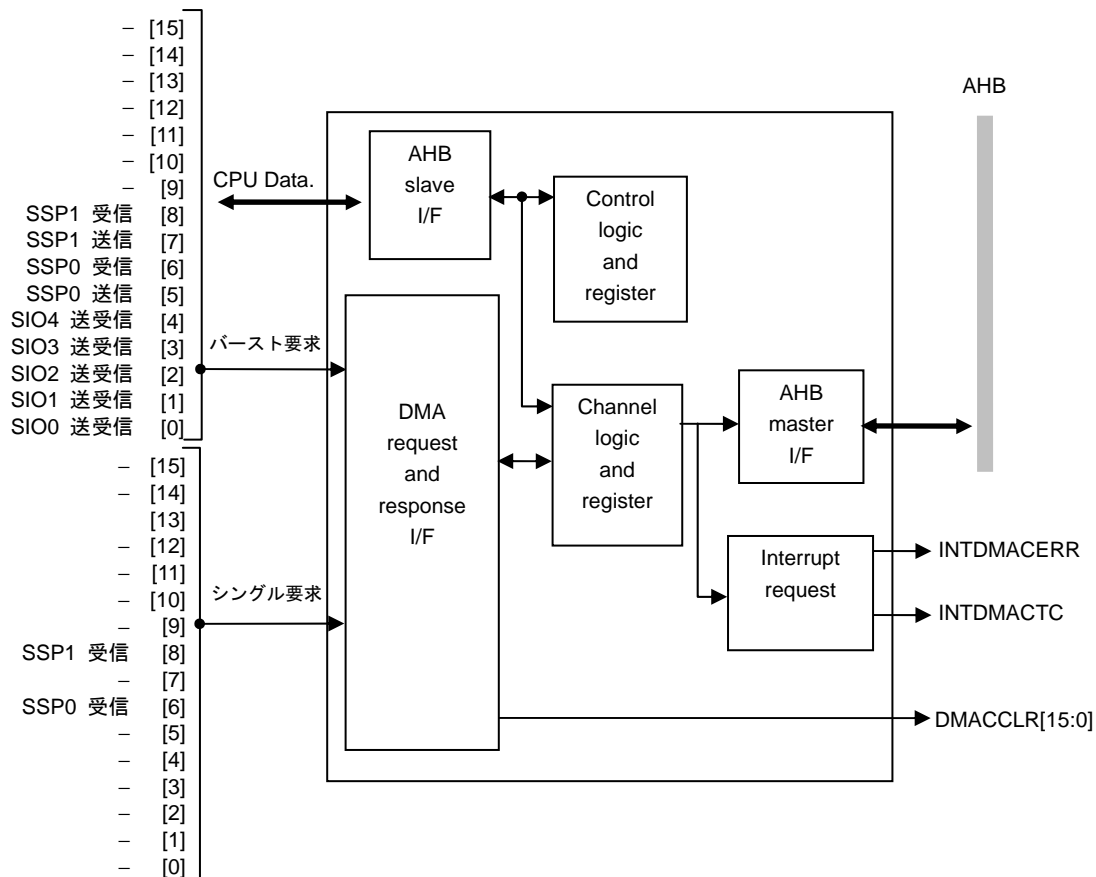


図 22-1 DMAC ブロック図

表 22-3 DMA リクエスト番号表

DMA リクエスト番号	対応するペリフェラル	
	バースト	シングル
0	SIO0 送受信	-
1	SIO1 送受信	-
2	SIO2 送受信(注 1)	-
3	SIO3 送受信(注 1)	-
4	SIO4 送受信	-
5	SSP0 送信	-
6	SSP0 受信	SSP0 受信
7	SSP1 送信(注 1)	-
8	SSP1 受信(注 1)	SSP1 受信(注 1)
9	-	-
10	-	-
11	-	-
12	-	-
13	-	-
14	-	-
15	-	-

(注1)TMPM382 にはこの要因はありません。

22.4 レジスタの説明

22.4.1 DMACレジスタ一覧

SFR のリストと機能を以下に示します。

表 22-4 DMAC レジスタ一覧表

BaseAddress = 0x4008_0000

レジスタ略称	Address (base+)	レジスタ名称
DMACIntStaus	0x0000	DMAC Interrupt Status Register
DMACIntTCStatus	0x0004	DMAC Interrupt Terminal Count Status Register
DMACIntTCClear	0x0008	DMAC Interrupt Terminal Count Clear Register
DMACIntErrorStatus	0x000C	DMAC Interrupt Error Status Register
DMACIntErrClr	0x0010	DMAC Interrupt Error Clear Register
DMACRawIntTCStatus	0x0014	DMAC Raw Interrupt Terminal Count Status Register
DMACRawIntErrorStatus	0x0018	DMAC Raw Error Interrupt Status Register
DMACEnbldChns	0x001C	DMAC Enabled Channel Register
DMACSoftBReq	0x0020	DMAC Software Burst Request Register
DMACSoftSReq	0x0024	DMAC Software Single Request Register
–	0x0028	Reserved
–	0x002C	Reserved
DMACConfiguration	0x0030	DMAC Configuration Register
–	0x0034	Reserved
DMACC0SrcAddr	0x0100	DMAC Channel0 Source Address Register
DMACC0DestAddr	0x0104	DMAC Channel0 Destination Address Register
DMACC0LLI	0x0108	DMAC Channel0 Linked List Item Register
DMACC0Control	0x010C	DMAC Channel0 Control Register
DMACC0Configuration	0x0110	DMAC Channel0 Configuration Register
DMACC1SrcAddr	0x0120	DMAC Channel1 Source Address Register
DMACC1DestAddr	0x0124	DMAC Channel1 Destination Address Register
DMACC1LLI	0x0128	DMAC Channel1 Linked List Item Register
DMACC1Control	0x012C	DMAC Channel1 Control Register
DMACC1Configuration	0x0130	DMAC Channel1 Configuration Register

(注) 上記レジスタはワード(32bit)アクセスのみとなります。

22.4.2 DMACIntStatus (DMAC Interrupt Status Register)

Address = (0x4008_0000) + 0x0000

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。
[1]	IntStatus1	R	0y0	DMAC チャンネル 1 の割り込み発生状態 0y1: 割り込み要求有り 0y0: 割り込み要求無し
[0]	IntStatus0	R	0y0	DMAC チャンネル 0 の割り込み発生状態 0y1: 割り込み要求有り 0y0: 割り込み要求無し

<IntStatus[1:0]>:

転送終了割り込み許可レジスタおよびエラー割り込み許可レジスタを経由した後の DMAC 割り込み発生状態。転送エラーか、カウンタ終了か、どちらでも割り込み要求が発生します。

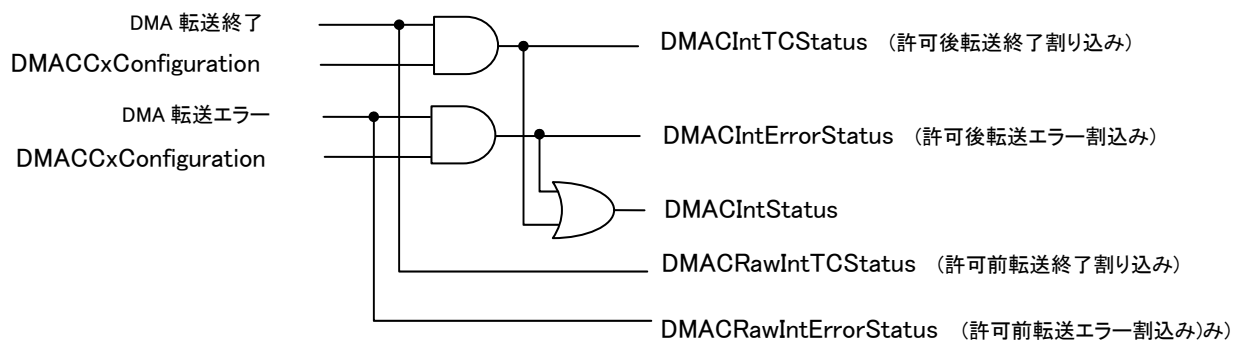


図 22-2 割り込み関連ブロック図

22.4.3 DMACIntTCStatus (DMAC Interrupt Terminal Count Status Register)

Address = (0x4008_0000) + 0x0004

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。
[1]	IntTCStatus1	R	0y0	DMAC チャンネル 1 の転送終了割り込み発生状態 0y1: 割り込み要求有り 0y0: 割り込み要求無し
[0]	IntTCStatus0	R	0y0	DMAC チャンネル 0 の転送終了割り込み発生状態 0y1: 割り込み要求有り 0y0: 割り込み要求無し

<IntTCStatus[1:0]>: 許可後の転送終了割り込み発生状態です。

22.4.4 DMACIntTCClear (DMAC Interrupt Terminal Count Clear Register)

Address = (0x4008_0000) + 0x0008

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。
[1]	IntTCClear1	W	0y0	DMAC チャンネル 1 の転送終了割込みクリア 0y1: クリア 0y0: 無効
[0]	IntTCClear0	W	0y0	DMAC チャンネル 0 の転送終了割込みクリア 0y1: クリア 0y0: 無効

<IntTCClear[1:0]>: "1"をライトしたビットに対応するチャンネルの DMACIntTCStatus レジスタビットがクリアされます。

22.4.5 DMACIntErrorStatus (DMAC Interrupt Error Status Register)

Address = (0x4008_0000) + 0x000C

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。
[1]	IntErrStatus1	R	0y0	DMAC チャンネル 1 のエラー割込み発生状態 0y1: 割込み要求有り 0y0: 割込み要求無し
[0]	IntErrStatus0	R	0y0	DMAC チャンネル 0 のエラー割込み発生状態 0y1: 割込み要求有り 0y0: 割込み要求無し

<IntErrStatus[1:0]>: 許可後のエラー割込み状態です。

22.4.6 DMACIntErrClr (DMAC Interrupt Error Clear Register)

Address = (0x4008_0000) + 0x0010

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。
[1]	IntErrClr1	W	0y0	DMAC チャンネル 1 のエラー割込みクリア 0y1: クリア 0y0: 無効
[0]	IntErrClr0	W	0y0	DMAC チャンネル 0 のエラー割込みクリア 0y1: クリア 0y0: 無効

<IntErrClr[1:0]>: "1"をライトしたビットに対応するチャンネルの DMACIntErrClr レジスタ
ビットがクリアされます。

22.4.7 DMACRawIntTCStatus (DMAC Raw Interrupt Terminal Count Status Register)

Address = (0x4008_0000) + 0x0014

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。。
[1]	RawIntTCS1	R	0y0	DMAC チャンネル 1 の許可前転送終了割り込み発生状態 0y1: 割り込み要求有り 0y0: 割り込み要求無し
[0]	RawIntTCS0	R	0y0	DMAC チャンネル 0 の許可前転送終了割り込み発生状態 0y1: 割り込み要求有り 0y0: 割り込み要求無し

22.4.8 DMACRawIntErrorStatus (DMAC Raw Error Interrupt Status Register)

Address = (0x4008_0000) + 0x0018

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。..
[1]	RawIntErrS1	R	0y0	DMAC チャンネル 1 の許可前エラー割込み発生状態 0y1: 割込み要求有り 0y0: 割込み要求無し
[0]	RawIntErrS0	R	0y0	DMAC チャンネル 0 の許可前エラー割込み発生状態 0y1: 割込み要求有り 0y0: 割込み要求無し

22.4.9 DMACEnbldChns (DMAC Enabled Channel Register)

Address = (0x4008_0000) + 0x001C

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。
[1]	EnabledCH1	R	0y0	DMA チャンネル 1 のイネーブル状態 0y1: イネーブル 0y0: ディゼーブル
[0]	EnabledCH0	R	0y0	DMA チャンネル 0 のイネーブル状態 0y1: イネーブル 0y0: ディゼーブル

<EnabledCH[1:0]>:

"0" : DMA 転送終了時、該当チャンネルのビットがクリアされています。

"1" : 該当チャンネル DMA が Enable 状態です。

22.4.10 DMACSoftBReq (DMAC Software Burst Request Register)

Address = (0x4008_0000) + 0x0020

Bit	Bit Symbol	Type	Reset Value	機能
[31:9]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。
[8]	SoftBReq8	R/W	0y0	ソフトウェアによる SSP1 受信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[7]	SoftBReq7	R/W	0y0	ソフトウェアによる SSP1 送信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[6]	SoftBReq6	R/W	0y0	ソフトウェアによる SSP0 受信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[5]	SoftBReq5	R/W	0y0	ソフトウェアによる SSP0 送信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[4]	SoftBReq4	R/W	0y0	ソフトウェアによる SIO4 送受信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[3]	SoftBReq3	R/W	0y0	ソフトウェアによる SIO3 送受信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[1]	SoftBReq1	R/W	0y0	ソフトウェアによる SIO2 送受信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[1]	SoftBReq1	R/W	0y0	ソフトウェアによる SIO1 送受信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)
[0]	SoftBReq0	R/W	0y0	ソフトウェアによる SIO0 送受信の DMA バースト要求の発生 0y1: DMA バースト要求の発生 0y0: 無効(WR)

<SoftBReq[8:0]>

ソフトウェアによる DMA バースト転送要求を設定します。ソフトウェアによる DMA バースト転送が終了すると SoftBReq[8:0]の該当ビットがクリアされます。

(注) 同時にソフトウェアとハードウェアペリフェラルによる DMA 要求を実施しないでください。

22.4.11 DMACSoftSReq (DMAC Software Single Request Register)

Address = (0x4008_0000) + 0x0024

Bit	Bit Symbol	Type	Reset Value	機能
[31:9]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。.
[8]	SoftSReq8	R/W	0y0	ソフトウェアによる SSP1 受信の DMA シングル要求の発生 0y1: DMA シングル要求の発生 0y0: 無効(WR)
[7]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。.
[6]	SoftSReq6	R/W	0y0	ソフトウェアによる SSP0 受信の DMA シングル要求の発生 0y1: DMA シングル要求の発生 0y0: 無効(WR)
[5:0]	Reserved	–	不定	リードすると不定値が読めます。”0”を書き込んでください。.

<SoftSReq[8]>、<SoftSReq[6]>:

ソフトウェアによる DMA シングル転送要求を設定します。ソフトウェアによる DMA シングル転送が終了すると SoftSReq[8]、または、<SoftSReq[6]>がクリアされます。

(注) 同時にソフトウェアとハードウェアペリフェラルによる DMA 要求を実施しないでください。

22.4.12 DMACConfiguration (DMAC Configuration Register)

Address = (0x4008_0000) + 0x0030

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。
[1]	M	R/W	0y0	DMA エンディアン区別: 0: リトルエンディアン 1: Reserved
[0]	E	R/W	0y0	DMA 回路制御: 0: 停止 1: 動作

<M>: DMA エンディアンコンフィギュレーション

<E>: DMA 回路を動作状態にしないと、DMA 回路のレジスタに書き込み、読み出しが出来ません。
DMA を動作させる場合には常に動作状態にしてください。

22.4.13 DMACC0SrcAddr (DMAC Channel0 Source Address Register)

Address = (0x4008_0000) + 0x0100

Bit	Bit Symbol	Type	Reset Value	機能
[31:0]	SrcAddr	R/W	0x00000000	DMA 転送元アドレスの設定

<SrcAddr>:

チャンネルを Enable するとレジスタに記述された内容が更新されますので、チャンネルを Enable する前に DMACCxSrcAddr を設定してください。

DMA が動作中の場合、DMACCxSrcAddr レジスタの値は逐次変化するため、リード値は固定ではありません。

転送中 DMACC0SrcAddr をアップデートしないでください、変更したい場合は必ず DMACCxConfiguration レジスタ設定でチャンネルを Disable した後、変更してください。

DMACC1SrcAddr (DMAC Channel 1 Source Address Register)

上記のレジスタ群について、構造および説明は DMACC0SrcAddr と同様のため、DMACC0SrcAddr の説明を参照してください。またレジスタ名およびアドレスは表 22-4 DMAC レジスタ一覧表を参照してください。

22.4.14 DMACC0DestAddr (DMAC Channel0 Destination Address Register)

$$\text{Address} = (0x4008_0000) + 0x0104$$

Bit	Bit Symbol	Type	Reset Value	機能
[31:0]	DestAddr	R/W	0x00000000	DMA 転送先アドレスの設定

<DestAddr>:

転送中 DMACC0DestAddr をアップデートしないでください、変更したい場合は必ず DMACCxConfiguration レジスタ設定で、チャンネルを Disable して、変更してください。

DMACC1DestAddr (DMAC Channel 1 Destination Address Register)

上記のレジスタ群について、構造および説明は DMACC0DestAddr と同様のため、DMACC0DestAddr の説明を参照してください。またレジスタ名およびアドレスは表 22-4 DMAC レジスタ一覧表を参照してください。

22.4.15 DMACC0LLI (DMAC Channel0 Linked List Item Register)

Address = (0x4008_0000) + 0x0108

Bit	Bit Symbol	Type	Reset Value	機能
[31:2]	LLI	R/W	0x00000000	次の転送情報の先頭アドレスを設定。
[1:0]	—	—	不定	リードすると不定値が読めます。"0"を書き込んでください。

<LLI> :

<LLI>の設定値は 0xFFFF_FFF0 以内に設定してください。

<LLI> = 0 時、現状 LLI は最後のチェーンであり、DMA 転送が終了後、DMA チャンネルは Disable になります。

※ 動作詳細は「3.7.5 特殊機能」を参照。

DMACC1LLI (DMAC Channel 0 Linked List Item Register)

上記のレジスタ群について、構造および説明はDMACC0LLIと同様のため、DMACC0LLIの説明を参照してください。またレジスタ名およびアドレスは表 22-4 DMACレジスタ一覧表を参照してください。

22.4.16 DMACC0Control (DMAC Channel0 Control Register)

Address = (0x4008_0000) + 0x010C

Bit	Bit Symbol	Type	Reset Value	機能
[31]	I	R/W	0y0	Scatter/gather 機能使用時の転送終了割り込み許可レジスタ 0y0 : Disable 0y1 : Enable
[30:28]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。.
[27]	DI	R/W	0y0	転送先アドレスインクリメント 0y0 : アドレス固定 0y1 : インクリメント
[26]	SI	R/W	0y0	転送元アドレスインクリメント 0y0 : アドレス固定 0y1 : インクリメント
[25:24]	–	–	不定	リードすると不定値が読めます。”0”を書き込んでください。.
[23:21]	Dwidth[2:0]	R/W	0y000	転送先ビット幅 0y000 : バイト(8 ビット) 0y001 : ハーフワード(16 ビット) 0y010 : ワード(32 ビット) other: Reserved
[20:18]	Swidh[2:0]	R/W	0y000	転送元ビット幅 0y000 : バイト(8 ビット) 0y001 : ハーフワード(16 ビット) 0y010 : ワード(32 ビット) other: Reserved
[17:15]	DBSize[2:0]	R/W	0y000	転送先バーストサイズ: 0y000 : 1 ビート 0y001 : 4 ビート 0y010 : 8 ビート 0y011 : 16 ビート 0y100 : 32 ビート 0y101 : 64 ビート 0y110 : 128 ビート 0y111 : 256 ビート
[14:12]	SBSIZE[2:0]	R/W	0y000	転送元バーストサイズ: 0y000 : 1 ビート 0y001 : 4 ビート 0y010 : 8 ビート 0y011 : 16 ビート 0y100 : 32 ビート 0y101 : 64 ビート 0y110 : 128 ビート 0y111 : 256 ビート
[11:0]	TransferSize	R/W	0x000	総転送回数の設定

<I>: Scatter/gather 機能使用時の転送終了割込み許可レジスタ

<DI>: 転送先のアドレスをインクリメントする。

<SI>: 転送元のアドレスをインクリメントする

<Dwidth[2:0]>: 転送先ビット幅

<Swidth[2:0]>: 転送元ビット幅

転送サイズは転送先ビット幅の整数倍になるように、転送先のビット幅を設定してください。

<DBSize[2:0]>: 転送先バーストサイズ

(注) DBsize で設定するバーストサイズは AHB バスの HBURST とは関係ありません。

<SBSIZE[2:0]>: 転送元バーストサイズ

(注) SBSIZE で設定するバーストサイズは AHB バスの HBURST とは関係ありません。

<TransferSize> : 総転送回数の設定

DMAC が Flow コントローラ時、総転送回数を設定。

この値は DMAC 転送を実施に伴い、“0”までにデクリメントします。リードすると未転送回数が読み出されます。

総転送回数は、転送元ビット幅の単位となる。

- ex: Swidth=8bit の場合、転送回数は byte 単位
- ex: Swidth=16bit の場合、転送回数は half word 単位
- ex: Swidth=32bit の場合、転送回数は word 単位

(注) 転送元ビット幅が転送先ビット幅よりも小さい場合は、総転送回数を設定する場合に注意が必要です。
以下の計算式を満たすように設定してください。

- $$\text{転送元ビット幅} \times \text{総転送回数} = \text{転送先ビット幅} \times N$$

N: 整数

- DMACC1Control (DMAC Channel 1 Control Register)

上記のレジスタ群について、構造および説明は DMACC0Control と同様のため、DMACC0Control の説明を参照してください。またレジスタ名およびアドレスは 表 22-4 DMAC レジスタ一覧表を参照してください。

22.4.17 DMACC0Configuration (DMAC Channel0 Configuration Register)

Address = (0x4008_0000) + 0x0110

Bit	Bit Symbol	Type	Reset Value	機能										
[31:19]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。..										
[18]	Halt	R/W	0y0	0y0 : DMA 要求 受付 0y1 : DMA 要求 無視										
[17]	Active	R	0y0	0y0 : FIFO 内にデータ無 0y1 : FIFO 内にデータ有										
[16]	Lock	R/W	0y0	0y0 : ロック転送 禁止 0y1 : ロック転送 許可										
[15]	ITC	R/W	0y0	転送終了割り込み許可レジスタ 0y0 : 割り込み禁止 0y1 : 割り込み許可										
[14]	IE	R/W	0y0	エラー割り込み許可レジスタ 0y0 : 割り込み禁止 0y1 : 割り込み許可										
[13:11]	FlowCntrl	R/W	0y000	<table border="1"> <thead> <tr> <th>FlowCntrl 設定値</th> <th>転送方式</th> </tr> </thead> <tbody> <tr> <td>0y000</td> <td>Memory to Memory</td> </tr> <tr> <td>0y001</td> <td>Memory to Peripheral</td> </tr> <tr> <td>0y010</td> <td>Peripheral to Memory</td> </tr> <tr> <td>0y011</td> <td>Reserved</td> </tr> </tbody> </table> 0y100~0y111: Reserved	FlowCntrl 設定値	転送方式	0y000	Memory to Memory	0y001	Memory to Peripheral	0y010	Peripheral to Memory	0y011	Reserved
FlowCntrl 設定値	転送方式													
0y000	Memory to Memory													
0y001	Memory to Peripheral													
0y010	Peripheral to Memory													
0y011	Reserved													
[10]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。..										
[9:6]	DestPeripheral	R/W	0y000	転送先ペリフェラル (注 1) 0y000~0y1111										
[5]	–	–	不定	リードすると不定値が読めます。"0"を書き込んでください。..										
[4:1]	SrcPeripheral	R/W	0y000	転送元ペリフェラル (注 1) 0y000~0y1111										
[0]	E	R/W	0y0	チャンネルイネーブル 0y0 : Disable 0y1 : Enable										

(注) 表 22-3 DMAリクエスト番号表 を参照してください。

< Halt > :DMA 要求受付制御

< Active > :チャンネル FIFO 内のデータの有無

< Lock > :ロック転送設定(不分割転送)。

ロック転送を許可するとバスを解放せずに指定バースト数を連続転送します。詳細な動作は、「3.7.5 特殊機能」をご参照ください。

< ITC > :転送終了割込み許可

< IE > :エラー割込み許可

< FlowCntrl > :転送方式設定ビット

0y000: Memory to Memory
0y001: Memory to Peripheral
0y010: Peripheral to Memory
0y011: Reserved
0y100~0y111: Reserved

(注) Memory to Memory を選択した場合、DMA 起動のハードウェアスタートはサポートしていません。<E>= 1 をライトすることで転送を開始します。

< DestPeripheral > :転送先ペリフェラル設定

DMA リクエストのペリフェラル番号、2 進数で表現。
転送先が Memory の場合はこの設定は無視されます。

< SrcPeripheral > :転送元ペリフェラル設定

DMA リクエストのペリフェラル番号、2 進数で表現。
転送元が Memory の場合はこの設定は無視されます。

< E > :チャンネルイネーブル

このビットでチャンネルを Enable/Disable できます。転送中で Disable を実行するとチャンネル FIFO のデータが消失してしまいますので、再スタートする場合はチャンネルをすべて初期化して、スタートしてください。

もし、一時的に停止したい場合は、<HALT>ビットで DMA 要求を停止して、<Active>ビットを“0”になるまでポーリングした後、<E>ビットでチャンネルを Disable してください。

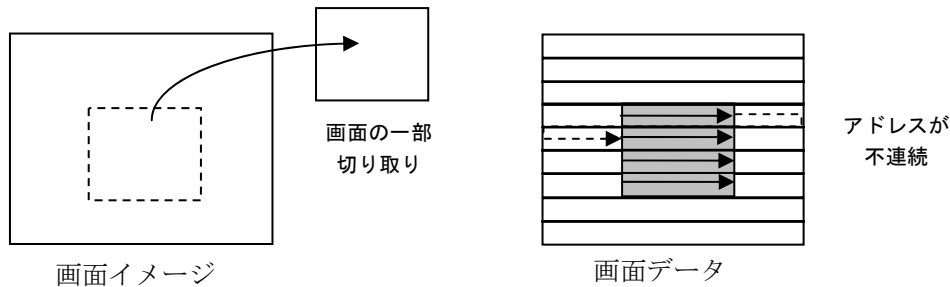
- DMACC1Configuration (DMAC Channel 1 Configuration Register)

上記のレジスタ群について、構造および説明は DMACC0Configuration と同様のため、DMACC0Configuration の説明を参照してください。またレジスタ名およびアドレスは 表 22-4 DMAC レジスタ一覧表を参照してください。

22.5 特殊機能

22.5.1 Scatter/gather機能

画像データの一部を切り取ってデータを転送するような場合、画像データはすべて連続データとしては扱えず、特定の規則に従ってアドレスが大きく変化します。そのため、常に連続のアドレスでしか転送出来ない DMA では、アドレスが変化する箇所、その都度再設定が必要になります。



Scatter/gather 機能とは、あらかじめ設定された"Linked list"を通じて、CPU がその動作の制御を行う必要なく、DMA の各種設定(転送元アドレス、ディストネーションアドレス、転送回数、転送バス幅)を、指定された DMA 回数を終了毎に再ロードして、連続動作することが出来る機能です。

DMACCxLLI レジスタに"1"をセットすることで動作の許可/停止を制御します。

Linked List で設定出来る項目は、以下の 4word で構成されています。

1. DMACCxSrcAddr
2. DMACCxDestAddr
3. DMACCxLLI
4. DMACCxControl

割り込み動作との併用も可能です。

DMACCxControl レジスタのカウント終了割り込みイネーブルビットに依存し、各々の LLI 動作の終了時に発生させることが出来ます。このビットを利用することで、LLI を使った転送途中でも、条件を追加し分岐処理などの動作が可能です。割り込みをクリアするためには、DMACIntTCClear レジスタの対応 bit を制御します。

22.5.2 Liked list動作

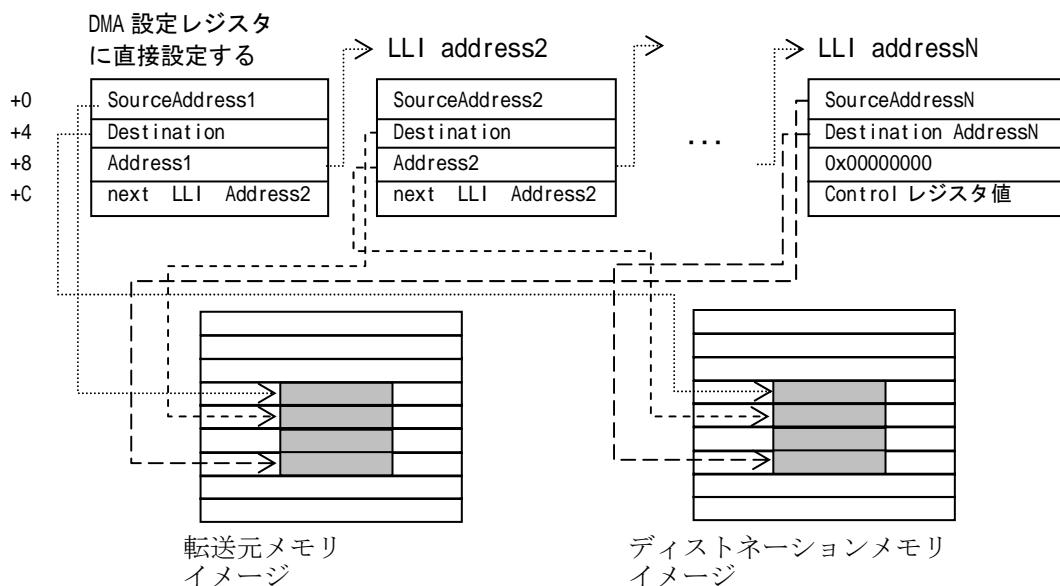
Scatter/gather 機能を動作させるには、まず 一連の Linked List を作成し、転送元とディストネーションデータエリアを定義する必要があります。

各々の設定を LLI(LinkedList)と呼びます。

LLI は、1 ブロック分のデータ転送を制御しています。1 回の LLI は通常の DMA 設定を示し、連続データの転送の制御を行っています。1 回の、DMA 転送が終了するたびに、次の LLI 設定をロードし、DMA 動作の継続(Daisy Chain)をすることが出来ます。

以下に、設定例を示します。

1. 一番最初の DMA 転送設定は、DMA のレジスタに直接設定します
2. 二番目の DMA 転送以降は、“next LLI AddressX” に設定されたメモリのアドレスに書き込みます。
3. N 番目の DMA 転送で終了させる場合は、“next LLI AddressX”を 0x00000000 と設定する



(例) 左図の四角で囲まれたエリアを転送する場合の設定例。

	0x00200	0x00E00	
0x0A000			
0x0B000			
0x0C000			

DMACCxSrcAddr: 0x0A200
DMACCxDestAddr: Destination アドレス 1
DMACCxLLI : 0x200000
DMACCxControl : バースト転送回数,転送回数などを設定

23 Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

23.1 フラッシュメモリ

23.1.1 特長

1) メモリ容量

TMPM380/M382 はフラッシュメモリを搭載しています。本製品のメモリ容量と構成は下記の表のとおりです。

各ブロック個別に書き込みを行うことができます。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。

2) 書き込み/消去時間

書き込みはページ単位で行います。1 ページは 64 ワードです。

1 ページあたりの書き込み時間は、ワード数にかかわらず 1.25ms(Typ.)です。

消去時間は 1 ブロックあたり 0.1s(Typ.)です。

1 チップあたりの書き込み時間、消去時間は以下のようになります。

製品	メモリ容量	ブロック構成				ワード数	書き込み時間	一括消去時間
		128KB	64KB	32KB	16KB			
TMPM380FY	256KB	0	3	1	2	64	1.28s	0.4s
TMPM380/382FW	128KB	0	1	1	2	64	1.28s	0.4s
TMPM382FS	64KB	0	0	1	2	64	1.28s	0.4s

(注) 上記の値は理論時間を表しており、データ転送時間などは含まれていません。

チップ当たりの時間はユーザーの書き替え方法により異なります。

3) プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードがあります。

・オンボードプログラミングモード

3-1) ユーザーブートモード

ユーザー独自の書き替え方法をサポート

3-2) シングルブートモード

シリアル転送(当社オリジナル)での書き替え方法をサポート

書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本デバイスへの移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、セキュリティ機能を追加しています。一方、書き替え禁止を設定するライト/消去プロテクトは、コマンド(ソフトウェア)による対応のみで 12 V 電圧を印加して設定する方式(ハードウェア)には対応できません。プロテクト、セキュリティ機能の詳細については、20. プロテクト/セキュリティ機能の章を参照して下さい。

JEDEC 準拠の機能	変更、追加、削除した機能
<ul style="list-style-type: none"> • 自動プログラム • 自動チップ消去 • 自動ブロック消去 • データポーリング/トグルビット 	<p><変更> ブロック単位でのライト/消去プロテクト (ソフトウェアプロテクトのみサポート)</p> <p><削除> 消去レジューム/サスペンド機能</p>

23.1.2 フラッシュ部ブロック図

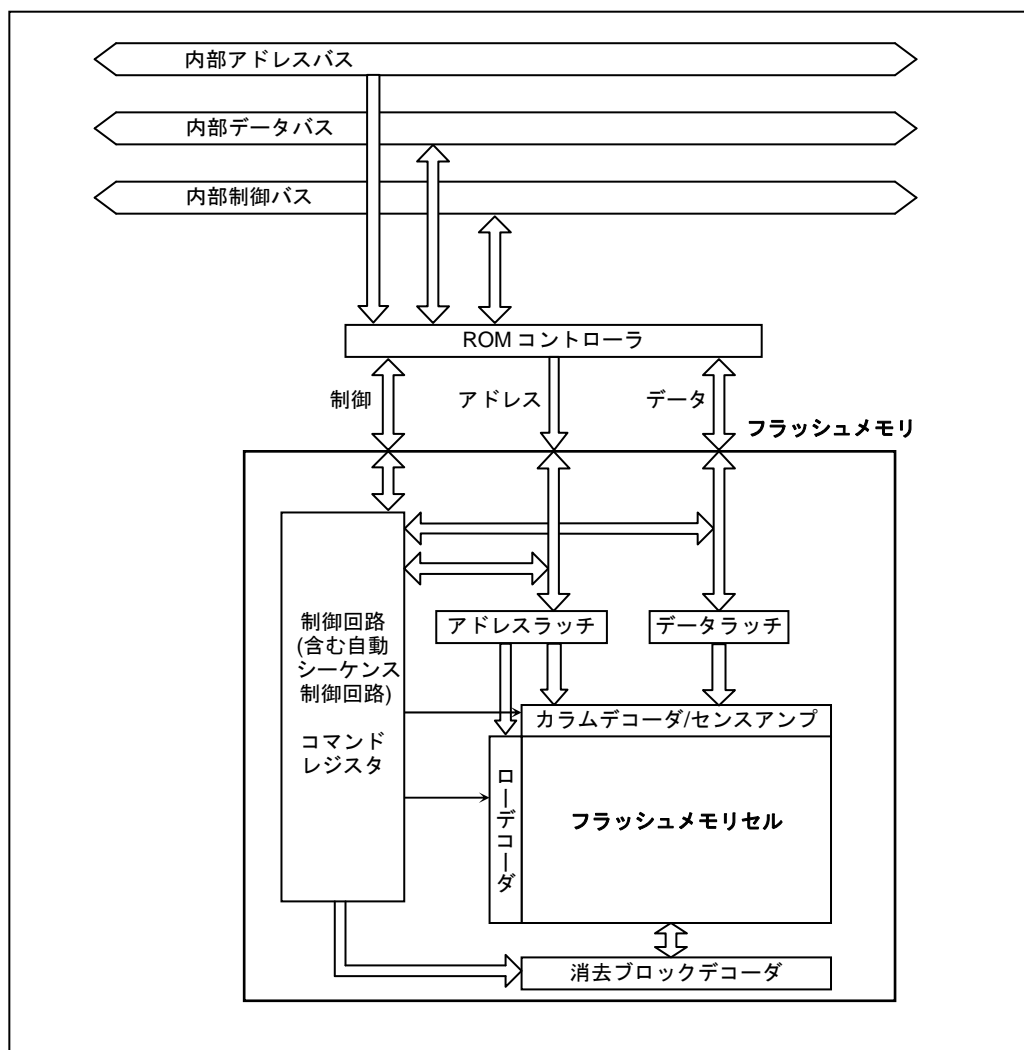


図 23-1 フラッシュ部ブロック図

23.2 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、3通りの動作状態（モード）が存在します。

表 23-1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート A0 が '1' のときノーマルモード、'0' のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード	リセット解除後、内蔵する Boot ROM (Mask ROM) から起動します。Boot ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表 23-1 でプログラムが可能なフラッシュメモリの動作モードはユーザーブートモード、シングルブートモードの 2 つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この 2 つをオンボードプログラミングモードと定義します。

シングルチップ、シングルブートの各動作モードは、リセット状態で $\overline{\text{BOOT}}$ (PL0)端子のレベルを外部で設定することにより決定されます。

CPUは状態設定後リセットを解除することにより各動作モードで動作を開始します。 $\overline{\text{BOOT}}$ (PL0)端子については、それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に動作モードの設定方法とモード遷移図を示します。

表 23-2 動作モード設定表

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$ (PL0)
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

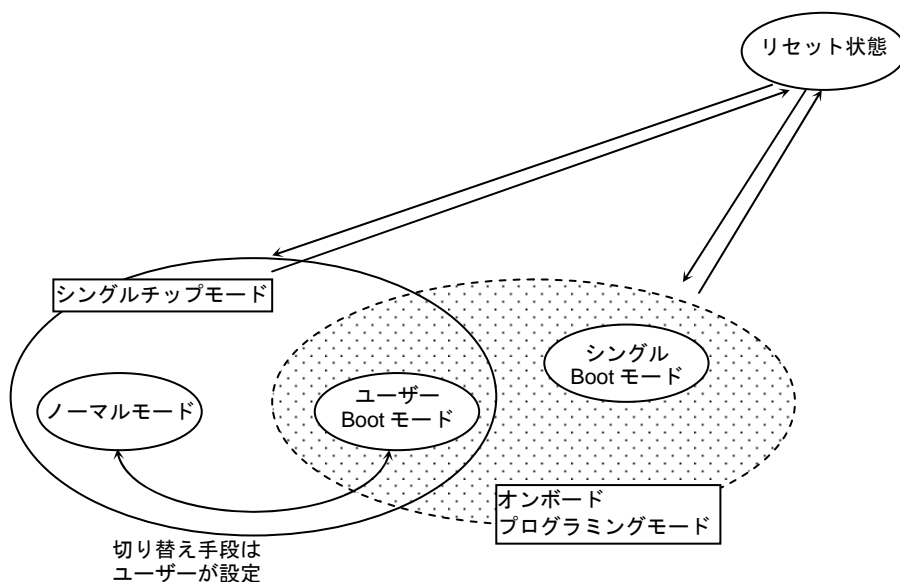


図 23-2 モード遷移図

23.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間 (40MHz 動作で 0.3 μs (リセット後は、クロックギア 1/1 モード)) $\overline{\text{RESET}}$ 入力を“0”にしてください。

- (注 1) 電源投入後は、電源電圧および発振が安定した状態から 300 μs 以上経過してからリセット解除させてください。
- (注 2) 内蔵フラッシュの自動プログラム/消去動作中にハードウェアリセットを行う場合は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2ms 程度の時間がかかります。

23.2.2 ユーザーブートモード (シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。したがって、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリエリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスクブルを含めたすべての割り込み発生を禁止してください。

書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の 2 ケースを例に、以下 (1-A)、(1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「23.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

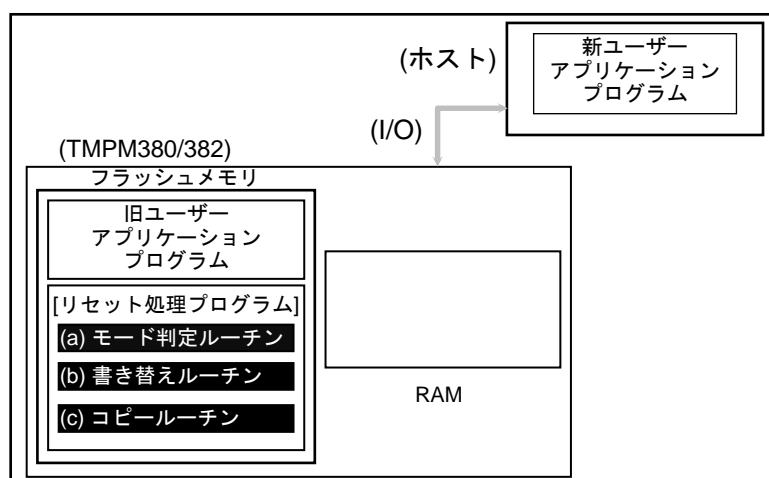
ユーザーブートモード

(1-A) 書き換えルーチンをフラッシュメモリに内蔵する場合の手順例

(Step-1)

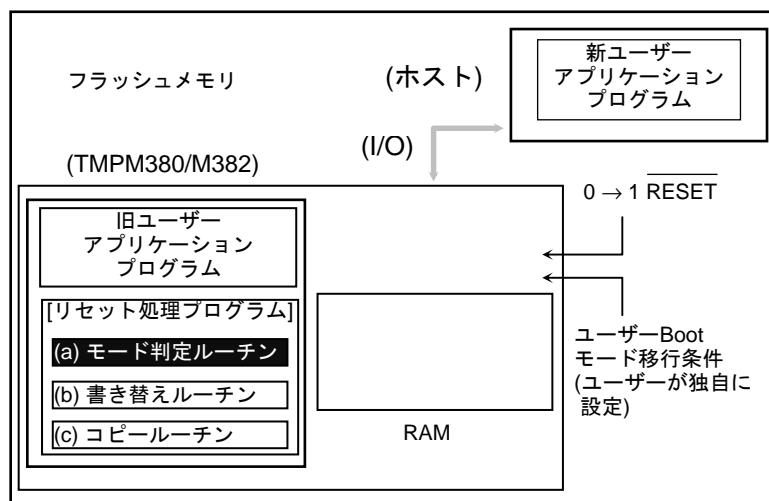
ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン: 書き換え動作に移るためのプログラム
- (b) フラッシュ書き換えルーチン: 書き換えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム
- (c) コピールーチン: 上記 (b) を内蔵 RAM または外部メモリにコピーするためのプログラム



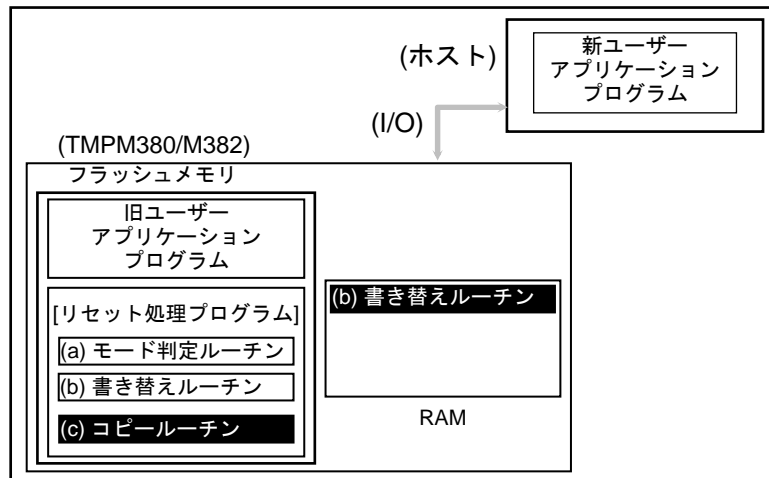
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き換えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



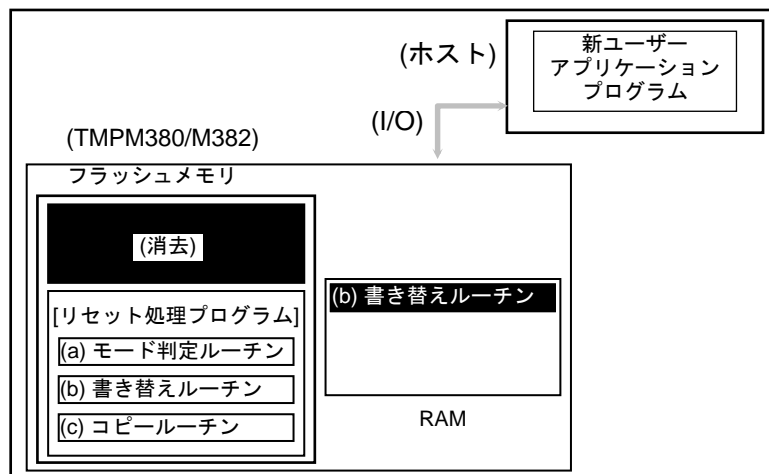
(Step-3)

ユーザーブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内部 RAM にコピーします。



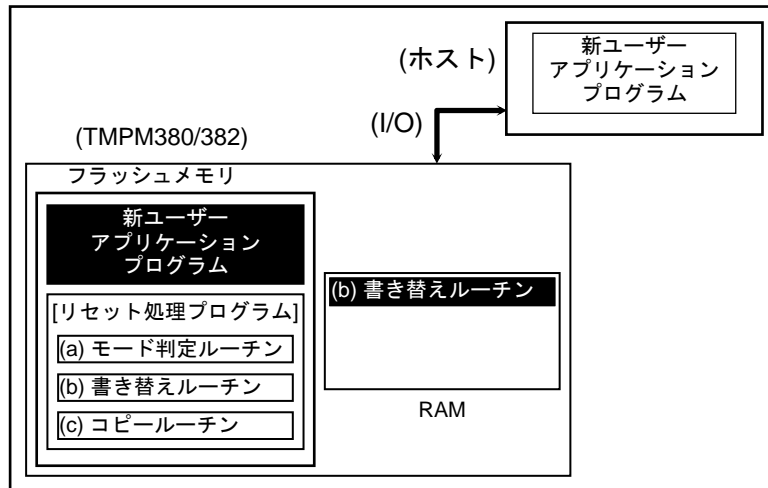
(Step-4)

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去（ブロック単位）を行います。

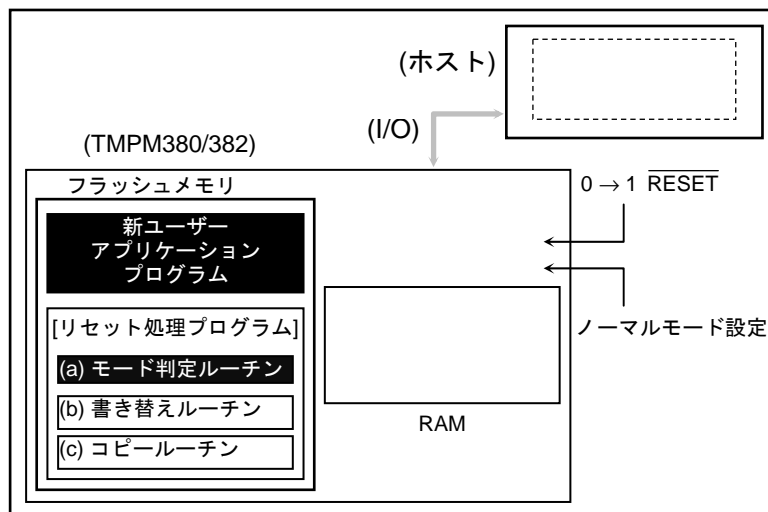


(Step-5)

さらに、RAM 上の書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

**(Step-6)**

$\overline{\text{RESET}}$ 入力端子を“0”にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



(1-B) 書き替えルーチンを外部から転送する手順例

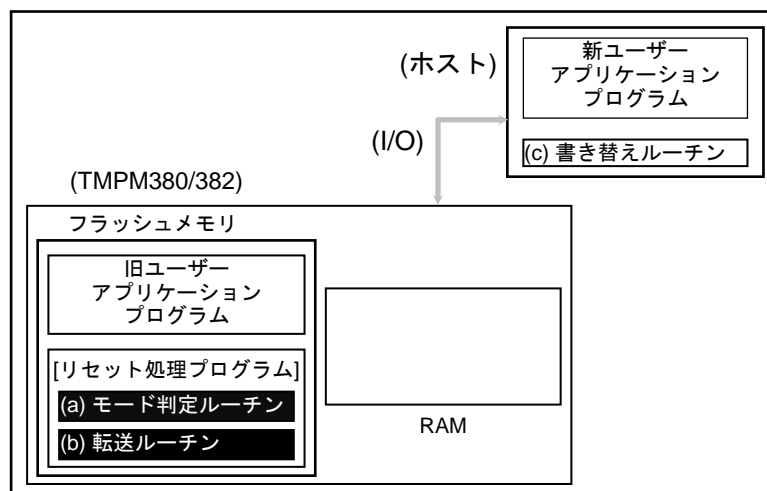
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン: 書き替え動作に移るためのプログラム
- (b) 転送ルーチン: 書き替えプログラムを外部から取り込むためのプログラム

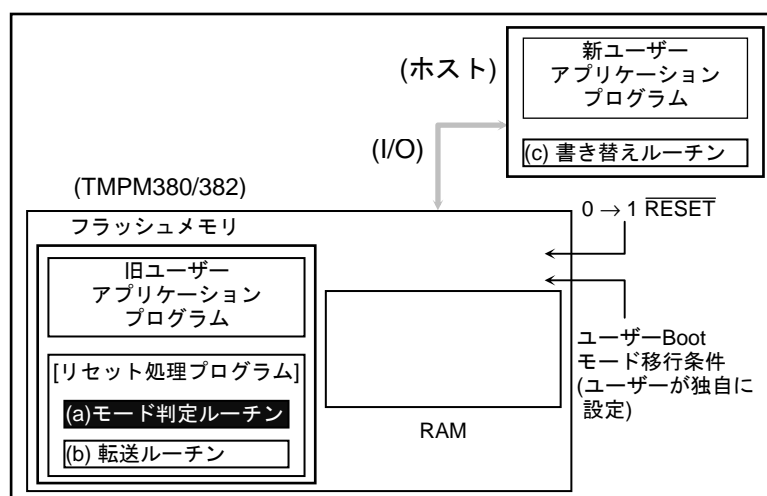
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン: 書き替えを行うためのプログラム



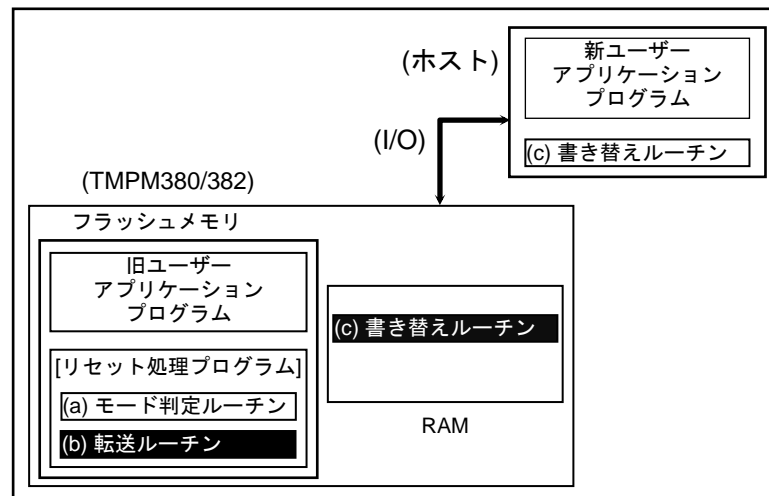
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)

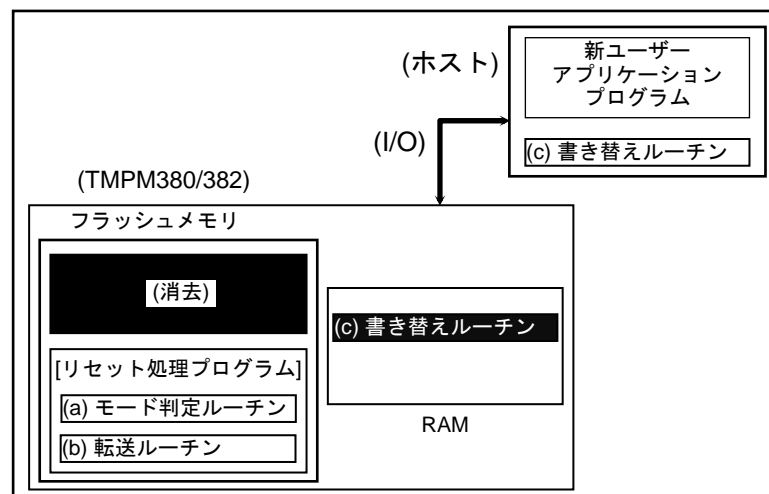


(Step-3)

ユーザーブートモードに移ると、(b) 転送ルーチンを使用して、転送元 (ホスト) より (c) 書き替えルーチンを内部 RAM にロードします。

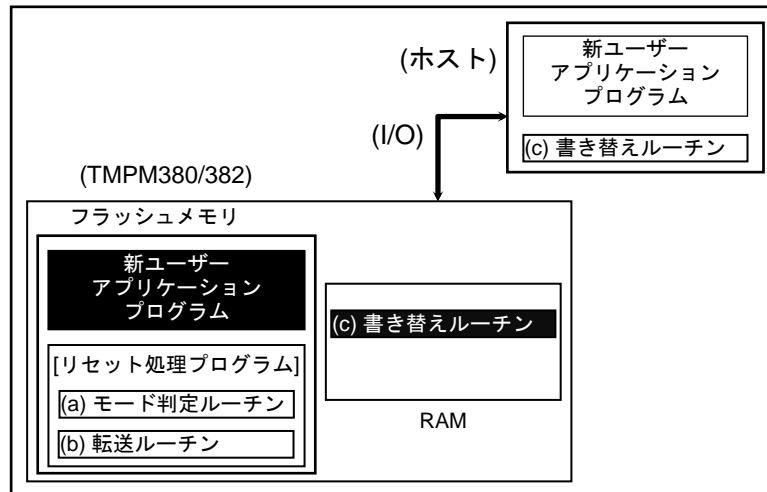
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去 (ブロック単位) を行います。



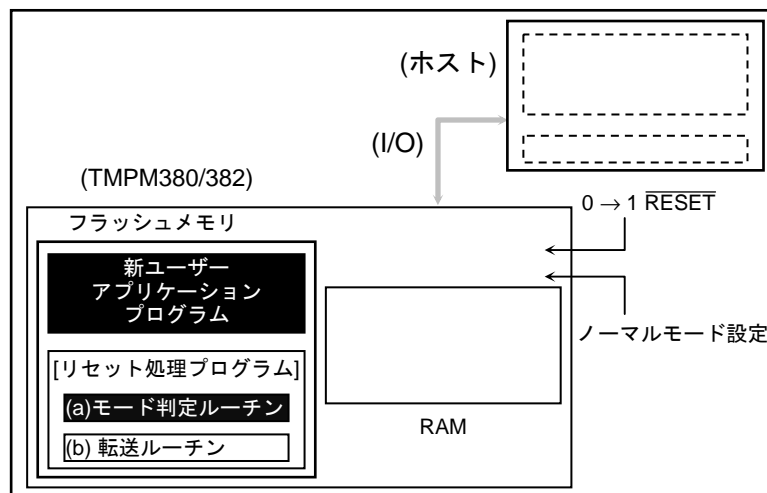
(Step-5)

さらに、RAM 上の (c) 書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(Step-6)

$\overline{\text{RESET}}$ 入力端子を“0”にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



23.2.3 シングルブートモード

内蔵ブート ROM (マスク ROM) を起動して、ブート ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵ブート ROM が割り込みベクタテーブルを含む領域にマッピングされ、ブート ROM プログラムが実行されます。また、フラッシュメモリはブート ROM 領域とは別のアドレスにマッピングされます。

シングルブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (SIO0) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、ブート ROM プログラムはノーマルモードで動作します。

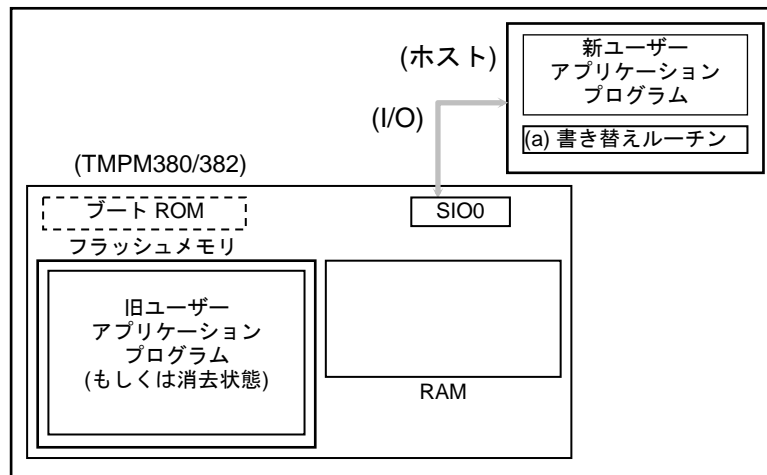
シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないように、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

シングルブートモード

(2-A)内蔵ブート ROM の書き替えアルゴリズムを利用する場合

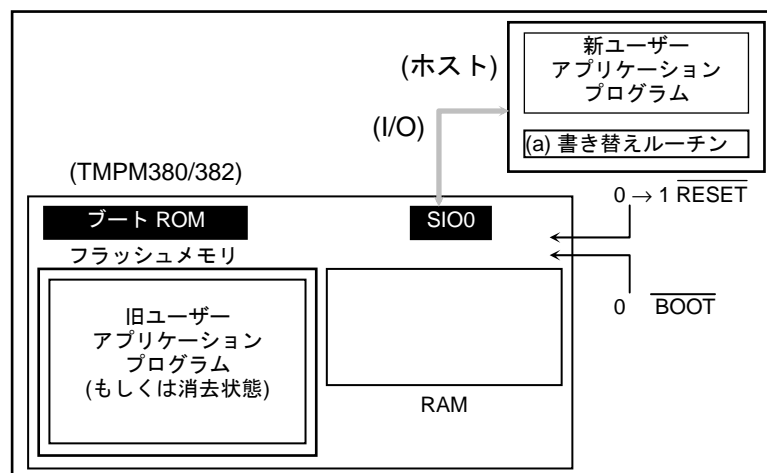
(Step-1)

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (SIO0) を経由して行いますので、ボード上で本デバイスの SIO (SIO0) と外部ホストを接続します。書き替えを行うための (a) 書き替えルーチンはホスト上に用意します。



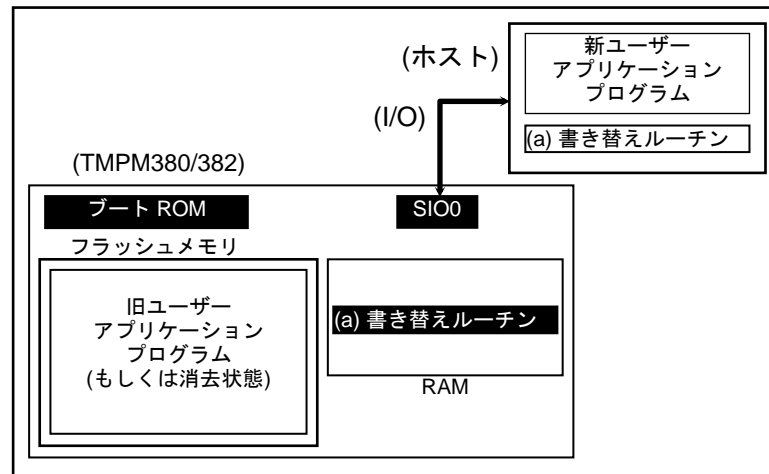
(Step-2)

ブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元 (ホスト) より (a) 書き替えルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ(0xFF)をパスワードとして照合を行います。)

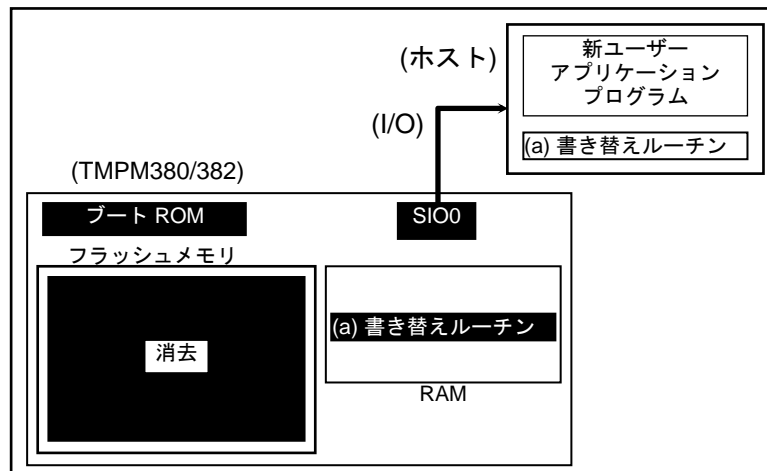


(Step-3)

パスワードの照合が終了すると、転送元 (ホスト) から (a) 書き替えルーチンを転送します。ブート ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の範囲に格納してください。

**(Step-4)**

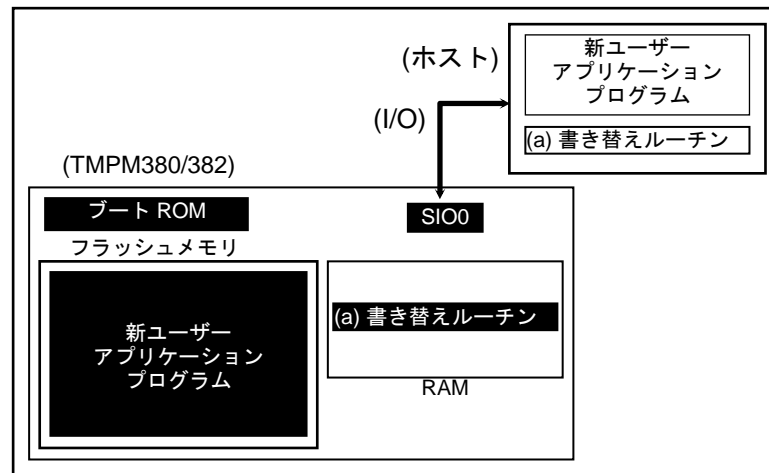
RAM 上の (a) 書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



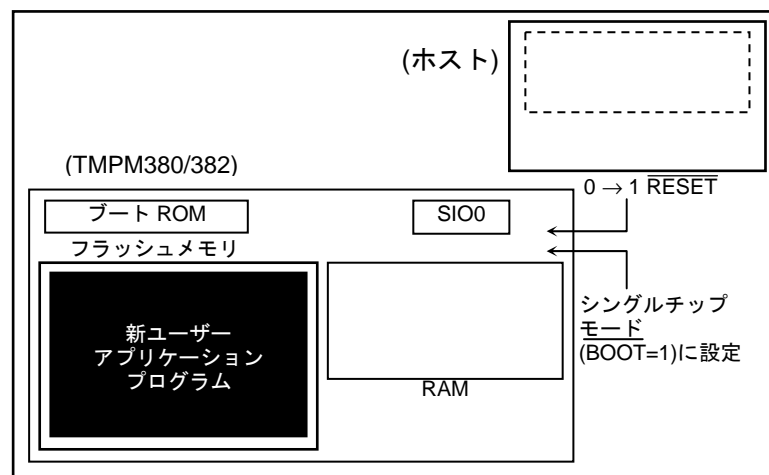
(Step-5)

さらに、RAM 上の (a) 書き替えルーチンを実行して、転送元 (ホスト) より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。

**(Step-6)**

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード (ノーマルモード) 起動し、新しいユーザーアプリケーションプログラムを実行します。



(1)モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$$\overline{\text{BOOT}}(\text{PL0}) = 0$$

$$\overline{\text{RESET}} = 0 \rightarrow 1$$

$\overline{\text{RESET}}$ 入力端子を“0”の状態にして、 $\overline{\text{BOOT}}(\text{PL0})$ 端子をあらかじめ上記条件に設定します。その後 $\overline{\text{RESET}}$ 解除を行うとシングルブートモードで起動します。

(2) メモリマップ

図 23-3にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは 0x3F80_0000 番地からマッピングされます。また、0x0000_0000 番地から 0x0000_0FFF番地にはブートROM (マスクROM) がマッピングされます。

製品ごとの内蔵フラッシュメモリと RAM のマッピングは以下のとおりです。

製品	Flash サイズ	RAM サイズ	Flash アドレス (シングルチップ / シングルブートモード)	RAM アドレス
TMPM380FY	256KB	16KB	0x0000_0000 - 0x0003_FFFF 0x3F80_0000 - 0x3F83_FFFF	0x2000_0000 - 0x2000_3FFF
TMPM380/382FW	128KB	12KB	0x0000_0000 - 0x0001_FFFF 0x3F80_0000 - 0x3F81_FFFF	0x2000_0000 - 0x2000_2FFF
TMPM382FS	64KB	8KB	0x0000_0000 - 0x0000_FFFF 0x3F80_0000 - 0x3F80_FFFF	0x2000_0000 - 0x2000_1FFF

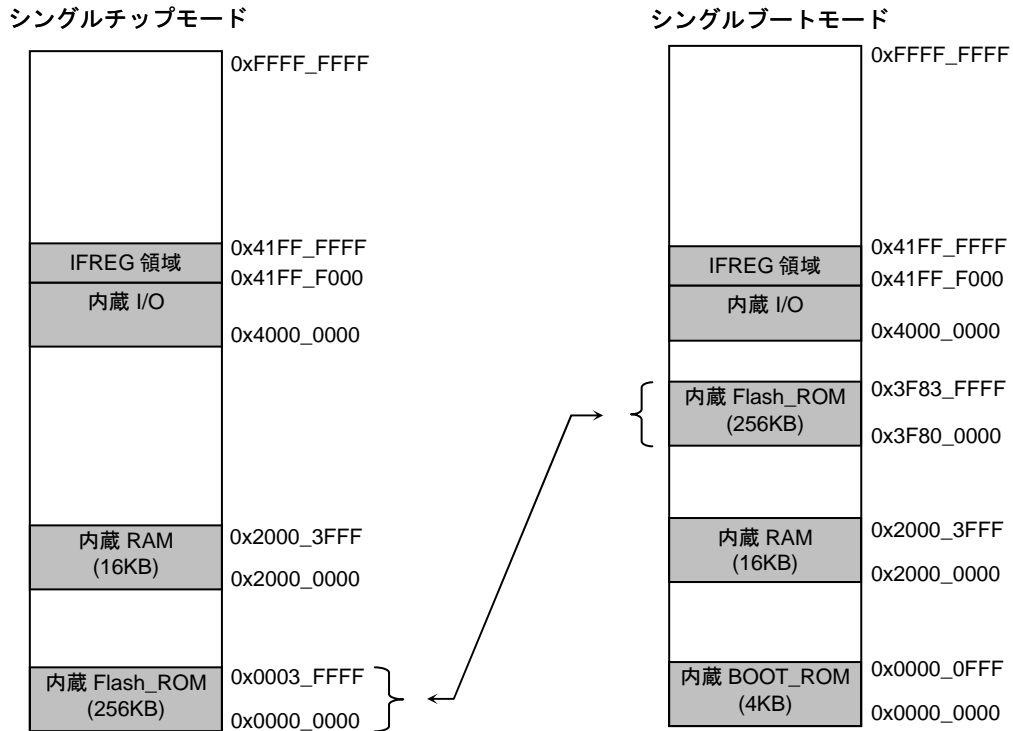


図 23-3 メモリマップの比較(TMPM380FY)

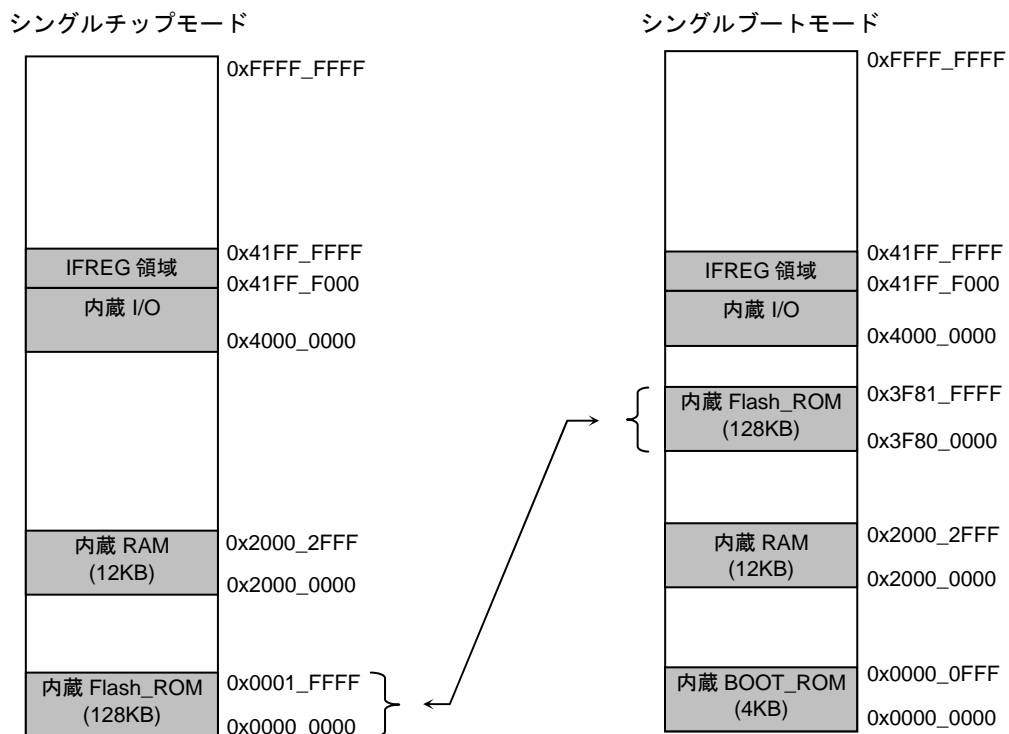


図 23-4 メモリマップの比較(TMPM380/M382FW)

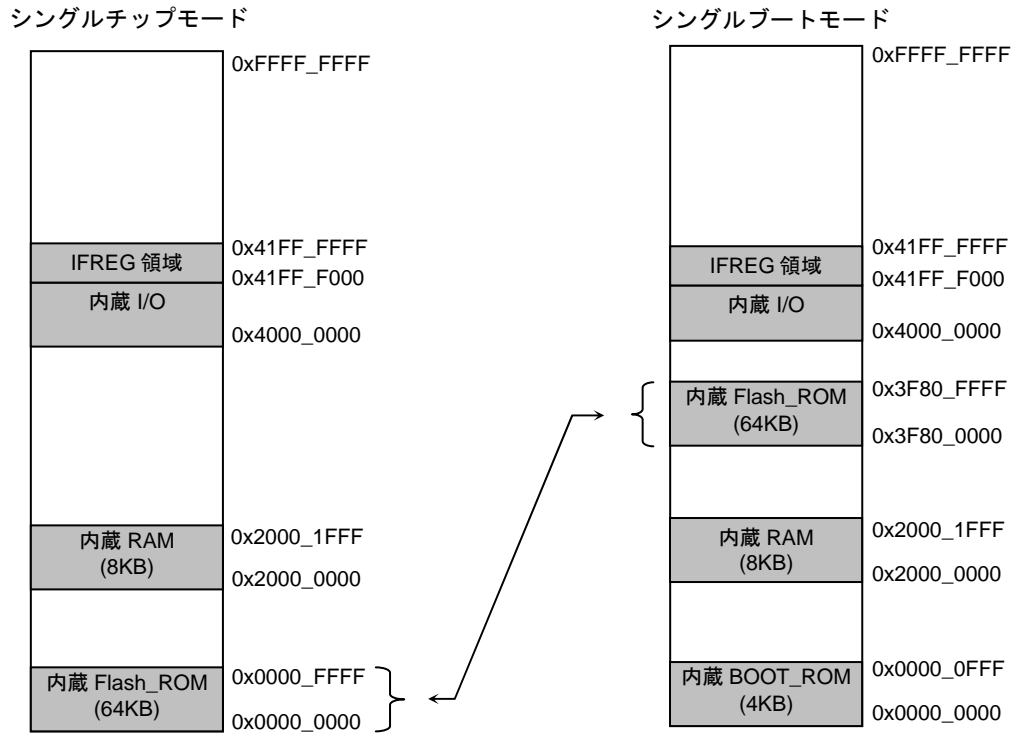


図 23-5 メモリマップの比較(TMPM382FS)

(3) インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART (非同期通信) と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

通信チャンネル	: SIO チャンネル 0
シリアル転送モード	: UART (非同期通信) モード、半二重通信、LSB ファスト
データ長	: 8 ビット
パリティビット	: なし
STOP ビット	: 1 ビット
ボーレート	: 任意のボーレート
- I/O インタフェースモードで通信する場合

通信チャンネル	: SIO チャンネル 0
シリアル転送モード	: I/O インタフェースモード、全二重通信、LSB ファスト
同期信号 (SCLK0)	: 入力モード
ハンドシェイク端子	: 出力モード PE4
ボーレート	: 任意のボーレート

表 23-3 端子の接続

端 子		インタフェース	
		UART	I/O インタフェースモード
電源系 端子	DVDD5	○	○
	REGVDD5	○	○
	AVDD	○	○
	VOOUT3	○	○
	DVSS	○	○
	AVSS	○	○
	CVSS	○	○
モード設定端子	$\overline{\text{BOOT}}$ (PL0)	○	○
リセット端子	$\overline{\text{RESET}}$	○	○
通信端子	TXD0(PE0)	○	○
	RXD0(PE1)	○	○
	SCLK0(PE2)	×	○ (入力モード)
	PE4	×	○ (出力モード)

(4) データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 23-4、表 23-6 と表 23-7 に示します。後述の「ブートプログラム動作説明」とあわせてお読みください。

表 23-4 動作コマンドデータ

動作コマンドデータ	動作モード
0x10	RAM 転送
0x20	Reserved
0x30	Reserved
0x40	フラッシュメモリチップ消去 及び プロテクトビット消去

(5) メモリの制約について

シングルブートモードでは、内蔵RAM、内蔵FlashROMに対して表 23-5のように制約が付きまます。

表 23-5 シングルブート時のメモリの制約

製品名	制約内容
内蔵 RAM	0x2000_0000~0x2000_03FF 番地は BOOT_ROM のワークエリアになります。 RAM 転送のプログラムは 0x2000_0400 から RAM の最終番地に格納して下さい。
内蔵 ROM	以下の番地はソフトなどの ID 情報や password の格納エリアとなりますので、なるべくプログラムエリアとしての使用はさけて下さい。 TMPM380FY : 0x3F83_FFF0 - 0x3F83_FFFF TMPM380/382FW : 0x3F83_FFF0 - 0x3F83_FFFF TMPM382FS : 0x3F83_FFF0 - 0x3F83_FFFF

表 23-6 シングルブートプログラムの転送フォーマット [RAM 転送の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 0x86 I/O インタフェースの場合 0x30	指定された ボーレート (注 1)	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 0x86 (ボーレートの設定が不可能と判断した場 合は動作停止) I/O インタフェースの場合 正常の場合 0x30
	3 バイト目	動作コマンドデータ (0x10)	-----	—
	4 バイト目	—		動作コマンドに対する ACK 応答 (注 2) 正常の場合 0x10 異常の場合 0xN1 通信異常の場合 0xN8
	5 バイト目 ~ 16 バイト目	PASS WORD データ (12 バイト) 0x3F83_FFF4~0x3F83_FFFF		—
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		—
	18 バイト目	—		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合 0xN0 異常の場合 0xN1 通信異常の場合 0xN8
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		—
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		—
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		—
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		—
	23 バイト目	RAM 格納バイト数 15 ~ 8		—
	24 バイト目	RAM 格納バイト数 7 ~ 0		—
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		—
	26 バイト目	—		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合 0xN0 異常の場合 0xN1 通信異常の場合 0xN8
	27 バイト目 ~ m バイト目	RAM 格納データ		—
	m + 1 バイト目	27 ~ m バイト目の CHECK SUM 値		—
m + 2 バイト目	—		CHECK SUM 値に対する ACK 応答 (注 2) 正常の場合 0xN0 異常の場合 0xN1 通信異常の場合 0xN8	
RAM	m + 3 バイト目	—	JUMP RAM 格納開始アドレス	

(注 1) I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

(注 2) 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。N は直前の動作コマンドデータの上位 4 ビット [7:4] になります。例えば、RAM 転送コマンドでのパスワードエラー発生時、ACK 応答は 0x11 となります。

(注 3) 19 バイト目 ~ 25 バイト目のデータは、RAM 上のアドレス 0x2000_0400 から RAM の最終番地の領域内に納まるようにプログラムしてください。

表 23-7 シングルブートプログラムの転送フォーマット
 [フラッシュメモリチップ消去 及び プロテクトビット消去の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1バイト目	シリアル動作モード & ボーレート設定 UART の場合 0x86 I/O インタフェースの場合 0x30	指定された ボーレート (注 1)	—
	2バイト目	—		シリアル動作モードに対する ACK 応答 正常 (設定可能) の場合 ・UART の場合 0x86 ・I/O インタフェースの場合 0x30 (ボーレートの設定が不可能と判断した 場合は動作停止)
	3バイト目	動作コマンドデータ (0x40)	—	—
	4バイト目	—		動作コマンドに対する ACK 応答 (注 2) 正常の場合 0x40 異常の場合 0xN1 通信異常の場合 0xN8
	5バイト目	消去イネーブルコマンドデータ (0x54)		—
	6バイト目	—		動作コマンドに対する ACK 応答 (注 2) 正常の場合 0x54 異常の場合 0xN1 通信異常の場合 0xN8
	7バイト目	—		消去コマンドに対する ACK 応答 正常の場合 0x4F 異常の場合 0x4C
	8バイト目	(次の動作コマンドデータ待ち)		—

(注 1) I/O インタフェースモードの場合、1バイト目と2バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

(注 2) 異常応答後は、動作コマンド (3バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。N は直前の動作コマンドデータの上位 4 ビット [7:4] になります。例えば、フラッシュメモリチップ消去及びプロテクトビット消去コマンドでのパスワードエラー発生時、ACK 応答は 0x41 となります。

(6) ブートプログラム 動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、1) RAM 転送コマンド、2) フラッシュメモリチップ消去コマンドに記載してありますので、参照してください。

以下、特にことわりのない限りアドレスは仮想アドレスで表記します。

1. RAM転送コマンド

RAM転送は、コントローラから送られてくるデータを内蔵RAMへ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域(0x2000_0000~0x2000_03FF)を除く、0x2000_0400以降を使用可能です。実行開始アドレスは、RAM格納開始アドレスになります。

このRAM転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、23.3章で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

2. フラッシュメモリチップ消去 及び プロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリを消去します。ライト/消去プロテクト及び、セキュリティ状態にかかわらず、メモリセルの全てのブロックを消去し、全てのブロックのライト/消去プロテクトを消去します。コマンド終了後、SECBIT レジスタの<SECBIT>ビットは”1”になります。このコマンドは、パスワードを忘れた場合のブートプログラムの操作を回復する機能も兼用しているため、パスワード比較は行っていません。

1) RAM転送コマンド (表 23-6参照)

- 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで **UART** と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (**SC0MOD0<RXE> = 0**) にしています。

- **UART** で通信を行いたい場合
コントローラからターゲットボードへは、**UART** の設定で、所望のボーレートでデータを **0x86** にして送信してください。シリアルの動作モードの判定で **UART** と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。
- **I/O インタフェース** で通信を行いたい場合
コントローラからターゲットボードへは、同期式の設定で、所望のボーレート ÷ 16 でデータを **0x30** にして送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目 (動作コマンドデータ) からにしてください。

I/O インタフェース の場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。したがって、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために **I/O インタフェース** の場合、ボーレートは所望のボーレート ÷ 16 で指定します。**I/O インタフェース** と判定した場合、**SCLK** 入力モードになります。コントローラは、**AC** タイミングを満足するボーレートで送信を行ってください。**I/O インタフェース** の場合、受信エラーフラグのチェックは行いません。したがって、**ACK** 応答データの通信異常 **ACK (bit 3) (0xN8)** はありません。

- 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する **ACK** 応答データになります。1 バイト目のデータが、**UART** と判定されボーレートの設定が可能な場合 **0x86** を、**I/O インタフェース** と判定された場合 **0x30** を送信します。

- **UART** と判定された場合
ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、**SC0BRCR** の値を書き替え、**0x86** を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間 (5 秒) を設けます。タイムアウト時間内に、データ (**0x86**) を正常受信できなければ、通信不能と判断してください。受信を許可 (**SC0MOD0<RXE> = 1**) するタイミングは、送信バッファにデータ (**0x86**) を書き込む前に行っています。
- **I/O インタフェース** と判定された場合
I/O インタフェース の設定になるように **SC0MOD0**、**SC0CR** の値を書き替え、**SC0BUF** に **0x30** を書き込み、**SCLK0** クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間 (数m秒) 後、**SCLK** クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが **0x30** なら、通信可能と判断してください。3 バイト目からは所望の

ポーレートで行ってください。受信を許可 (SC0MOD0<RXE>= 1) するタイミングは、送信バッファにデータ (0x30) を書き込む前に行っています。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ (0x10) になります。
4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対するACK応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常のACK応答データ (bit 3) 0xN8 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。なお、I/Oインタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表 23-4の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常ACK応答データ) します。この場合、0x10 をエコーバック送信してRAM転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーのACK応答データ (bit 0) 0xN1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ (12 バイト) になります。5 バイト目の受信データから順に、フラッシュメモリの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

製品	パスワード領域
TMPM380FY	0x3F83_FFF4 - 0x3F83_FFFF
TMPM380/382FW	
TMPM382FS	

6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x18 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、“1”になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 16 バイト目までの受信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ (bit0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ (bit 0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、0xFF 以外の同一データの場合。
- 5 バイト目 ~ 16 バイト目のパスワードデータの照合がすべて一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 0x10 を送信します。

8. 19 バイト目 ~ 22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。
9. 23 バイト目、24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。
10. 25 バイト目の受信データは、CHECK SUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
11. 26 バイト目の送信データは、19 バイト目 ~ 25 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x18 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので“1”になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19 バイト目 ~ 24 バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

- 19 バイト目 ~ 25 バイト目のデータは RAM 上のアドレス 0x2000_0400 から RAM の最終番地の領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x10 を送信します。

12. 27 バイト目 ~ m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。

13. $m + 1$ バイト目の受信データは、CHECK SUM データになります。27 バイト目 ~ m バイト目の送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
14. $m + 2$ バイト目の送信データは、27 バイト目 ~ $m + 1$ バイト目のデータに対する ACK 応答データ (CHECK SUM に対する ACK 応答) になります。最初に 27 バイト目 ~ $m + 1$ バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0x18 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので“1”になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、 $m + 1$ バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 ~ m バイト目までの受信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた値の下位 8 ビットが、0x00 かどうかをチェックしています。0x00 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 0x11 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 0x 10 を送信します。

15. $m + 2$ バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 0x10 を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

2) フラッシュメモリチップ消去 及び プロテクトビット消去コマンド(表 23-7 参照)

1. 1バイト目~2バイト目までの送受信データはRAM転送コマンドの場合と同一になります。

2. コントローラ → デバイス

3 バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリチップ消去コマンドデータ (0x40) になります。

3. デバイス → コントローラ

4バイト目の送信データは、3バイト目の動作コマンドデータに対する ACK 応答データになります。

最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0xN8 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは直前の動作コマンドデータの上位 4 ビットになります。

次に、3 バイト目の受信データが、表 23-4の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常ACK応答データ) します。この場合、0x40 をエコーバック送信します。該当しない場合は、動作コマンドエラーのACK応答データ (bit 0) 0xN1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは直前の動作コマンドデータの上位 4 ビットになります。

4. コントローラ → デバイス

5 バイト目の受信データは消去イネーブルコマンドデータ (0x54) になります。

5. デバイス → コントローラ

6 バイト目の送信データは、5 バイト目の消去イネーブルコマンドデータに対する ACK 応答データになります。

最初に、5 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 0xN8 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは直前の動作コマンドデータの上位 4 ビットになります。

次に、5 バイト目の受信データが、消去イネーブルコマンドデータに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、0x54 をエコーバック送信して、フラッシュメモリチップ消去処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) 0xN1 を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは直前の動作コマンドデータの上位 4 ビットになります。

6. デバイス → コントローラ

7 バイト目の送信データはが正常に終了したかどうかを示します。

正常に終了した時は、終了コード(0x4F)を返します。

消去 Error が起きた場合は、エラーコード(0x4C)を返します。

7. 9 バイト目の受信データは、次の動作コマンドデータになります。

5) ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 23-8から 表 23-11に各受信データに対するACK応答データを示します。ACK応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUMエラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/Oインタフェースの場合、受信エラーのチェックは行いません。

表 23-8 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。(注 1)
0x30	I/Oインタフェースでの通信が可能と判定した。

(注 1) : UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 23-9 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注 1)	動作コマンドデータに受信エラーが発生した。
0xN1 (注 1)	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x20	コマンドを受信した。
0x30	コマンドを受信した。
0x40	フラッシュメモリチップ消去コマンドと判定した。

(注 1) : 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビット[7:4]になります。例えば、RAM 転送コマンド後、未定義の動作コマンドを受信した場合、ACK 応答は 0x11 となります。

表 23-10 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 (注 1)	受信エラーが発生していた。
0xN1 (注 1)	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 (注 1)	CHECK SUM 値は正常な値と判定した。

(注 1) : 上位 4 ビットは動作コマンドデータの上位 4 ビット[7:4]になります。例えば、RAM 転送コマンドでのパスワードエラー発生時、ACK 応答は 0x11 となります。

表 23-11 フラッシュメモリチップ消去 及び プロテクトビット消去動作に対する ACK 対応データ

送信データ	送信データの意味
0x54	消去イネーブルコマンドと判定した。
0x4F	消去コマンド終了
0x4C	消去コマンドが不正に終了した。

6) シリアル動作モード判定

コントローラは、UARTで通信したい場合、所望のボーレートで1バイト目を0x86にし、I/Oインタフェースで通信したい場合、所望のボーレート÷16で1バイト目を0x30にして送信してください。図23-6にそれぞれの場合の波形を示します。

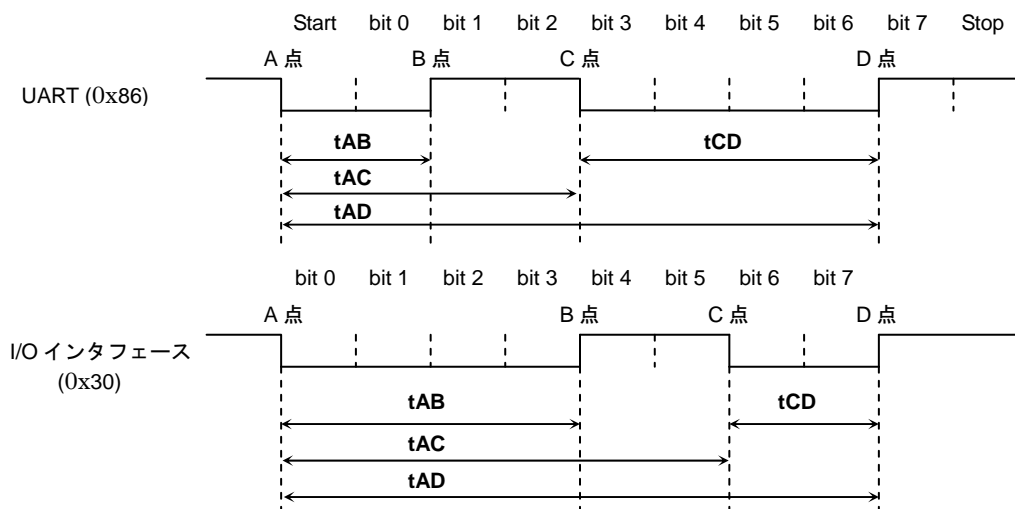


図 23-6 シリアル動作モード判定データ

ブートプログラムは、リセット解除後の1バイト目のシリアル動作モード判定データ(0x86、0x30)を受信禁止状態にして、図23-7に示すフローチャートで、図23-6のtAB、tACと、tADの時間を求めています。図23-7のフローチャートに示すように、CPUが受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、tAB、tACと、tADのタイマ値には誤差が生じます。また、ボーレートが速いときには、CPUは受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/OインタフェースはUARTに比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/Oインタフェースの場合、コントローラのボーレートは所望ボーレート÷16にして送信してください。

図23-7のフローチャートに示すように、シリアル動作モードの判定は、受信端子が“L”レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCDの場合UARTと判定し、ボーレートの自動設定が可能かどうかをtADの時間から判定します。tAB > tCDの場合、I/Oインタフェースと判定します。なお、先に述べたように、tAB、tAC、tADのタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が低い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内でUARTの再設定を行ってください)。

例えば、コントローラはUARTで通信したいのに、I/Oインタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラはUARTで通信したい場合、1バイト目のデータを送信後、タイムアウト時間内にデータ0x86を正常受信できなければ通信不可能と判断してください。I/Oインタフェースで通信したい場合は1バイト目のデータを送信後、アイドル時間後にSCLKクロックを出力してデータを受信し、受信データが0x30でなければ通信不可能と判断してください。

I/Oインタフェースで通信したい場合は上記のとおり、tAB > tCDであれば1バイト目のデータは0x30でなくても構いません。A点とC点の立ち下がり、B点とD点の立ち上がりを判定できるように0x91、0xA1あるいは0xB1を1バイト目のデータとして送信できます。tAB > tCDが成立しており、動作モード判定結果SIOが選択された場合、(1バイト目の送信データが0x30でない場合でも)2バイト目のデータは0x30となります(以下、I/Oインタフェース判定用の1バイト目のデータは0x30を表記しています)。

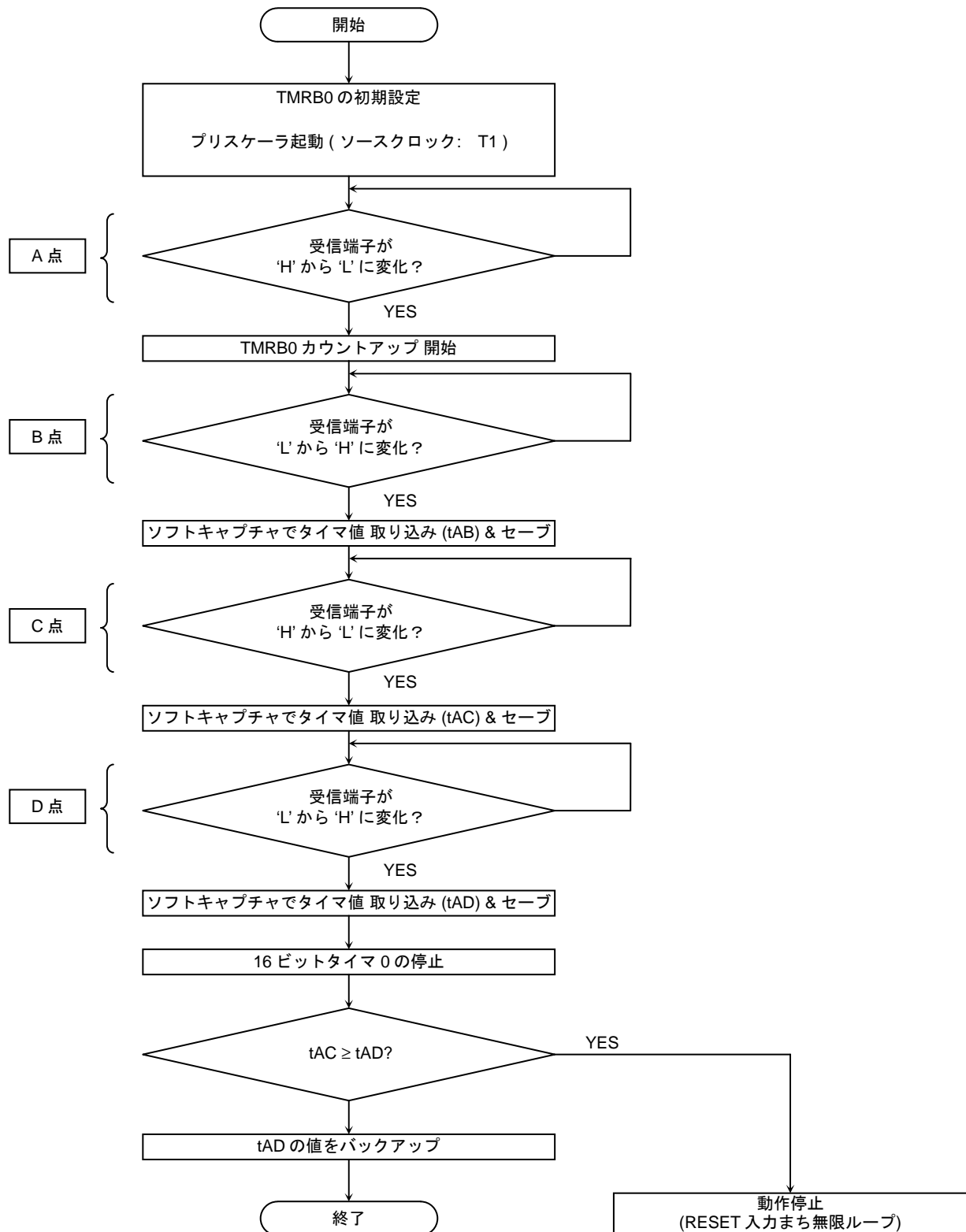


図 23-7 シリアル動作モード受信フローチャート

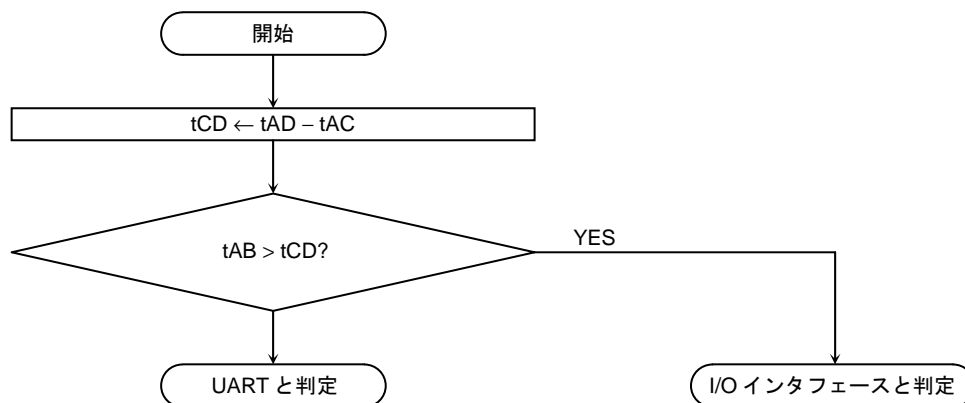


図 23-8 シリアル動作モード判定フローチャート

7) パスワードについて

動作コマンドデータが RAM 転送コマンド (0x10) の場合、パスワードのチェックを行います。まず、動作コマンドデータをエコーバック送信 (0x10) 後、パスワードエリアのデータ (12 バイト) をチェックします。パスワードエリアは以下のとおりです。

製品	パスワード領域
TMPM380FY	0x3F83_FFF4 - 0x3F83_FFFF
TMPM380/382FW	
TMPM382FS	

注：パスワードが消去データ(0xFF)の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

図 23-9に示すようにパスワードエリアのデータが、0xFF以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティ機能が有効な状態でもパスワードの参照は行います。

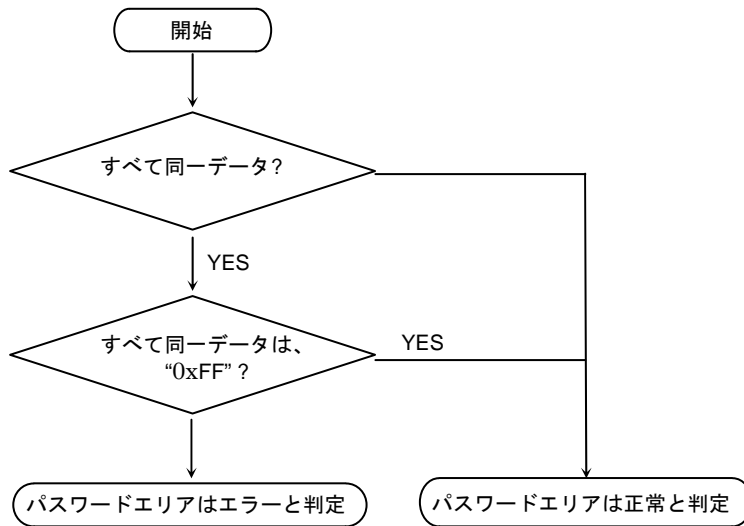


図 23-9 パスワードエリアチェックフローチャート

8) CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値として求めます。コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例) CHECK SUM 計算例

SUM の上位 8 ビットデータが 0xE5、下位 8 ビットデータが 0xF6 の場合の CHECK SUM 値を求めます。まず、符号なし 8 ビット加算して得られた値を求めます。

$$0xE5 + 0xF6 = 0x1DB$$

この値の下位 8 ビットに対しての 2 の補数をとると以下ようになり、この値が CHECK SUM 値になります。したがって、コントローラには 0x25 を送信します。

$$0 - 0xDB = 0x25$$

(7) ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

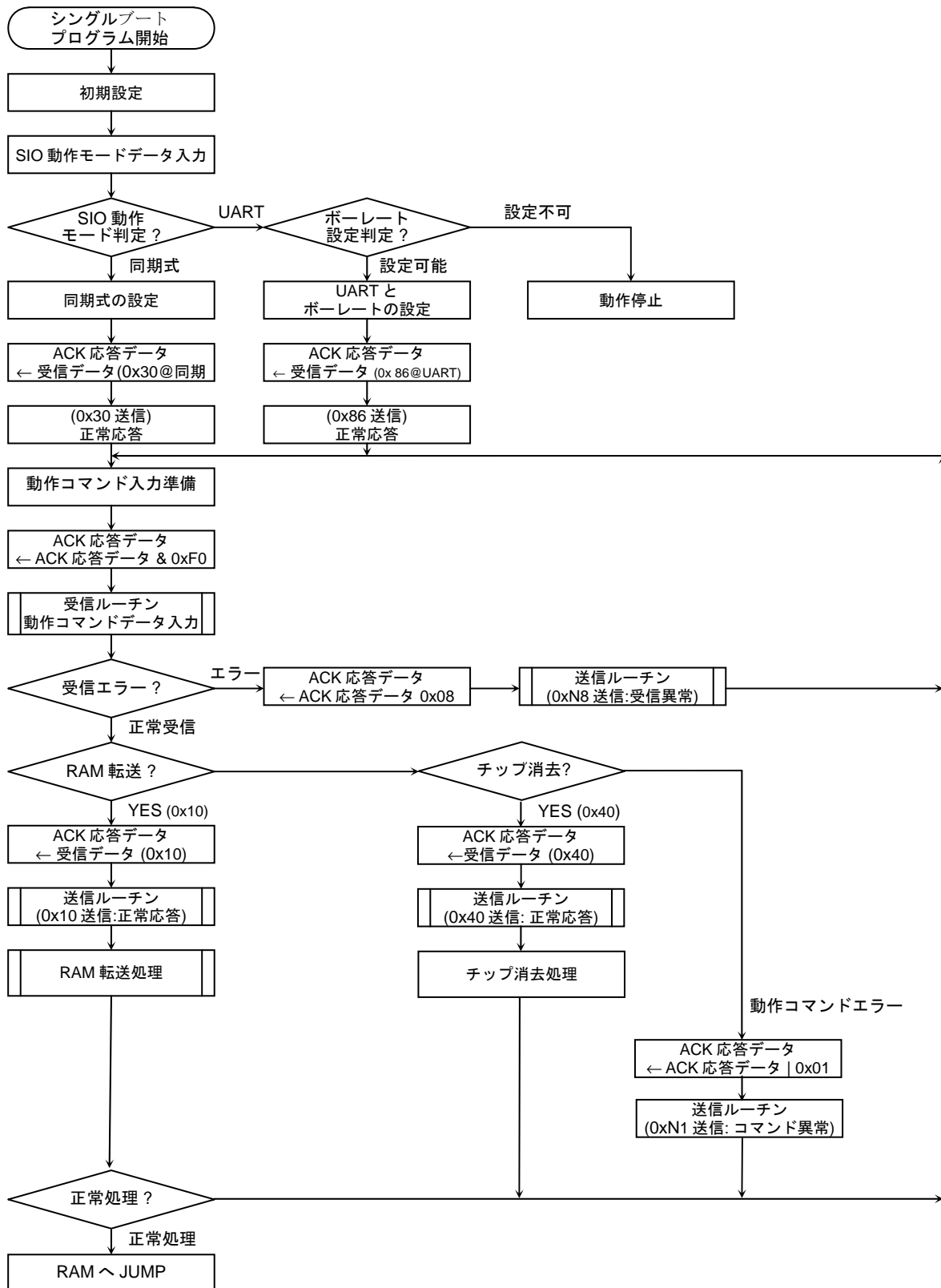


図 23-10 ブートプログラム全体フローチャート

23.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPUによりソフトウェア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵RAM上で実行してください。

23.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。書き込み、消去を行う場合、CPUの32ビット(ワード)のデータ転送命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 23-12 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	ページ単位でデータ書き込みを自動で行います。
自動チップ消去	フラッシュメモリ全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

CPUとのインタフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。また、特に断りのない限りフラッシュメモリの書き込みは32ビット単位で行います。フラッシュメモリへの書き込みは、32ビット(ワード)のデータ転送命令を用いてください。

(1) ブロック構成

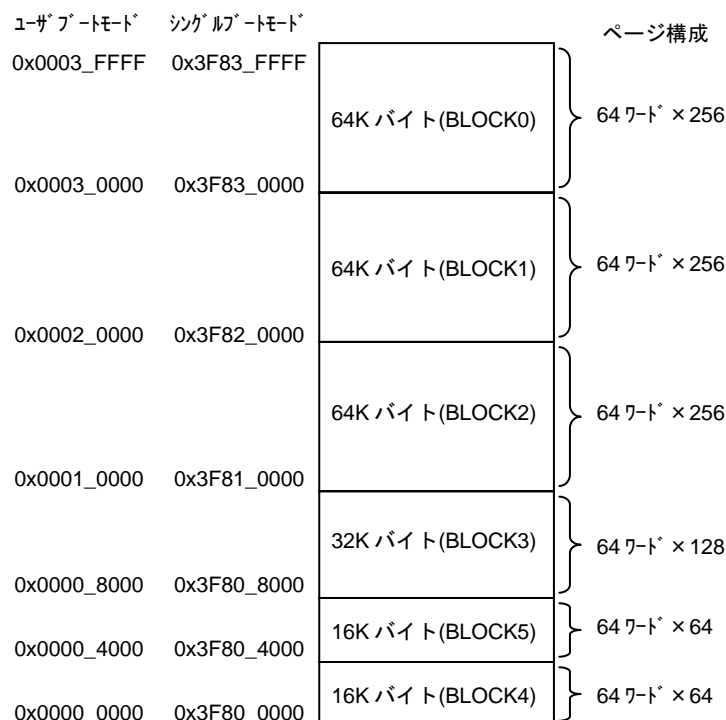


図 23-11 フラッシュメモリのブロック構成 (TMPM380FY)

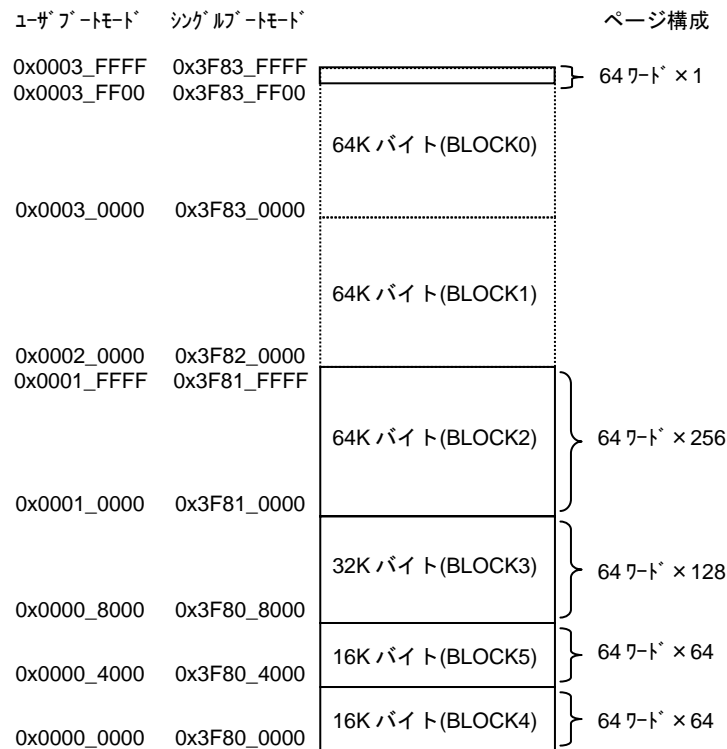


図 23-12 フラッシュメモリのブロック構成 (TMPM380/382FW)

注：TMPM380FW/382FWでは、128KBのFLASH領域とは別に、製品情報読み出しコマンド用のデータ領域およびパスワード領域が64ワード(1ページ)存在します。(0x3F83_FF00～0x3F83_FFFF)。この領域を消去する場合には自動チップ消去コマンドを使用するか、自動ブロック消去コマンドでブロック0を指定してください。

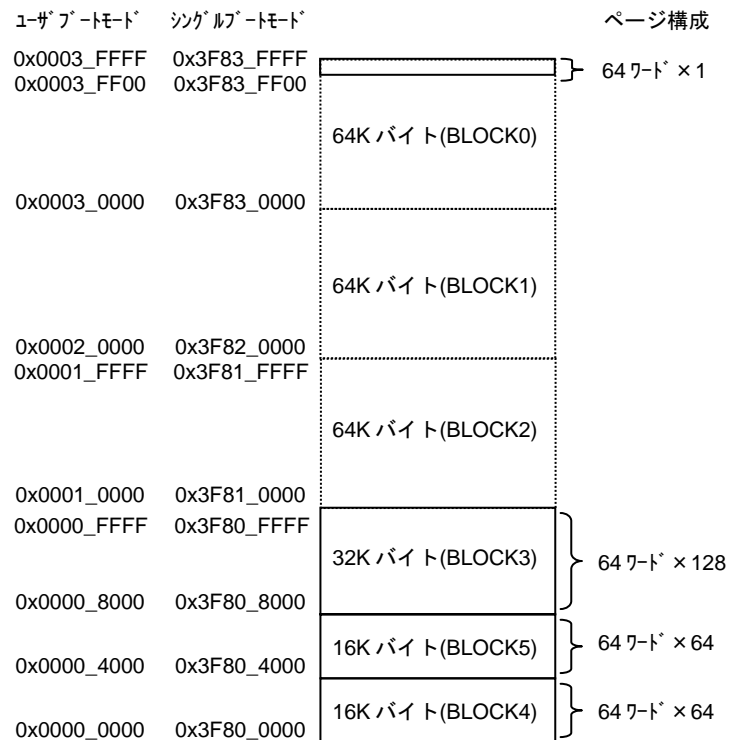


図 23-13 フラッシュメモリのブロック構成 (TMPM382FS)

注：TMPM382FSでは、64KBのFLASH領域とは別に、製品情報読み出しコマンド用のデータ領域およびパスワード領域が64ワード(1ページ)存在します。(0x3F83_FF00～0x3F83_FFFF)。この領域を消去する場合には自動チップ消去コマンドを使用するか、自動ブロック消去コマンドでブロック0を指定してください。

(2) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード (リードモード)
- メモリデータを自動的に消去/書き替えるモード (自動動作)

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて例外が発生した場合、リードモードに移りません。自動動作中はデバッグポート接続時のデバッグ例外とリセットを除いて、全ての例外を発生させないでください。ハードウェアリセットを除いて例外が発生した場合、リードモードに移行しません。

1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するRead/リセットコマンド (ソフトウェアリセット) もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- **Read/リセットコマンド 及び Read コマンド(ソフトウェアリセット)**

ID-Read コマンドを実行した場合、マクロは自動的にReadモードに復帰せず、その状態で停止します。このような状態からReadモードに復帰させるために、Read/リセットコマンドを使用します。また、途中まで入力したコマンドをキャンセルしたい場合にも、Read/リセットコマンドを使用します。Read コマンドは、フラッシュメモリの任意のアドレスに0x0000_00F0 データを32ビット (ワード) のデータ転送命令を実行してリードモードに復帰するコマンドです。

- **Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。**

2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します (コマンドシーケンス参照)。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

各コマンドはいくつかのバスサイクルで構成されており、フラッシュメモリに対して32ビット (ワード) のデータ転送命令を実行するものを“バスライトサイクル”と呼びます。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。

- (注意 1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。
- (注意 2) 各バスライトサイクルは連続して、32ビット(ワード)のデータ転送命令で行って下さい。
各コマンドシーケンスの実行中に、フラッシュメモリへのアクセスは実施しないで下さい。
また、全ての割り込み(デバックポート接続時は、デバック例外を除く)を発生させないでください。

各バスライトサイクル及び、各コマンドシーケンスの実行中にフラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンサがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性が有ります。
- (注意 3) コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に **FLCS<RDY/BSY> = 1** であることを確認してください。続いて **Read** コマンドを実行することを推奨します。
- (注意 4) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウェアリセットを発行して、一度リードモードに戻して下さい。

(3) リセット

ハードウェアリセット

ハードウェアリセットは、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了したとき、コマンドライトにより設定した動作モードの解除に使用します。

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力はCPUのリセット信号とつながっています。このため、本デバイスのRESET入力端子がV_{IL}となるか、ウォッチドッグタイマのオーバフローなどによりCPUのリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

CPUのリセット動作については、「23.2.1 リセット動作」を参照してください。所定のリセット入力後、CPUはフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

(4) コマンド説明

1) 自動ページプログラム

フラッシュメモリへの書き込みは、“1”データセルを“0”データにすることです。“0”データセルを“1”データにすることはできません。“0”データセルを“1”データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、ページごとの書き込みとなります。1ページは、64ワードごとの書き込みとなります。この64ワードはアドレス[31:8]が同じで、先頭アドレス[7:0] = 0、最後のアドレス[7:0] = 0xFFのグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPUによる外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)はレジスタFLCS<RDY/BSY>にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して1回のみ可能で、“1”データセルであっても“0”データセルであってもページに対して2回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの2回以上ページプログラム実施はデバイス破損の可能性が有ります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第3バスライトサイクル終了から開始します。第5バスライトサイクル以降は、第4バスライトサイクルで指定した次のアドレス(第4バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は32ビット単位で行います)。第4バスライトサイクル以降のコマンドライトは必ず32ビット(ワード)のデータ転送命令を使用してください。このとき32ビット(ワード)のデータ転送命令はワード境界をまたいだ位置へ実施しないでください。第5バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第4バスライトサイクルのアドレス入力はページの前頭アドレスにしてください。この時"0"データセルにしたくない箇所は入力データを"1"にしてコマンドライトします。例えば、あるページの前頭アドレスの書き込みをしない場合、第4バスライトサイクルのデータ入力を0xFFFFFFFFとしてコマンドライトします。

第3バスライトサイクルを実行すると自動プログラム動作中となります。このことはレジスタFLCS<RDY/BSY>(表 23-13)をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時にFLCS<RDY/BSY>="1"となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページ毎にページプログラムコマンドを実行する必要があります(1回の自動ページプログラムコマンドで書き込めるサイズは1ページです)。ページを跨ったデータ入力の自動ページプログラムは出来ません。

ライト/消去プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことはFLCS<RDY/BSY>(表 23-13)をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注：自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

2) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第 6 バスライトサイクル終了から開始します。

FLCS<RDY/BSY>(表 23-13)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがライト/消去プロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第 6 バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

3) 自動ブロック消去(Block 単位)

自動ブロック消去は、コマンドサイクルの第 6 バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FLCS<RDY/BSY>(表 23-13)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんが、再度自動ブロック消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。ハードウェアリセットを用いてデバイスをリセットしてください。

4) 自動プロテクトビットプログラム(Block単位)

本デバイスはプロテクトビットを内蔵しBlock単位で設定することが出来ます。Blockとプロテクトビットの関係は表 23-18にあります。自動プロテクトビットプログラムは1ビット単位で実行します。ビットの指定は第7バスライトサイクルのPBAで行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止(プロテクト)することができます。各ブロックのプロテクトの状態はFLCSレジスタの<BLPRO>ビットで確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>(表 23-13)をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。全てのプロテクトビットをプログラムした後は、FLCSレジスタの全ての<BLPRO>ビットが“1”になっています。これ以降は全てのBlockに対し、ライト/消去は出来ません。

注：自動プロテクトビットプログラム第7バスライトサイクルでは、ソフトウェアリセットが無効になります。FLCS<RDY/BSY> は、第7バスライトサイクル入力後から、FLCS<RDY/BSY> = “0”となります。

5) 自動プロテクトビット消去

セキュリティビットとプロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。SECBIT<SECBIT>=0x1 の場合、FLCS レジスタの全ての<BLPRO>が“1”か、それ以外の値かで動作が決まります。自動プロテクトビット消去コマンド実施前に必ず FLCS<BLPRO>の値を確認してください。セキュリティの詳細については 20 章プロテクト/セキュリティ機能を参照してください。

・ FLCS<BLPRO> = all “1” (全てのプロテクトビットがプログラムされている) の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第 7 バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関しては FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FLCS=0x00000001 となります。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第 7 バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合リードモードに復帰後、FLCS<BLPRO>にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去或いは自動ブロック消去を実行する必要があります。

・ FLCS<BLPRO> ≠ all “1” (全てのプロテクトビットがプログラムされていない) の場合

自動プロテクトビット消去により、プロテクトの状態を解除することができます。本デバイスでは、表 23-19 のように Block 単位のプロテクトビットに対して消去は Block をまとめて行います。消去を行いたいプロテクトビットの指定は第 7 バスライトサイクルで行い、コマンド終了後は、Block をまとめて消去します。各ブロックのプロテクトの状態は後で説明する FLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FLCS<BLPRO>の消去選択したプロテクトビットの値が“0”となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

FLCS<RDY/BSY> ビットは自動動作中“0”、自動動作終了後“1”になります。

6) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることが出来ます。第 4 バスライトサイクル以降でのアドレス[15:14] の値によりロードされるデータが異なります(データ入力値は 0x00 推奨)。第 5 バスライトサイクル以降で任意のフラッシュメモリエリアの読み出しを行うと ID の値が読み出されます。ID-Read コマンド第 4 バスライトサイクル以降は自動的にリードモードに復帰しません。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。リードモードへの復帰は Read/リセットコマンドまたはハードウェアリセットで行います。

(5) フラッシュコントロール/ステータスレジスタ

フラッシュメモリのステータスマニタと、ブロック単位のプロテクト状態を示すレジスタです。

表 23-13 フラッシュコントロールレジスタ

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
Read/Write	R		R	R	R	R	R	R
リセット後	0		(注2)	(注2)	(注2)	(注2)	(注2)	(注2)
機能	リードすると'0'が読めます		Block5 の プロテクト 状態 0:プロテク ト状態 ではない 1:プロテク ト状態	Block4 の プロテクト 状態 0:プロテク ト状態 ではない 1:プロテク ト状態	Block3 の プロテクト 状態 0:プロテク ト状態 ではない 1:プロテク ト状態	Block2 の プロテクト 状態 0:プロテク ト状態 ではない 1:プロテク ト状態	Block1 の プロテクト 状態 0:プロテク ト状態 ではない 1:プロテク ト状態	Block0 の プロテクト 状態 0:プロテク ト状態 ではない 1:プロテク ト状態
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	RDY/BSY
Read/Write	R							R
リセット後	0							1
機能	リードすると'0'が読めます							Ready/ Busy (注1) 0:自動 動作中 1:自動 動作終了

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は“0”を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり“1”を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは“0”出力を継続します。ハードウェアリセットにより“1”に復帰します。

ビット[21:16]: プロテクトビット状態ビット

プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが“1”の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

- (注1) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。
 ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、
 それ以降のコマンドを入力出来なくなる可能性があります。その際は、ハードウェア
 リセットで復帰して下さい。
 ハードウェアリセットを行う場合は、システムクロックによらず 0.5 μ s 以上のリセット期間が必
 要となります。またこの場合、リセット解除後読み出しが可能になるまで 2ms 程度の時間がかか
 ります。
- (注2) プロテクト状態に対応した値になります。

表 23-14 セキュリティビットレジスタ

FCSECBIT
0x41FF_F010

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	SECBIT
Read/Write	R							R/W
リセット後	0							1
機能	リードすると'0'が読めます							セキュリティ ビット 0:セキュリ ティ機能 設定不可 1:セキュリ ティ機能 設定可能

- (注) 本レジスタは、パワーオンリセットでのみ初期化されます。

(6) コマンドシーケンス一覧

表 23-15 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第1バス サイクル	第2バス サイクル	第3バス サイクル	第4バス サイクル	第5バス サイクル	第6バス サイクル	第7バス サイクル
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	—	—	—	—	—	—
	0xF0	—	—	—	—	—	—
Read/リセット	0x54XX	0xAAXX	0x54XX	RA	—	—	—
	0xAA	0x55	0xF0	RD	—	—	—
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	—	—
	0xAA	0x55	0x90	0x00	ID	—	—
自動ページ プログラム (注)	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	—
	0xAA	0x55	0x80	0xAA	0x55	0x10	—
自動 ブロック消去 (注)	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	—
	0xAA	0x55	0x80	0xAA	0x55	0x30	—
自動プロテクトビット プログラム	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクトビット 消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
PD: プログラムデータ(32 ビットデータ)
第4バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

(注1) 全バスサイクル、アドレスビット[1:0]へは常に"0"を設定して下さい。(ビット[7:2]への設定値は"0"推奨)

(注2) Read コマンドの第2バスサイクル、Read/リセットコマンドの第4バスサイクル、ID-Read コマンドの第5バスサイクル以外は全て"バスライトサイクル"です。バスライトサイクルは32ビット(ワード)のデータ転送命令で実施します。各バスライトサイクルのアドレス[31:16]はコマンドシーケンス実施対象のフラッシュメモリのアドレス[31:16]を用います。アドレス[15:0]は表の"Addr."を用います。

(7) バスライトサイクル時のアドレスビット構成

表 23-16 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:19]	Addr [18]	Addr [17]	Addr [16]	Addr [15]	Addr [14]	Addr [13:11]	Addr [10]	Addr [9]	Addr [8]	Addr [7:0]
------	-----------------	--------------	--------------	--------------	--------------	--------------	-----------------	--------------	-------------	-------------	---------------

通常 コマンド	通常のバスライトサイクルアドレス設定										
	フラッシュ領域	"0"推奨				コマンド				Addr[1:0]="0"固定、 他ビットは"0"推奨	
ID -READ	IA:ID アドレス (ID-READ の第 4 バスライトサイクルアドレス設定)										
	フラッシュ領域	"0"推奨		ID アドレス	Addr[1:0]="0"固定、他ビットは"0"推奨						

ブロック 消去	BA:ブロックアドレス (ブロック消去の第 6 バスライトサイクルアドレス設定)										
	ブロックアドレス						Addr[1:0]="0"固定、他ビットは"0"推奨				
Auto ページプロ グラム	PA:プログラムページアドレス (ページプログラムの第 4 バスライトサイクルアドレス設定)										
	ページアドレス									Addr[1:0]="0"固定、 他ビットは"0"推奨	
プロテクト ビットプロ グラム	PBA:プロテクトビットアドレス (プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクト ビット選択 (表 23-18)	"0"推奨				プロテクト ビット選択 (表 23-18)	Addr[1:0]="0"固定、 他ビットは"0"推奨			
プロテクト ビット消去	PBA:プロテクトビットアドレス (プロテクトビット消去の第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクト ビット選択 (表 23-19)	"0"推奨							Addr[1:0]="0"固定、 他ビットは"0"推奨	

- (注 1) 表 23-15 「内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。
- (注 2) 第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行なって下さい。
- (注 3) 「"0"推奨」は適宜変更可能です。

表 23-17 ブロックアドレス表

Block	アドレス (ユーザーブートモード)	アドレス (シングルブートモード)	サイズ (Kbyte)
4	0x0000_0000-0x0000_3FFF	0x3F80_0000-0x3F80_3FFF	16
5	0x0000_4000-0x0000_7FFF	0x3F80_4000-0x3F80_7FFF	16
3	0x0000_8000-0x0000_FFFF	0x3F80_8000-0x3F80_FFFF	32
2	0x0001_0000-0x0001_FFFF	0x3F81_0000-0x3F81_FFFF	64
1	0x0002_0000-0x0002_FFFF	0x3F82_0000-0x3F82_FFFF	64
0	0x0003_0000-0x0003_FFFF	0x3F83_8000-0x3F83_FFFF	64

ブロックアドレスには、消去するブロックに含まれる任意のアドレスを指定します。

(注) 第1バスサイクルから第5バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 23-18 プロテクトビットプログラムアドレス表

Block	プロテクトビット	第7バスライトサイクルのアドレス						
		アドレス [18]	アドレス [17]	アドレス [16]	アドレス [15:11]	アドレス [10]	アドレス [9]	アドレス [8]
Block0	BLPRO0	0	0	"0"固定			0	0
Block1	BLPRO1	0	0				0	1
Block2	BLPRO2	0	0				1	0
Block3	BLPRO3	0	0				1	1
Block4	BLPRO4	0	1				0	0
Block5	BLPRO5	0	1				0	1

表 23-19 プロテクトビット消去アドレス表

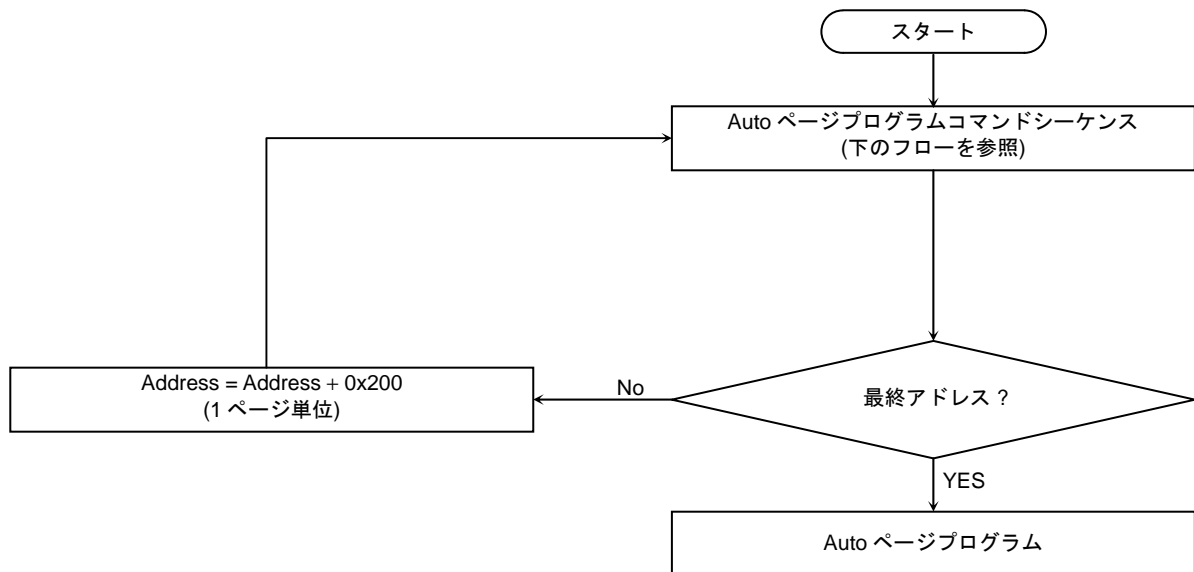
Block	プロテクトビット	第7バスライトサイクルのアドレス[18:17]	
		アドレス[18]	アドレス[17]
Block0~3	BLPRO0~3	0	0
Block4~5	BLPRO4~5	0	1

(注) プロテクトビット消去コマンドは プロテクトビット単位での消去は出来ません。

表 23-20 ID-Read コマンド第4バスライトサイクルの ID アドレス (IA) と
その後の 32 ビット転送命令で読み出せるデータ (ID)

IA [15:14]	ID [7:0]	Code
00b	0x98	メーカーコード
01b	0x5A	デバイスコード
10b	Reserved	---
11b	0x13	マクロコード

(8) フローチャート



Auto ページプログラムコマンドシーケンス (アドレス/コマンド)

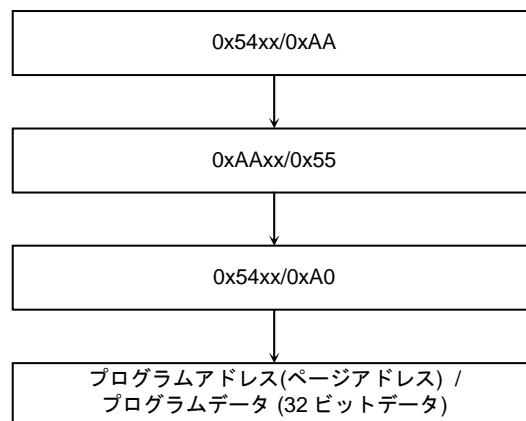


図 23-14 自動プログラム

(注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

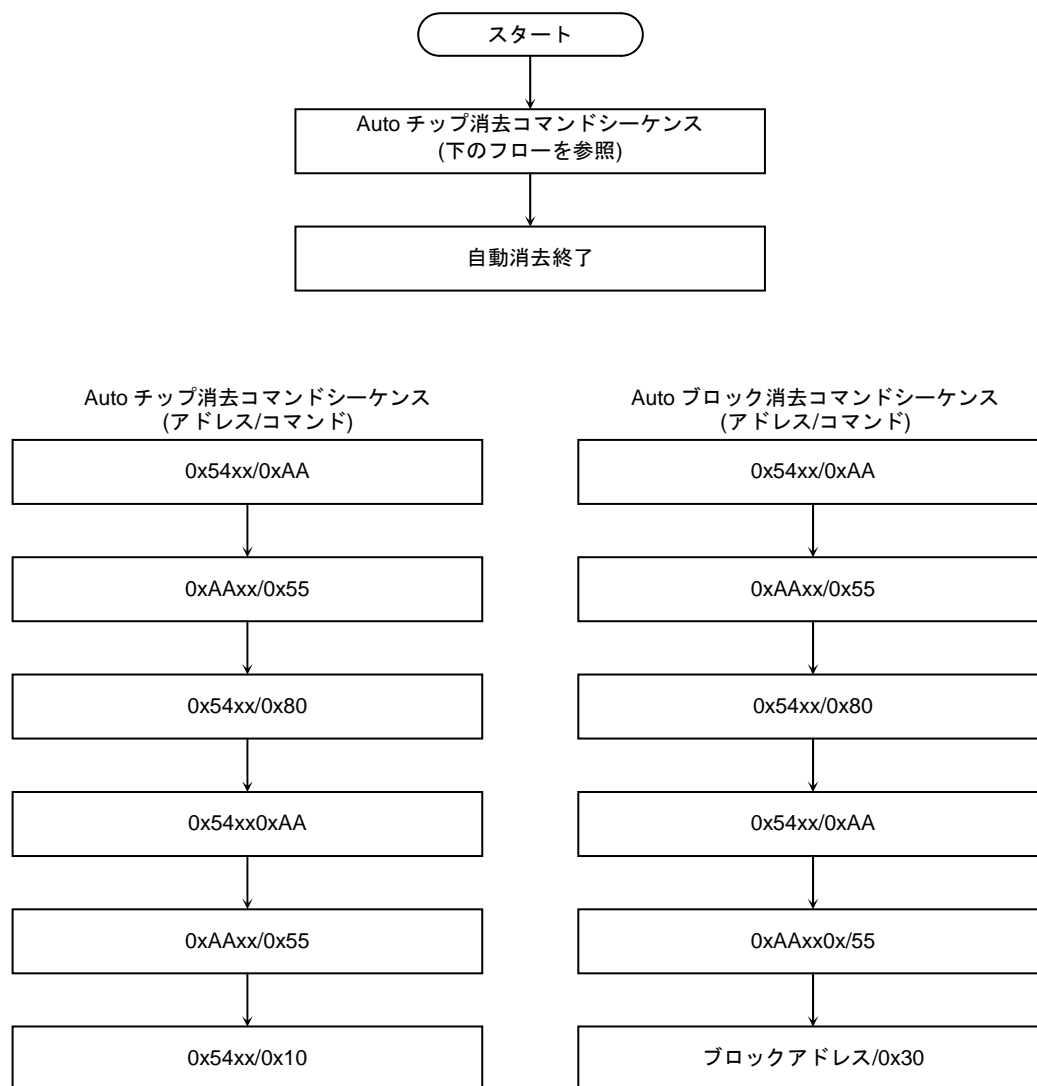


図 23-15 自動消去

(注) 0x54xx は 0x55xx でもコマンドシーケンスを実行します。

24 プロテクト/セキュリティ機能

重要

TMPM380FW ,M382FW(128K 版) にはフラッシュメモリ BLOCK0,BLOCK1 がありません。それらに関する機能は使用しないでください。

TMPM382FS (64K 版) には BLOCK0,BLOCK1,BLOCK2 がありません。それらに関する機能は使用しないでください。

24.1 概 要

本製品は内蔵 ROM(Flash)のライト/消去をプロテクトする機能、及びライターでの内蔵 ROM(Flash)領域を読み出し禁止に設定できるセキュリティ機能を内蔵しています。セキュリティ機能はデバック機能の使用制限も行います。プロテクト/セキュリティ機能として、次の2つの機能をもっています。

- 内蔵 ROM(Flash)のライト/消去プロテクト
- セキュリティ機能

24.2 特 長

24.2.1 内蔵ROM(Flash)のライト/消去プロテクト

内蔵フラッシュは、ブロック単位で書き込みと消去の動作を禁止することができます。この機能をライト/消去プロテクトと呼びます。

ライト/消去プロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを”1”にします。プロテクトビットを”0”にすることによりブロックプロテクトを解除することができます。(プログラム方法については、Flash 動作説明の章をご覧ください。)

プロテクトビットは、FCFLCS レジスタ<BLPRO>ビットでモニタすることができます。

ライト/消去プロテクトは、シングルチップモード、シングルブートモード、ライターモードで有効となります。

24.2.2 セキュリティ機能

内蔵フラッシュに対してのデータの読み出しの制限及び、デバック機能を制限することができます。この機能をセキュリティ機能と呼びます。

セキュリティ機能が有効になる条件を、以下に示します。

- 1) FCSECBIT レジスタの<SECBIT>ビットが”1”にセットされている。
- 2) ライト/消去プロテクト用の全てのプロテクトビット(FCFLCS レジスタ<BLPRO>ビット)が”1”にセットされている。

注)FCSECBIT レジスタの<SECBIT>ビットは電源投入直後のパワーオンリセット時に”1”にセットされます。

セキュリティ機能が有効な状態の制限内容を、表 24-1 に示します。

表 24-1 セキュリティ機能有効時の制限内容

項目	内容
1)ROM 領域のデータの読み出し	ライターモードでデータが読み出せなくなります。リード動作を行うとメーカーコードの 0x0098 が読み出されます。シングルチップモード、シングルブートモードでは読み出し可能です。
2)デバックポート	JTAG/SW、トレースの通信が出来なくなります。
3)フラッシュに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。また、ライト/消去プロテクト用のプロテクトビットを消去しようとする、チップ消去が行われ、全てのプロテクトビットも消去されます。

24.3 レジスタ

フラッシュメモリのステータスマニタと、ブロック単位のプロテクト状態を示すレジスタです。

表 24-2 フラッシュコントロールレジスタ

FCFLCS
0x41FF_F020

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
Read/Write	R		R	R	R	R	R	R
リセット後	0		(注2)	(注2)	(注2)	(注2)	(注2)	(注2)
機能	リードすると'0'が読めます		Block5 の プロテクト 状態 0:プロテクト 状態では ない 1:プロテクト 状態	Block4 の プロテクト 状態 0:プロテクト 状態では ない 1:プロテクト 状態	Block3 の プロテクト 状態 0:プロテクト 状態では ない 1:プロテクト 状態	Block2 の プロテクト 状態 0:プロテクト 状態では ない 1:プロテクト 状態	Block1 の プロテクト 状態 0:プロテクト 状態では ない 1:プロテクト 状態	Block0 の プロテクト 状態 0:プロテクト 状態では ない 1:プロテクト 状態
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	RDY/BSY
Read/Write	R							R
リセット後	0							1
機能	リードすると'0'が読めます							Ready/ Busy (注1) 0:自動 動作中 1:自動 動作終了

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は“0”を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり“1”を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは“0”出力を継続します。ハードウェアリセットにより“1”に復帰します。

ビット[21:16]: プロテクトビット状態ビット

プロテクトビット(6ビット)値は各ブロックのプロテクト状態に対応します。該当ビットが“1”の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

- (注1) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。
ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、
それ以降のコマンドを入力出来なくなる可能性があります。その際は、ハードウェア
リセットで復帰して下さい。
ハードウェアリセットを行う場合は、システムクロックによらず 0.5 μ s 以上のリセット期間が
必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2ms 程度の時間がか
かります。
- (注2) プロテクト状態に対応した値になります。

表 24-3 セキュリティビットレジスタ

	31	30	29	28	27	26	25	24
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	15	14	13	12	11	10	9	8
bit Symbol	-	-	-	-	-	-	-	-
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							
	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	SECBIT
Read/Write	R							
リセット後	0							
機能	リードすると'0'が読めます							セキュリティビット 0: セキュリティ機能設定不可 1: セキュリティ機能設定可能

(注 1) 本レジスタは、パワーオンリセットでのみ初期化されます。

24.4 設定／解除方法

24.4.1 内蔵ROM(Flash)のライト/消去プロテクト

プロテクトビットの書き込みはブロック単位で行います。プロテクトビットの書き込みはコマンドシーケンスを用いて行います。

プロテクトビットの消去はブロックをまとめて行います。Block0～3 と Block4～5 の 2 つの単位で消去を行います。ただし、全 Block 全てのプロテクトビットが”1”のときは、FCSECBIT レジスタの<SECBIT>ビットを”0”にしてから、消去を行う必要があります。FCSECBIT レジスタの<SECBIT>ビットが”1”の状態プロテクトビットの消去を行おうとすると、チップ消去を行い、プロテクトビット全てを消去します。プロテクトビットの消去はコマンドシーケンスを用いて行います。

プロテクトビットのライト/消去は、シングルチップモード、シングルブートモード、ライターモードで行います。

詳細は Flash 動作説明章を参照して下さい。

24.4.2 セキュリティビット

セキュリティ機能を有効にする FCSECBIT レジスタの<SECBIT>ビットは電源投入時のパワーオンリセット時に”1”にセットされます。FCSECBIT レジスタの<SECBIT>ビットの書き換えは以下の手順で行います。セキュリティビットの書き換えは、シングルチップモード、シングルブートモードで行います。

- 1) FCSECBIT レジスタに対して特定のコード(0xa74a9d23)を書き込む。
- 2) 1)の書き込みから 16 クロック以内にデータを書き込む。

注)上記 1)、2)の書き込みは 32bit 転送命令のみ有効となります。

25 特殊機能レジスタ

- [1] ポート
- [2] 16ビットタイマ (TMRB)
- [3] エンコーダ入力 (ENC)
- [4] シリアルバスインタフェース (SBI)
- [5] シリアルインタフェース (UART/SIO)
- [6] 12ビット A/D コンバータ (A/DC)
- [7] ウォッチドッグタイマ (WDT)
- [8] リアルタイムクロック (RTC)
- [9] クロックジェネレータ (CG)
- [10] リモコン判定 (RMC)
- [11] 周波数検知 (OFD)
- [12] パワーオンリセット (POR), 電圧検知 (VLTD)
- [13] 多目的タイマ (MPT (TMR, IGBT, PMD))
- [14] DMA コントローラ (DMAC)
- [15] SSP コントローラ
- [16] Flash コントローラ

- | |
|---|
| <p>(注 1) 内蔵 I/O 領域 (0x4000_0000~0x4007_FFFF) のうち、本章で記載のない領域については読み出される値は不定となり、書き込みは無視されます。</p> <p>(注 2) <R0>の表記アドレスは読み出すと"0"が読めます。書き込みは無視されます。</p> <p>(注 3) <Reserved>の表記のアドレスにはアクセスしないでください。</p> |
|---|

25.1 TMPM380 アドレス一覧

25.1.1 [1] ポート[1/5]

<PORT A>

アドレス	レジスタ名
0x4000_0000	PADATA
0x4000_0001	<R0>
0x4000_0002	<R0>
0x4000_0003	<R0>
0x4000_0004	PACR
0x4000_0005	<R0>
0x4000_0006	<R0>
0x4000_0007	<R0>
0x4000_0008	PAFR1
0x4000_0009	<R0>
0x4000_000A	<R0>
0x4000_000B	<R0>
0x4000_000C	PAFR2
0x4000_000D	<R0>
0x4000_000E	<R0>
0x4000_000F	<R0>

アドレス	レジスタ名
0x4000_0010	
0x4000_0011	
0x4000_0012	
0x4000_0013	
0x4000_0014	
0x4000_0015	
0x4000_0016	
0x4000_0017	
0x4000_0018	
0x4000_0019	
0x4000_001A	
0x4000_001B	
0x4000_001C	
0x4000_001D	
0x4000_001E	
0x4000_001F	

アドレス	レジスタ名
0x4000_0020	
0x4000_0021	
0x4000_0022	
0x4000_0023	
0x4000_0024	
0x4000_0025	
0x4000_0026	
0x4000_0027	
0x4000_0028	PAOD
0x4000_0029	<R0>
0x4000_002A	<R0>
0x4000_002B	<R0>
0x4000_002C	PAPUP
0x4000_002D	<R0>
0x4000_002E	<R0>
0x4000_002F	<R0>

アドレス	レジスタ名
0x4000_0030	PAPDN
0x4000_0031	<R0>
0x4000_0032	<R0>
0x4000_0033	<R0>
0x4000_0034	
0x4000_0035	
0x4000_0036	
0x4000_0037	
0x4000_0038	PAIE
0x4000_0039	<R0>
0x4000_003A	<R0>
0x4000_003B	<R0>
0x4000_003C	
0x4000_003D	
0x4000_003E	
0x4000_003F	

<PORT B>

アドレス	レジスタ名
0x4000_0040	PBDATA
0x4000_0041	<R0>
0x4000_0042	<R0>
0x4000_0043	<R0>
0x4000_0044	PBCR
0x4000_0045	<R0>
0x4000_0046	<R0>
0x4000_0047	<R0>
0x4000_0048	PBFR1
0x4000_0049	<R0>
0x4000_004A	<R0>
0x4000_004B	<R0>
0x4000_004C	
0x4000_004D	
0x4000_004E	
0x4000_004F	

アドレス	レジスタ名
0x4000_0050	
0x4000_0051	
0x4000_0052	
0x4000_0053	
0x4000_0054	
0x4000_0055	
0x4000_0056	
0x4000_0057	
0x4000_0058	
0x4000_0059	
0x4000_005A	
0x4000_005B	
0x4000_005C	
0x4000_005D	
0x4000_005E	
0x4000_005F	

アドレス	レジスタ名
0x4000_0060	
0x4000_0061	
0x4000_0062	
0x4000_0063	
0x4000_0064	
0x4000_0065	
0x4000_0066	
0x4000_0067	
0x4000_0068	PBOD
0x4000_0069	<R0>
0x4000_006A	<R0>
0x4000_006B	<R0>
0x4000_006C	PBPUP
0x4000_006D	<R0>
0x4000_006E	<R0>
0x4000_006F	<R0>

アドレス	レジスタ名
0x4000_0070	PBPDN
0x4000_0071	<R0>
0x4000_0072	<R0>
0x4000_0073	<R0>
0x4000_0074	
0x4000_0075	
0x4000_0076	
0x4000_0077	
0x4000_0078	PBIE
0x4000_0079	<R0>
0x4000_007A	<R0>
0x4000_007B	<R0>
0x4000_007C	
0x4000_007D	
0x4000_007E	
0x4000_007F	

<PORT C>

アドレス	レジスタ名
0x4000_0080	PCDATA
0x4000_0081	<R0>
0x4000_0082	<R0>
0x4000_0083	<R0>
0x4000_0084	PCCR
0x4000_0085	<R0>
0x4000_0086	<R0>
0x4000_0087	<R0>
0x4000_0088	PCFR1
0x4000_0089	<R0>
0x4000_008A	<R0>
0x4000_008B	<R0>
0x4000_008C	PCFR2
0x4000_008D	<R0>
0x4000_008E	<R0>
0x4000_008F	<R0>

アドレス	レジスタ名
0x4000_0090	PCFR3
0x4000_0091	<R0>
0x4000_0092	<R0>
0x4000_0093	<R0>
0x4000_0094	PCFR4
0x4000_0095	<R0>
0x4000_0096	<R0>
0x4000_0097	<R0>
0x4000_0098	PCFR5
0x4000_0099	<R0>
0x4000_009A	<R0>
0x4000_009B	<R0>
0x4000_009C	
0x4000_009D	
0x4000_009E	
0x4000_009F	

アドレス	レジスタ名
0x4000_00A0	
0x4000_00A1	
0x4000_00A2	
0x4000_00A3	
0x4000_00A4	
0x4000_00A5	
0x4000_00A6	
0x4000_00A7	
0x4000_00A8	PCOD
0x4000_00A9	<R0>
0x4000_00AA	<R0>
0x4000_00AB	<R0>
0x4000_00AC	PCPUP
0x4000_00AD	<R0>
0x4000_00AE	<R0>
0x4000_00AF	<R0>

アドレス	レジスタ名
0x4000_00B0	PCPDN
0x4000_00B1	<R0>
0x4000_00B2	<R0>
0x4000_00B3	<R0>
0x4000_00B4	
0x4000_00B5	
0x4000_00B6	
0x4000_00B7	
0x4000_00B8	PCIE
0x4000_00B9	<R0>
0x4000_00BA	<R0>
0x4000_00BB	<R0>
0x4000_00BC	
0x4000_00BD	
0x4000_00BE	
0x4000_00BF	

[1] ポート[2/5]

<PORT D>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_00C0	PDDATA	0x4000_00D0	PDFR3	0x4000_00E0		0x4000_00F0	PDPDN
0x4000_00C1	<R0>	0x4000_00D1	<R0>	0x4000_00E1		0x4000_00F1	<R0>
0x4000_00C2	<R0>	0x4000_00D2	<R0>	0x4000_00E2		0x4000_00F2	<R0>
0x4000_00C3	<R0>	0x4000_00D3	<R0>	0x4000_00E3		0x4000_00F3	<R0>
0x4000_00C4	PDCR	0x4000_00D4		0x4000_00E4		0x4000_00F4	
0x4000_00C5	<R0>	0x4000_00D5		0x4000_00E5		0x4000_00F5	
0x4000_00C6	<R0>	0x4000_00D6		0x4000_00E6		0x4000_00F6	
0x4000_00C7	<R0>	0x4000_00D7		0x4000_00E7		0x4000_00F7	
0x4000_00C8	PDFR1	0x4000_00D8		0x4000_00E8	PDOD	0x4000_00F8	PDIE
0x4000_00C9	<R0>	0x4000_00D9		0x4000_00E9	<R0>	0x4000_00F9	<R0>
0x4000_00CA	<R0>	0x4000_00DA		0x4000_00EA	<R0>	0x4000_00FA	<R0>
0x4000_00CB	<R0>	0x4000_00DB		0x4000_00EB	<R0>	0x4000_00FB	<R0>
0x4000_00CC	PDFR2	0x4000_00DC		0x4000_00EC	PDPUP	0x4000_00FC	
0x4000_00CD	<R0>	0x4000_00DD		0x4000_00ED	<R0>	0x4000_00FD	
0x4000_00CE	<R0>	0x4000_00DE		0x4000_00EE	<R0>	0x4000_00FE	
0x4000_00CF	<R0>	0x4000_00DF		0x4000_00EF	<R0>	0x4000_00FF	

<PORT E>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0100	PEDATA	0x4000_0110		0x4000_0120		0x4000_0130	PEPDN
0x4000_0101	<R0>	0x4000_0111		0x4000_0121		0x4000_0131	<R0>
0x4000_0102	<R0>	0x4000_0112		0x4000_0122		0x4000_0132	<R0>
0x4000_0103	<R0>	0x4000_0113		0x4000_0123		0x4000_0133	<R0>
0x4000_0104	PECR	0x4000_0114		0x4000_0124		0x4000_0134	
0x4000_0105	<R0>	0x4000_0115		0x4000_0125		0x4000_0135	
0x4000_0106	<R0>	0x4000_0116		0x4000_0126		0x4000_0136	
0x4000_0107	<R0>	0x4000_0117		0x4000_0127		0x4000_0137	
0x4000_0108	PEFR1	0x4000_0118		0x4000_0128	PEOD	0x4000_0138	PEIE
0x4000_0109	<R0>	0x4000_0119		0x4000_0129	<R0>	0x4000_0139	<R0>
0x4000_010A	<R0>	0x4000_011A		0x4000_012A	<R0>	0x4000_013A	<R0>
0x4000_010B	<R0>	0x4000_011B		0x4000_012B	<R0>	0x4000_013B	<R0>
0x4000_010C	PEFR2	0x4000_011C		0x4000_012C	PEPUP	0x4000_013C	
0x4000_010D	<R0>	0x4000_011D		0x4000_012D	<R0>	0x4000_013D	
0x4000_010E	<R0>	0x4000_011E		0x4000_012E	<R0>	0x4000_013E	
0x4000_010F	<R0>	0x4000_011F		0x4000_012F	<R0>	0x4000_013F	

<PORT F>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0140	PFDATA	0x4000_0150	PFFR3	0x4000_0160		0x4000_0170	PFPDN
0x4000_0141	<R0>	0x4000_0151	<R0>	0x4000_0161		0x4000_0171	<R0>
0x4000_0142	<R0>	0x4000_0152	<R0>	0x4000_0162		0x4000_0172	<R0>
0x4000_0143	<R0>	0x4000_0153	<R0>	0x4000_0163		0x4000_0173	<R0>
0x4000_0144	PFCR	0x4000_0154		0x4000_0164		0x4000_0174	
0x4000_0145	<R0>	0x4000_0155		0x4000_0165		0x4000_0175	
0x4000_0146	<R0>	0x4000_0156		0x4000_0166		0x4000_0176	
0x4000_0147	<R0>	0x4000_0157		0x4000_0167		0x4000_0177	
0x4000_0148	PFFR1	0x4000_0158		0x4000_0168	PFOD	0x4000_0178	PFIE
0x4000_0149	<R0>	0x4000_0159		0x4000_0169	<R0>	0x4000_0179	<R0>
0x4000_014A	<R0>	0x4000_015A		0x4000_016A	<R0>	0x4000_017A	<R0>
0x4000_014B	<R0>	0x4000_015B		0x4000_016B	<R0>	0x4000_017B	<R0>
0x4000_014C	PFFR2	0x4000_015C		0x4000_016C	PFPUP	0x4000_017C	
0x4000_014D	<R0>	0x4000_015D		0x4000_016D	<R0>	0x4000_017D	
0x4000_014E	<R0>	0x4000_015E		0x4000_016E	<R0>	0x4000_017E	
0x4000_014F	<R0>	0x4000_015F		0x4000_016F	<R0>	0x4000_017F	

[1] ポート[3/5]

<PORT G>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0180	PGDATA	0x4000_0190	PGFR3	0x4000_01A0		0x4000_01B0	PGPDN
0x4000_0181	<R0>	0x4000_0191	<R0>	0x4000_01A1		0x4000_01B1	<R0>
0x4000_0182	<R0>	0x4000_0192	<R0>	0x4000_01A2		0x4000_01B2	<R0>
0x4000_0183	<R0>	0x4000_0193	<R0>	0x4000_01A3		0x4000_01B3	<R0>
0x4000_0184	PGCR	0x4000_0194		0x4000_01A4		0x4000_01B4	
0x4000_0185	<R0>	0x4000_0195		0x4000_01A5		0x4000_01B5	
0x4000_0186	<R0>	0x4000_0196		0x4000_01A6		0x4000_01B6	
0x4000_0187	<R0>	0x4000_0197		0x4000_01A7		0x4000_01B7	
0x4000_0188	PGFR1	0x4000_0198		0x4000_01A8	PGOD	0x4000_01B8	PGIE
0x4000_0189	<R0>	0x4000_0199		0x4000_01A9	<R0>	0x4000_01B9	<R0>
0x4000_018A	<R0>	0x4000_019A		0x4000_01AA	<R0>	0x4000_01BA	<R0>
0x4000_018B	<R0>	0x4000_019B		0x4000_01AB	<R0>	0x4000_01BB	<R0>
0x4000_018C	PGFR2	0x4000_019C		0x4000_01AC	PGPUP	0x4000_01BC	
0x4000_018D	<R0>	0x4000_019D		0x4000_01AD	<R0>	0x4000_01BD	
0x4000_018E	<R0>	0x4000_019E		0x4000_01AE	<R0>	0x4000_01BE	
0x4000_018F	<R0>	0x4000_019F		0x4000_01AF	<R0>	0x4000_01BF	

<PORT H>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_01C0	PHDATA	0x4000_01D0		0x4000_01E0		0x4000_01F0	PHPDN
0x4000_01C1	<R0>	0x4000_01D1		0x4000_01E1		0x4000_01F1	<R0>
0x4000_01C2	<R0>	0x4000_01D2		0x4000_01E2		0x4000_01F2	<R0>
0x4000_01C3	<R0>	0x4000_01D3		0x4000_01E3		0x4000_01F3	<R0>
0x4000_01C4	PHCR	0x4000_01D4		0x4000_01E4		0x4000_01F4	
0x4000_01C5	<R0>	0x4000_01D5		0x4000_01E5		0x4000_01F5	
0x4000_01C6	<R0>	0x4000_01D6		0x4000_01E6		0x4000_01F6	
0x4000_01C7	<R0>	0x4000_01D7		0x4000_01E7		0x4000_01F7	
0x4000_01C8	PHFR1	0x4000_01D8		0x4000_01E8	PHOD	0x4000_01F8	PHIE
0x4000_01C9	<R0>	0x4000_01D9		0x4000_01E9	<R0>	0x4000_01F9	<R0>
0x4000_01CA	<R0>	0x4000_01DA		0x4000_01EA	<R0>	0x4000_01FA	<R0>
0x4000_01CB	<R0>	0x4000_01DB		0x4000_01EB	<R0>	0x4000_01FB	<R0>
0x4000_01CC		0x4000_01DC		0x4000_01EC	PHPUP	0x4000_01FC	
0x4000_01CD		0x4000_01DD		0x4000_01ED	<R0>	0x4000_01FD	
0x4000_01CE		0x4000_01DE		0x4000_01EE	<R0>	0x4000_01FE	
0x4000_01CF		0x4000_01DF		0x4000_01EF	<R0>	0x4000_01FF	

<PORT I>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0200	PIDATA	0x4000_0210		0x4000_0220		0x4000_0230	PIPDN
0x4000_0201	<R0>	0x4000_0211		0x4000_0221		0x4000_0231	<R0>
0x4000_0202	<R0>	0x4000_0212		0x4000_0222		0x4000_0232	<R0>
0x4000_0203	<R0>	0x4000_0213		0x4000_0223		0x4000_0233	<R0>
0x4000_0204	PICR	0x4000_0214		0x4000_0224		0x4000_0234	
0x4000_0205	<R0>	0x4000_0215		0x4000_0225		0x4000_0235	
0x4000_0206	<R0>	0x4000_0216		0x4000_0226		0x4000_0236	
0x4000_0207	<R0>	0x4000_0217		0x4000_0227		0x4000_0237	
0x4000_0208		0x4000_0218		0x4000_0228	PIOD	0x4000_0238	PIIE
0x4000_0209		0x4000_0219		0x4000_0229	<R0>	0x4000_0239	<R0>
0x4000_020A		0x4000_021A		0x4000_022A	<R0>	0x4000_023A	<R0>
0x4000_020B		0x4000_021B		0x4000_022B	<R0>	0x4000_023B	<R0>
0x4000_020C		0x4000_021C		0x4000_022C	PIPUP	0x4000_023C	
0x4000_020D		0x4000_021D		0x4000_022D	<R0>	0x4000_023D	
0x4000_020E		0x4000_021E		0x4000_022E	<R0>	0x4000_023E	
0x4000_020F		0x4000_021F		0x4000_022F	<R0>	0x4000_023F	

[1] ポート[4/5]

<PORT J>

アドレス	レジスタ名
0x4000_0240	PJDATA
0x4000_0241	<R0>
0x4000_0242	<R0>
0x4000_0243	<R0>
0x4000_0244	PJCR
0x4000_0245	<R0>
0x4000_0246	<R0>
0x4000_0247	<R0>
0x4000_0248	PJFR1
0x4000_0249	<R0>
0x4000_024A	<R0>
0x4000_024B	<R0>
0x4000_024C	
0x4000_024D	
0x4000_024E	
0x4000_024F	

アドレス	レジスタ名
0x4000_0250	
0x4000_0251	
0x4000_0252	
0x4000_0253	
0x4000_0254	
0x4000_0255	
0x4000_0256	
0x4000_0257	
0x4000_0258	
0x4000_0259	
0x4000_025A	
0x4000_025B	
0x4000_025C	
0x4000_025D	
0x4000_025E	
0x4000_025F	

アドレス	レジスタ名
0x4000_0260	
0x4000_0261	
0x4000_0262	
0x4000_0263	
0x4000_0264	
0x4000_0265	
0x4000_0266	
0x4000_0267	
0x4000_0268	PJOD
0x4000_0269	<R0>
0x4000_026A	<R0>
0x4000_026B	<R0>
0x4000_026C	PJPUP
0x4000_026D	<R0>
0x4000_026E	<R0>
0x4000_026F	<R0>

アドレス	レジスタ名
0x4000_0270	PJPDN
0x4000_0271	<R0>
0x4000_0272	<R0>
0x4000_0273	<R0>
0x4000_0274	
0x4000_0275	
0x4000_0276	
0x4000_0277	
0x4000_0278	PJIE
0x4000_0279	<R0>
0x4000_027A	<R0>
0x4000_027B	<R0>
0x4000_027C	
0x4000_027D	
0x4000_027E	
0x4000_027F	

アドレス	レジスタ名
0x4000_0280	
0x4000_0281	
0x4000_0282	
0x4000_0283	
0x4000_0284	
0x4000_0285	
0x4000_0286	
0x4000_0287	
0x4000_0288	
0x4000_0289	
0x4000_028A	
0x4000_028B	
0x4000_028C	
0x4000_028D	
0x4000_028E	
0x4000_028F	

アドレス	レジスタ名
0x4000_0290	
0x4000_0291	
0x4000_0292	
0x4000_0293	
0x4000_0294	
0x4000_0295	
0x4000_0296	
0x4000_0297	
0x4000_0298	
0x4000_0299	
0x4000_029A	
0x4000_029B	
0x4000_029C	
0x4000_029D	
0x4000_029E	
0x4000_029F	

アドレス	レジスタ名
0x4000_02A0	
0x4000_02A1	
0x4000_02A2	
0x4000_02A3	
0x4000_02A4	
0x4000_02A5	
0x4000_02A6	
0x4000_02A7	
0x4000_02A8	
0x4000_02A9	
0x4000_02AA	
0x4000_02AB	
0x4000_02AC	
0x4000_02AD	
0x4000_02AE	
0x4000_02AF	

アドレス	レジスタ名
0x4000_02B0	
0x4000_02B1	
0x4000_02B2	
0x4000_02B3	
0x4000_02B4	
0x4000_02B5	
0x4000_02B6	
0x4000_02B7	
0x4000_02B8	
0x4000_02B9	
0x4000_02BA	
0x4000_02BB	
0x4000_02BC	
0x4000_02BD	
0x4000_02BE	
0x4000_02BF	

<PORT L>

アドレス	レジスタ名
0x4000_02C0	PLDATA
0x4000_02C1	<R0>
0x4000_02C2	<R0>
0x4000_02C3	<R0>
0x4000_02C4	PLCR
0x4000_02C5	<R0>
0x4000_02C6	<R0>
0x4000_02C7	<R0>
0x4000_02C8	PLFR1
0x4000_02C9	<R0>
0x4000_02CA	<R0>
0x4000_02CB	<R0>
0x4000_02CC	
0x4000_02CD	
0x4000_02CE	
0x4000_02CF	

アドレス	レジスタ名
0x4000_02D0	
0x4000_02D1	
0x4000_02D2	
0x4000_02D3	
0x4000_02D4	
0x4000_02D5	
0x4000_02D6	
0x4000_02D7	
0x4000_02D8	
0x4000_02D9	
0x4000_02DA	
0x4000_02DB	
0x4000_02DC	
0x4000_02DD	
0x4000_02DE	
0x4000_02DF	

アドレス	レジスタ名
0x4000_02E0	
0x4000_02E1	
0x4000_02E2	
0x4000_02E3	
0x4000_02E4	
0x4000_02E5	
0x4000_02E6	
0x4000_02E7	
0x4000_02E8	PLOD
0x4000_02E9	<R0>
0x4000_02EA	<R0>
0x4000_02EB	<R0>
0x4000_02EC	PLPUP
0x4000_02ED	<R0>
0x4000_02EE	<R0>
0x4000_02EF	<R0>

アドレス	レジスタ名
0x4000_02F0	PLPDN
0x4000_02F1	<R0>
0x4000_02F2	<R0>
0x4000_02F3	<R0>
0x4000_02F4	
0x4000_02F5	
0x4000_02F6	
0x4000_02F7	
0x4000_02F8	PLIE
0x4000_02F9	<R0>
0x4000_02FA	<R0>
0x4000_02FB	<R0>
0x4000_02FC	
0x4000_02FD	
0x4000_02FE	
0x4000_02FF	

[1] ポート[5/5]

<PORT M>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0300	PMDATA	0x4000_0310		0x4000_0320		0x4000_0330	PMPDN
0x4000_0301	<R0>	0x4000_0311		0x4000_0321		0x4000_0331	<R0>
0x4000_0302	<R0>	0x4000_0312		0x4000_0322		0x4000_0332	<R0>
0x4000_0303	<R0>	0x4000_0313		0x4000_0323		0x4000_0333	<R0>
0x4000_0304	PMCR	0x4000_0314		0x4000_0324		0x4000_0334	
0x4000_0305	<R0>	0x4000_0315		0x4000_0325		0x4000_0335	
0x4000_0306	<R0>	0x4000_0316		0x4000_0326		0x4000_0336	
0x4000_0307	<R0>	0x4000_0317		0x4000_0327		0x4000_0337	
0x4000_0308		0x4000_0318		0x4000_0328	PMOD	0x4000_0338	PMIE
0x4000_0309		0x4000_0319		0x4000_0329	<R0>	0x4000_0339	<R0>
0x4000_030A		0x4000_031A		0x4000_032A	<R0>	0x4000_033A	<R0>
0x4000_030B		0x4000_031B		0x4000_032B	<R0>	0x4000_033B	<R0>
0x4000_030C		0x4000_031C		0x4000_032C	PMPUP	0x4000_033C	
0x4000_030D		0x4000_031D		0x4000_032D	<R0>	0x4000_033D	
0x4000_030E		0x4000_031E		0x4000_032E	<R0>	0x4000_033E	
0x4000_030F		0x4000_031F		0x4000_032F	<R0>	0x4000_033F	

<PORT N>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0340	PNDATA	0x4000_0350		0x4000_0360		0x4000_0370	PNPDN
0x4000_0341	<R0>	0x4000_0351		0x4000_0361		0x4000_0371	<R0>
0x4000_0342	<R0>	0x4000_0352		0x4000_0362		0x4000_0372	<R0>
0x4000_0343	<R0>	0x4000_0353		0x4000_0363		0x4000_0373	<R0>
0x4000_0344	PNCR	0x4000_0354		0x4000_0364		0x4000_0374	
0x4000_0345	<R0>	0x4000_0355		0x4000_0365		0x4000_0375	
0x4000_0346	<R0>	0x4000_0356		0x4000_0366		0x4000_0376	
0x4000_0347	<R0>	0x4000_0357		0x4000_0367		0x4000_0377	
0x4000_0348	PNFR1	0x4000_0358		0x4000_0368	PNOD	0x4000_0378	PNIE
0x4000_0349	<R0>	0x4000_0359		0x4000_0369	<R0>	0x4000_0379	<R0>
0x4000_034A	<R0>	0x4000_035A		0x4000_036A	<R0>	0x4000_037A	<R0>
0x4000_034B	<R0>	0x4000_035B		0x4000_036B	<R0>	0x4000_037B	<R0>
0x4000_034C	PNFR2	0x4000_035C		0x4000_036C	PNPUP	0x4000_037C	
0x4000_034D	<R0>	0x4000_035D		0x4000_036D	<R0>	0x4000_037D	
0x4000_034E	<R0>	0x4000_035E		0x4000_036E	<R0>	0x4000_037E	
0x4000_034F	<R0>	0x4000_035F		0x4000_036F	<R0>	0x4000_037F	

<PORT P>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0380	PPDATA	0x4000_0390		0x4000_03A0		0x4000_03B0	PPPDN
0x4000_0381	<R0>	0x4000_0391		0x4000_03A1		0x4000_03B1	<R0>
0x4000_0382	<R0>	0x4000_0392		0x4000_03A2		0x4000_03B2	<R0>
0x4000_0383	<R0>	0x4000_0393		0x4000_03A3		0x4000_03B3	<R0>
0x4000_0384	PPCR	0x4000_0394		0x4000_03A4		0x4000_03B4	
0x4000_0385	<R0>	0x4000_0395		0x4000_03A5		0x4000_03B5	
0x4000_0386	<R0>	0x4000_0396		0x4000_03A6		0x4000_03B6	
0x4000_0387	<R0>	0x4000_0397		0x4000_03A7		0x4000_03B7	
0x4000_0388		0x4000_0398		0x4000_03A8	PPOD	0x4000_03B8	PPIE
0x4000_0389		0x4000_0399		0x4000_03A9	<R0>	0x4000_03B9	<R0>
0x4000_038A		0x4000_039A		0x4000_03AA	<R0>	0x4000_03BA	<R0>
0x4000_038B		0x4000_039B		0x4000_03AB	<R0>	0x4000_03BB	<R0>
0x4000_038C		0x4000_039C		0x4000_03AC	PPPUP	0x4000_03BC	
0x4000_038D		0x4000_039D		0x4000_03AD	<R0>	0x4000_03BD	
0x4000_038E		0x4000_039E		0x4000_03AE	<R0>	0x4000_03BE	
0x4000_038F		0x4000_039F		0x4000_03AF	<R0>	0x4000_03BF	

25.1.2 [2] 16ビットタイマ[1/3]

<TMRB0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0000	TB0EN	0x4001_0010	TB0FFCR	0x4001_0020	TB0RG0	0x4001_0030	
0x4001_0001	<R0>	0x4001_0011	<R0>	0x4001_0021		0x4001_0031	
0x4001_0002	<R0>	0x4001_0012	<R0>	0x4001_0022	<R0>	0x4001_0032	
0x4001_0003	<R0>	0x4001_0013	<R0>	0x4001_0023	<R0>	0x4001_0033	
0x4001_0004	TB0RUN	0x4001_0014	TB0ST	0x4001_0024	TB0RG1	0x4001_0034	
0x4001_0005	<R0>	0x4001_0015	<R0>	0x4001_0025		0x4001_0035	
0x4001_0006	<R0>	0x4001_0016	<R0>	0x4001_0026	<R0>	0x4001_0036	
0x4001_0007	<R0>	0x4001_0017	<R0>	0x4001_0027	<R0>	0x4001_0037	
0x4001_0008	TB0CR	0x4001_0018	TB0IM	0x4001_0028	TB0CP0	0x4001_0038	
0x4001_0009	<R0>	0x4001_0019	<R0>	0x4001_0029		0x4001_0039	
0x4001_000A	<R0>	0x4001_001A	<R0>	0x4001_002A	<R0>	0x4001_003A	
0x4001_000B	<R0>	0x4001_001B	<R0>	0x4001_002B	<R0>	0x4001_003B	
0x4001_000C	TB0MOD	0x4001_001C	TB0UC	0x4001_002C	TB0CP1	0x4001_003C	
0x4001_000D	<R0>	0x4001_001D	<R0>	0x4001_002D		0x4001_003D	
0x4001_000E	<R0>	0x4001_001E	<R0>	0x4001_002E	<R0>	0x4001_003E	
0x4001_000F	<R0>	0x4001_001F	<R0>	0x4001_002F	<R0>	0x4001_003F	

<TMRB1>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0040	TB1EN	0x4001_0050	TB1FFCR	0x4001_0060	TB1RG0	0x4001_0070	
0x4001_0041	<R0>	0x4001_0051	<R0>	0x4001_0061		0x4001_0071	
0x4001_0042	<R0>	0x4001_0052	<R0>	0x4001_0062	<R0>	0x4001_0072	
0x4001_0043	<R0>	0x4001_0053	<R0>	0x4001_0063	<R0>	0x4001_0073	
0x4001_0044	TB1RUN	0x4001_0054	TB1ST	0x4001_0064	TB1RG1	0x4001_0074	
0x4001_0045	<R0>	0x4001_0055	<R0>	0x4001_0065		0x4001_0075	
0x4001_0046	<R0>	0x4001_0056	<R0>	0x4001_0066	<R0>	0x4001_0076	
0x4001_0047	<R0>	0x4001_0057	<R0>	0x4001_0067	<R0>	0x4001_0077	
0x4001_0048	TB1CR	0x4001_0058	TB1IM	0x4001_0068	TB1CP0	0x4001_0078	
0x4001_0049	<R0>	0x4001_0059	<R0>	0x4001_0069		0x4001_0079	
0x4001_004A	<R0>	0x4001_005A	<R0>	0x4001_006A	<R0>	0x4001_007A	
0x4001_004B	<R0>	0x4001_005B	<R0>	0x4001_006B	<R0>	0x4001_007B	
0x4001_004C	TB1MOD	0x4001_005C	TB1UC	0x4001_006C	TB1CP1	0x4001_007C	
0x4001_004D	<R0>	0x4001_005D	<R0>	0x4001_006D		0x4001_007D	
0x4001_004E	<R0>	0x4001_005E	<R0>	0x4001_006E	<R0>	0x4001_007E	
0x4001_004F	<R0>	0x4001_005F	<R0>	0x4001_006F	<R0>	0x4001_007F	

<TMRB2>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0080	TB2EN	0x4001_0090	TB2FFCR	0x4001_00A0	TB2RG0	0x4001_00B0	
0x4001_0081	<R0>	0x4001_0091	<R0>	0x4001_00A1		0x4001_00B1	
0x4001_0082	<R0>	0x4001_0092	<R0>	0x4001_00A2	<R0>	0x4001_00B2	
0x4001_0083	<R0>	0x4001_0093	<R0>	0x4001_00A3	<R0>	0x4001_00B3	
0x4001_0084	TB2RUN	0x4001_0094	TB2ST	0x4001_00A4	TB2RG1	0x4001_00B4	
0x4001_0085	<R0>	0x4001_0095	<R0>	0x4001_00A5		0x4001_00B5	
0x4001_0086	<R0>	0x4001_0096	<R0>	0x4001_00A6	<R0>	0x4001_00B6	
0x4001_0087	<R0>	0x4001_0097	<R0>	0x4001_00A7	<R0>	0x4001_00B7	
0x4001_0088	TB2CR	0x4001_0098	TB2IM	0x4001_00A8	TB2CP0	0x4001_00B8	
0x4001_0089	<R0>	0x4001_0099	<R0>	0x4001_00A9		0x4001_00B9	
0x4001_008A	<R0>	0x4001_009A	<R0>	0x4001_00AA	<R0>	0x4001_00BA	
0x4001_008B	<R0>	0x4001_009B	<R0>	0x4001_00AB	<R0>	0x4001_00BB	
0x4001_008C	TB2MOD	0x4001_009C	TB2UC	0x4001_00AC	TB2CP1	0x4001_00BC	
0x4001_008D	<R0>	0x4001_009D	<R0>	0x4001_00AD		0x4001_00BD	
0x4001_008E	<R0>	0x4001_009E	<R0>	0x4001_00AE	<R0>	0x4001_00BE	
0x4001_008F	<R0>	0x4001_009F	<R0>	0x4001_00AF	<R0>	0x4001_00BF	

[2] 16 ビットタイマ[2/3]

<TMRB3>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_00C0	TB3EN	0x4001_00D0	TB3FFCR	0x4001_00E0	TB3RG0	0x4001_00F0	
0x4001_00C1	<R0>	0x4001_00D1	<R0>	0x4001_00E1		0x4001_00F1	
0x4001_00C2	<R0>	0x4001_00D2	<R0>	0x4001_00E2	<R0>	0x4001_00F2	
0x4001_00C3	<R0>	0x4001_00D3	<R0>	0x4001_00E3	<R0>	0x4001_00F3	
0x4001_00C4	TB3RUN	0x4001_00D4	TB3ST	0x4001_00E4	TB3RG1	0x4001_00F4	
0x4001_00C5	<R0>	0x4001_00D5	<R0>	0x4001_00E5		0x4001_00F5	
0x4001_00C6	<R0>	0x4001_00D6	<R0>	0x4001_00E6	<R0>	0x4001_00F6	
0x4001_00C7	<R0>	0x4001_00D7	<R0>	0x4001_00E7	<R0>	0x4001_00F7	
0x4001_00C8	TB3CR	0x4001_00D8	TB3IM	0x4001_00E8	TB3CP0	0x4001_00F8	
0x4001_00C9	<R0>	0x4001_00D9	<R0>	0x4001_00E9		0x4001_00F9	
0x4001_00CA	<R0>	0x4001_00DA	<R0>	0x4001_00EA	<R0>	0x4001_00FA	
0x4001_00CB	<R0>	0x4001_00DB	<R0>	0x4001_00EB	<R0>	0x4001_00FB	
0x4001_00CC	TB3MOD	0x4001_00DC	TB3UC	0x4001_00EC	TB3CP1	0x4001_00FC	
0x4001_00CD	<R0>	0x4001_00DD		0x4001_00ED		0x4001_00FD	
0x4001_00CE	<R0>	0x4001_00DE	<R0>	0x4001_00EE	<R0>	0x4001_00FE	
0x4001_00CF	<R0>	0x4001_00DF	<R0>	0x4001_00EF	<R0>	0x4001_00FF	

<TMRB4>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0100	TB4EN	0x4001_0110	TB4FFCR	0x4001_0120	TB4RG0	0x4001_0130	
0x4001_0101	<R0>	0x4001_0111	<R0>	0x4001_0121		0x4001_0131	
0x4001_0102	<R0>	0x4001_0112	<R0>	0x4001_0122	<R0>	0x4001_0132	
0x4001_0103	<R0>	0x4001_0113	<R0>	0x4001_0123	<R0>	0x4001_0133	
0x4001_0104	TB4RUN	0x4001_0114	TB4ST	0x4001_0124	TB4RG1	0x4001_0134	
0x4001_0105	<R0>	0x4001_0115	<R0>	0x4001_0125		0x4001_0135	
0x4001_0106	<R0>	0x4001_0116	<R0>	0x4001_0126	<R0>	0x4001_0136	
0x4001_0107	<R0>	0x4001_0117	<R0>	0x4001_0127	<R0>	0x4001_0137	
0x4001_0108	TB4CR	0x4001_0118	TB4IM	0x4001_0128	TB4CP0	0x4001_0138	
0x4001_0109	<R0>	0x4001_0119	<R0>	0x4001_0129		0x4001_0139	
0x4001_010A	<R0>	0x4001_011A	<R0>	0x4001_012A	<R0>	0x4001_013A	
0x4001_010B	<R0>	0x4001_011B	<R0>	0x4001_012B	<R0>	0x4001_013B	
0x4001_010C	TB4MOD	0x4001_011C	TB4UC	0x4001_012C	TB4CP1	0x4001_013C	
0x4001_010D	<R0>	0x4001_011D		0x4001_012D		0x4001_013D	
0x4001_010E	<R0>	0x4001_011E	<R0>	0x4001_012E	<R0>	0x4001_013E	
0x4001_010F	<R0>	0x4001_011F	<R0>	0x4001_012F	<R0>	0x4001_013F	

<TMRB5>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0140	TB5EN	0x4001_0150	TB5FFCR	0x4001_0160	TB5RG0	0x4001_0170	
0x4001_0141	<R0>	0x4001_0151	<R0>	0x4001_0161		0x4001_0171	
0x4001_0142	<R0>	0x4001_0152	<R0>	0x4001_0162	<R0>	0x4001_0172	
0x4001_0143	<R0>	0x4001_0153	<R0>	0x4001_0163	<R0>	0x4001_0173	
0x4001_0144	TB5RUN	0x4001_0154	TB5ST	0x4001_0164	TB5RG1	0x4001_0174	
0x4001_0145	<R0>	0x4001_0155	<R0>	0x4001_0165		0x4001_0175	
0x4001_0146	<R0>	0x4001_0156	<R0>	0x4001_0166	<R0>	0x4001_0176	
0x4001_0147	<R0>	0x4001_0157	<R0>	0x4001_0167	<R0>	0x4001_0177	
0x4001_0148	TB5CR	0x4001_0158	TB5IM	0x4001_0168	TB5CP0	0x4001_0178	
0x4001_0149	<R0>	0x4001_0159	<R0>	0x4001_0169		0x4001_0179	
0x4001_014A	<R0>	0x4001_015A	<R0>	0x4001_016A	<R0>	0x4001_017A	
0x4001_014B	<R0>	0x4001_015B	<R0>	0x4001_016B	<R0>	0x4001_017B	
0x4001_014C	TB5MOD	0x4001_015C	TB5UC	0x4001_016C	TB5CP1	0x4001_017C	
0x4001_014D	<R0>	0x4001_015D		0x4001_016D		0x4001_017D	
0x4001_014E	<R0>	0x4001_015E	<R0>	0x4001_016E	<R0>	0x4001_017E	
0x4001_014F	<R0>	0x4001_015F	<R0>	0x4001_016F	<R0>	0x4001_017F	

[2] 16 ビットタイマ[3/3]

<TMRB6>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0180	TB6EN	0x4001_0190	TB6FFCR	0x4001_01A0	TB6RG0	0x4001_01B0	
0x4001_0181	<R0>	0x4001_0191	<R0>	0x4001_01A1		0x4001_01B1	
0x4001_0182	<R0>	0x4001_0192	<R0>	0x4001_01A2	<R0>	0x4001_01B2	
0x4001_0183	<R0>	0x4001_0193	<R0>	0x4001_01A3	<R0>	0x4001_01B3	
0x4001_0184	TB6RUN	0x4001_0194	TB6ST	0x4001_01A4	TB6RG1	0x4001_01B4	
0x4001_0185	<R0>	0x4001_0195	<R0>	0x4001_01A5		0x4001_01B5	
0x4001_0186	<R0>	0x4001_0196	<R0>	0x4001_01A6	<R0>	0x4001_01B6	
0x4001_0187	<R0>	0x4001_0197	<R0>	0x4001_01A7	<R0>	0x4001_01B7	
0x4001_0188	TB6CR	0x4001_0198	TB6IM	0x4001_01A8	TB6CP0	0x4001_01B8	
0x4001_0189	<R0>	0x4001_0199	<R0>	0x4001_01A9		0x4001_01B9	
0x4001_018A	<R0>	0x4001_019A	<R0>	0x4001_01AA	<R0>	0x4001_01BA	
0x4001_018B	<R0>	0x4001_019B	<R0>	0x4001_01AB	<R0>	0x4001_01BB	
0x4001_018C	TB6MOD	0x4001_019C	TB6UC	0x4001_01AC	TB6CP1	0x4001_01BC	
0x4001_018D	<R0>	0x4001_019D		0x4001_01AD		0x4001_01BD	
0x4001_018E	<R0>	0x4001_019E	<R0>	0x4001_01AE	<R0>	0x4001_01BE	
0x4001_018F	<R0>	0x4001_019F	<R0>	0x4001_01AF	<R0>	0x4001_01BF	

<TMRB7>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_01C0	TB7EN	0x4001_01D0	TB7FFCR	0x4001_01E0	TB7RG0	0x4001_01F0	
0x4001_01C1	<R0>	0x4001_01D1	<R0>	0x4001_01E1		0x4001_01F1	
0x4001_01C2	<R0>	0x4001_01D2	<R0>	0x4001_01E2	<R0>	0x4001_01F2	
0x4001_01C3	<R0>	0x4001_01D3	<R0>	0x4001_01E3	<R0>	0x4001_01F3	
0x4001_01C4	TB7RUN	0x4001_01D4	TB7ST	0x4001_01E4	TB7RG1	0x4001_01F4	
0x4001_01C5	<R0>	0x4001_01D5	<R0>	0x4001_01E5		0x4001_01F5	
0x4001_01C6	<R0>	0x4001_01D6	<R0>	0x4001_01E6	<R0>	0x4001_01F6	
0x4001_01C7	<R0>	0x4001_01D7	<R0>	0x4001_01E7	<R0>	0x4001_01F7	
0x4001_01C8	TB7CR	0x4001_01D8	TB7IM	0x4001_01E8	TB7CP0	0x4001_01F8	
0x4001_01C9	<R0>	0x4001_01D9	<R0>	0x4001_01E9		0x4001_01F9	
0x4001_01CA	<R0>	0x4001_01DA	<R0>	0x4001_01EA	<R0>	0x4001_01FA	
0x4001_01CB	<R0>	0x4001_01DB	<R0>	0x4001_01EB	<R0>	0x4001_01FB	
0x4001_01CC	TB7MOD	0x4001_01DC	TB7UC	0x4001_01EC	TB7CP1	0x4001_01FC	
0x4001_01CD	<R0>	0x4001_01DD		0x4001_01ED		0x4001_01FD	
0x4001_01CE	<R0>	0x4001_01DE	<R0>	0x4001_01EE	<R0>	0x4001_01FE	
0x4001_01CF	<R0>	0x4001_01DF	<R0>	0x4001_01EF	<R0>	0x4001_01FF	

25.1.3 [3] エンコーダ入力 (ENC)

<ENC0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0400	EN0TNCR	0x4001_0410		0x4001_0420		0x4001_0430	
0x4001_0401		0x4001_0411		0x4001_0421		0x4001_0431	
0x4001_0402		0x4001_0412		0x4001_0422		0x4001_0432	
0x4001_0403	<R0>	0x4001_0413		0x4001_0423		0x4001_0433	
0x4001_0404	EN0RELOAD	0x4001_0414		0x4001_0424		0x4001_0434	
0x4001_0405		0x4001_0415		0x4001_0425		0x4001_0435	
0x4001_0406	<R0>	0x4001_0416		0x4001_0426		0x4001_0436	
0x4001_0407	<R0>	0x4001_0417		0x4001_0427		0x4001_0437	
0x4001_0408	EN0INT	0x4001_0418		0x4001_0428		0x4001_0438	
0x4001_0409		0x4001_0419		0x4001_0429		0x4001_0439	
0x4001_040A		0x4001_041A		0x4001_042A		0x4001_043A	
0x4001_040B	<R0>	0x4001_041B		0x4001_042B		0x4001_043B	
0x4001_040C	EN0CNT	0x4001_041C		0x4001_042C		0x4001_043C	
0x4001_040D		0x4001_041D		0x4001_042D		0x4001_043D	
0x4001_040E		0x4001_041E		0x4001_042E		0x4001_043E	
0x4001_040F	<R0>	0x4001_041F		0x4001_042F		0x4001_043F	

<ENC1>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0500	EN1TNCR	0x4001_0510		0x4001_0520		0x4001_0530	
0x4001_0501		0x4001_0511		0x4001_0521		0x4001_0531	
0x4001_0502		0x4001_0512		0x4001_0522		0x4001_0532	
0x4001_0503	<R0>	0x4001_0513		0x4001_0523		0x4001_0533	
0x4001_0504	EN1RELOAD	0x4001_0514		0x4001_0524		0x4001_0534	
0x4001_0505		0x4001_0515		0x4001_0525		0x4001_0535	
0x4001_0506	<R0>	0x4001_0516		0x4001_0526		0x4001_0536	
0x4001_0507	<R0>	0x4001_0517		0x4001_0527		0x4001_0537	
0x4001_0508	EN1INT	0x4001_0518		0x4001_0528		0x4001_0538	
0x4001_0509		0x4001_0519		0x4001_0529		0x4001_0539	
0x4001_050A		0x4001_051A		0x4001_052A		0x4001_053A	
0x4001_050B	<R0>	0x4001_051B		0x4001_052B		0x4001_053B	
0x4001_050C	EN1CNT	0x4001_051C		0x4001_052C		0x4001_053C	
0x4001_050D		0x4001_051D		0x4001_052D		0x4001_053D	
0x4001_050E		0x4001_051E		0x4001_052E		0x4001_053E	
0x4001_050F	<R0>	0x4001_051F		0x4001_052F		0x4001_053F	

25.1.4 [4] シリアルバスインタフェース (SBI)

<SBI0>

アドレス	レジスタ名
0x4002_0000	SBI0CR0
0x4002_0001	
0x4002_0002	
0x4002_0003	
0x4002_0004	SBI0CR1
0x4002_0005	
0x4002_0006	
0x4002_0007	
0x4002_0008	SBI0DBR
0x4002_0009	
0x4002_000A	
0x4002_000B	
0x4002_000C	SBI0I2CAR
0x4002_000D	
0x4002_000E	
0x4002_000F	

アドレス	レジスタ名
0x4002_0010	SBI0CR2/SR
0x4002_0011	
0x4002_0012	
0x4002_0013	
0x4002_0014	SBI0BR0
0x4002_0015	
0x4002_0016	
0x4002_0017	
0x4002_0018	
0x4002_0019	
0x4002_001A	
0x4002_001B	
0x4002_001C	
0x4002_001D	
0x4002_001E	
0x4002_001F	

<SBI1>

アドレス	レジスタ名
0x4002_0020	SBI1CR0
0x4002_0021	
0x4002_0022	
0x4002_0023	
0x4002_0024	SBI1CR1
0x4002_0025	
0x4002_0026	
0x4002_0027	
0x4002_0028	SBI1DBR
0x4002_0029	
0x4002_002A	
0x4002_002B	
0x4002_002C	SBI1I2CAR
0x4002_002D	
0x4002_002E	
0x4002_002F	

アドレス	レジスタ名
0x4002_0030	SBI1CR2/SR
0x4002_0031	
0x4002_0032	
0x4002_0033	
0x4002_0034	SBI1BR0
0x4002_0035	
0x4002_0036	
0x4002_0037	
0x4002_0038	
0x4002_0039	
0x4002_003A	
0x4002_003B	
0x4002_003C	"
0x4002_003D	
0x4002_003E	
0x4002_003F	

アドレス	レジスタ名
0x4002_0040	
0x4002_0041	
0x4002_0042	
0x4002_0043	
0x4002_0044	
0x4002_0045	
0x4002_0046	
0x4002_0047	
0x4002_0048	
0x4002_0049	
0x4002_004A	
0x4002_004B	
0x4002_004C	
0x4002_004D	
0x4002_004E	
0x4002_004F	

アドレス	レジスタ名
0x4002_0050	
0x4002_0051	
0x4002_0052	
0x4002_0053	
0x4002_0054	
0x4002_0055	
0x4002_0056	
0x4002_0057	
0x4002_0058	
0x4002_0059	
0x4002_005A	
0x4002_005B	
0x4002_005C	
0x4002_005D	
0x4002_005E	
0x4002_005F	

アドレス	レジスタ名
0x4002_0060	
0x4002_0061	
0x4002_0062	
0x4002_0063	
0x4002_0064	
0x4002_0065	
0x4002_0066	
0x4002_0067	
0x4002_0068	
0x4002_0069	
0x4002_006A	
0x4002_006B	
0x4002_006C	
0x4002_006D	
0x4002_006E	
0x4002_006F	

アドレス	レジスタ名
0x4002_0070	
0x4002_0071	
0x4002_0072	
0x4002_0073	
0x4002_0074	
0x4002_0075	
0x4002_0076	
0x4002_0077	
0x4002_0078	
0x4002_0079	
0x4002_007A	
0x4002_007B	
0x4002_007C	
0x4002_007D	
0x4002_007E	
0x4002_007F	

25.1.5 [5] シリアルインタフェース (UART/SIO) [1/2]

<SIO0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0080	SC0EN	0x4002_0090	SC0BRCCR	0x4002_00A0	SC0RFC	0x4002_00B0	SC0FCNF
0x4002_0081	<R0>	0x4002_0091	<R0>	0x4002_00A1	<R0>	0x4002_00B1	<R0>
0x4002_0082	<R0>	0x4002_0092	<R0>	0x4002_00A2	<R0>	0x4002_00B2	<R0>
0x4002_0083	<R0>	0x4002_0093	<R0>	0x4002_00A3	<R0>	0x4002_00B3	<R0>
0x4002_0084	SC0BUF	0x4002_0094	SC0BRADD	0x4002_00A4	SC0TFC	0x4002_00B4	
0x4002_0085	<R0>	0x4002_0095	<R0>	0x4002_00A5	<R0>	0x4002_00B5	
0x4002_0086	<R0>	0x4002_0096	<R0>	0x4002_00A6	<R0>	0x4002_00B6	
0x4002_0087	<R0>	0x4002_0097	<R0>	0x4002_00A7	<R0>	0x4002_00B7	
0x4002_0088	SC0CR	0x4002_0098	SC0MOD1	0x4002_00A8	SC0RST	0x4002_00B8	
0x4002_0089	<R0>	0x4002_0099	<R0>	0x4002_00A9	<R0>	0x4002_00B9	
0x4002_008A	<R0>	0x4002_009A	<R0>	0x4002_00AA	<R0>	0x4002_00BA	
0x4002_008B	<R0>	0x4002_009B	<R0>	0x4002_00AB	<R0>	0x4002_00BB	
0x4002_008C	SC0MOD0	0x4002_009C	SC0MOD2	0x4002_00AC	SC0TST	0x4002_00BC	
0x4002_008D	<R0>	0x4002_009D	<R0>	0x4002_00AD	<R0>	0x4002_00BD	
0x4002_008E	<R0>	0x4002_009E	<R0>	0x4002_00AE	<R0>	0x4002_00BE	
0x4002_008F	<R0>	0x4002_009F	<R0>	0x4002_00AF	<R0>	0x4002_00BF	

<SIO1>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_00C0	SC1EN	0x4002_00D0	SC1BRCCR	0x4002_00E0	SC1RFC	0x4002_00F0	SC1FCNF
0x4002_00C1	<R0>	0x4002_00D1	<R0>	0x4002_00E1	<R0>	0x4002_00F1	<R0>
0x4002_00C2	<R0>	0x4002_00D2	<R0>	0x4002_00E2	<R0>	0x4002_00F2	<R0>
0x4002_00C3	<R0>	0x4002_00D3	<R0>	0x4002_00E3	<R0>	0x4002_00F3	<R0>
0x4002_00C4	SC1BUF	0x4002_00D4	SC1BRADD	0x4002_00E4	SC1TFC	0x4002_00F4	
0x4002_00C5	<R0>	0x4002_00D5	<R0>	0x4002_00E5	<R0>	0x4002_00F5	
0x4002_00C6	<R0>	0x4002_00D6	<R0>	0x4002_00E6	<R0>	0x4002_00F6	
0x4002_00C7	<R0>	0x4002_00D7	<R0>	0x4002_00E7	<R0>	0x4002_00F7	
0x4002_00C8	SC1CR	0x4002_00D8	SC1MOD1	0x4002_00E8	SC1RST	0x4002_00F8	
0x4002_00C9	<R0>	0x4002_00D9	<R0>	0x4002_00E9	<R0>	0x4002_00F9	
0x4002_00CA	<R0>	0x4002_00DA	<R0>	0x4002_00EA	<R0>	0x4002_00FA	
0x4002_00CB	<R0>	0x4002_00DB	<R0>	0x4002_00EB	<R0>	0x4002_00FB	
0x4002_00CC	SC1MOD0	0x4002_00DC	SC1MOD2	0x4002_00EC	SC1TST	0x4002_00FC	
0x4002_00CD	<R0>	0x4002_00DD	<R0>	0x4002_00ED	<R0>	0x4002_00FD	
0x4002_00CE	<R0>	0x4002_00DE	<R0>	0x4002_00EE	<R0>	0x4002_00FE	
0x4002_00CF	<R0>	0x4002_00DF	<R0>	0x4002_00EF	<R0>	0x4002_00FF	

<SIO2>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0100	SC2EN	0x4002_0110	SC2BRCCR	0x4002_0120	SC2RFC	0x4002_0130	SC2FCNF
0x4002_0101	<R0>	0x4002_0111	<R0>	0x4002_0121	<R0>	0x4002_0131	<R0>
0x4002_0102	<R0>	0x4002_0112	<R0>	0x4002_0122	<R0>	0x4002_0132	<R0>
0x4002_0103	<R0>	0x4002_0113	<R0>	0x4002_0123	<R0>	0x4002_0133	<R0>
0x4002_0104	SC2BUF	0x4002_0114	SC2BRADD	0x4002_0124	SC2TFC	0x4002_0134	
0x4002_0105	<R0>	0x4002_0115	<R0>	0x4002_0125	<R0>	0x4002_0135	
0x4002_0106	<R0>	0x4002_0116	<R0>	0x4002_0126	<R0>	0x4002_0136	
0x4002_0107	<R0>	0x4002_0117	<R0>	0x4002_0127	<R0>	0x4002_0137	
0x4002_0108	SC2CR	0x4002_0118	SC2MOD1	0x4002_0128	SC2RST	0x4002_0138	
0x4002_0109	<R0>	0x4002_0119	<R0>	0x4002_0129	<R0>	0x4002_0139	
0x4002_010A	<R0>	0x4002_011A	<R0>	0x4002_012A	<R0>	0x4002_013A	
0x4002_010B	<R0>	0x4002_011B	<R0>	0x4002_012B	<R0>	0x4002_013B	
0x4002_010C	SC2MOD0	0x4002_011C	SC2MOD2	0x4002_012C	SC2TST	0x4002_013C	
0x4002_010D	<R0>	0x4002_011D	<R0>	0x4002_012D	<R0>	0x4002_013D	
0x4002_010E	<R0>	0x4002_011E	<R0>	0x4002_012E	<R0>	0x4002_013E	
0x4002_010F	<R0>	0x4002_011F	<R0>	0x4002_012F	<R0>	0x4002_013F	

[5] シリアルインタフェース (UART/SIO) [2/2]

<SIO3>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0140	SC3EN	0x4002_0150	SC3BRCR	0x4002_0160	SC3RFC	0x4002_0170	SC3FCNF
0x4002_0141	<R0>	0x4002_0151	<R0>	0x4002_0161	<R0>	0x4002_0171	<R0>
0x4002_0142	<R0>	0x4002_0152	<R0>	0x4002_0162	<R0>	0x4002_0172	<R0>
0x4002_0143	<R0>	0x4002_0153	<R0>	0x4002_0163	<R0>	0x4002_0173	<R0>
0x4002_0144	SC3BUF	0x4002_0154	SC3BRADD	0x4002_0164	SC3TFC	0x4002_0174	
0x4002_0145	<R0>	0x4002_0155	<R0>	0x4002_0165	<R0>	0x4002_0175	
0x4002_0146	<R0>	0x4002_0156	<R0>	0x4002_0166	<R0>	0x4002_0176	
0x4002_0147	<R0>	0x4002_0157	<R0>	0x4002_0167	<R0>	0x4002_0177	
0x4002_0148	SC3CR	0x4002_0158	SC3MOD1	0x4002_0168	SC3RST	0x4002_0178	
0x4002_0149	<R0>	0x4002_0159	<R0>	0x4002_0169	<R0>	0x4002_0179	
0x4002_014A	<R0>	0x4002_015A	<R0>	0x4002_016A	<R0>	0x4002_017A	
0x4002_014B	<R0>	0x4002_015B	<R0>	0x4002_016B	<R0>	0x4002_017B	
0x4002_014C	SC3MOD0	0x4002_015C	SC3MOD2	0x4002_016C	SC3TST	0x4002_017C	
0x4002_014D	<R0>	0x4002_015D	<R0>	0x4002_016D	<R0>	0x4002_017D	
0x4002_014E	<R0>	0x4002_015E	<R0>	0x4002_016E	<R0>	0x4002_017E	
0x4002_014F	<R0>	0x4002_015F	<R0>	0x4002_016F	<R0>	0x4002_017F	

<SIO4>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0180	SC4EN	0x4002_0190	SC4BRCR	0x4002_01A0	SC4RFC	0x4002_01B0	SC4FCNF
0x4002_0181	<R0>	0x4002_0191	<R0>	0x4002_01A1	<R0>	0x4002_01B1	<R0>
0x4002_0182	<R0>	0x4002_0192	<R0>	0x4002_01A2	<R0>	0x4002_01B2	<R0>
0x4002_0183	<R0>	0x4002_0193	<R0>	0x4002_01A3	<R0>	0x4002_01B3	<R0>
0x4002_0184	SC4BUF	0x4002_0194	SC4BRADD	0x4002_01A4	SC4TFC	0x4002_01B4	
0x4002_0185	<R0>	0x4002_0195	<R0>	0x4002_01A5	<R0>	0x4002_01B5	
0x4002_0186	<R0>	0x4002_0196	<R0>	0x4002_01A6	<R0>	0x4002_01B6	
0x4002_0187	<R0>	0x4002_0197	<R0>	0x4002_01A7	<R0>	0x4002_01B7	
0x4002_0188	SC4CR	0x4002_0198	SC4MOD1	0x4002_01A8	SC4RST	0x4002_01B8	
0x4002_0189	<R0>	0x4002_0199	<R0>	0x4002_01A9	<R0>	0x4002_01B9	
0x4002_018A	<R0>	0x4002_019A	<R0>	0x4002_01AA	<R0>	0x4002_01BA	
0x4002_018B	<R0>	0x4002_019B	<R0>	0x4002_01AB	<R0>	0x4002_01BB	
0x4002_018C	SC4MOD0	0x4002_019C	SC4MOD2	0x4002_01AC	SC4TST	0x4002_01BC	
0x4002_018D	<R0>	0x4002_019D	<R0>	0x4002_01AD	<R0>	0x4002_01BD	
0x4002_018E	<R0>	0x4002_019E	<R0>	0x4002_01AE	<R0>	0x4002_01BE	
0x4002_018F	<R0>	0x4002_019F	<R0>	0x4002_01AF	<R0>	0x4002_01BF	

25.1.6 [6] 12ビットA/Dコンバータ (ADC) [1/2]

<ADC>

アドレス	レジスタ名
0x4003_0000	ADCLK
0x4003_0001	
0x4003_0002	
0x4003_0003	
0x4003_0004	ADMOD0
0x4003_0005	
0x4003_0006	
0x4003_0007	
0x4003_0008	ADMOD1
0x4003_0009	
0x4003_000A	
0x4003_000B	
0x4003_000C	ADMOD2
0x4003_000D	
0x4003_000E	
0x4003_000F	

アドレス	レジスタ名
0x4003_0010	ADCMPCR0
0x4003_0011	
0x4003_0012	
0x4003_0013	
0x4003_0014	ADCMPCR1
0x4003_0015	
0x4003_0016	
0x4003_0017	
0x4003_0018	ADCMP0
0x4003_0019	
0x4003_001A	
0x4003_001B	
0x4003_001C	ADCMP1
0x4003_001D	
0x4003_001E	
0x4003_001F	

アドレス	レジスタ名
0x4003_0020	ADREG0
0x4003_0021	
0x4003_0022	
0x4003_0023	
0x4003_0024	ADREG1
0x4003_0025	
0x4003_0026	
0x4003_0027	
0x4003_0028	ADREG2
0x4003_0029	
0x4003_002A	
0x4003_002B	
0x4003_002C	ADREG3
0x4003_002D	
0x4003_002E	
0x4003_002F	

アドレス	レジスタ名
0x4003_0030	ADREG4
0x4003_0031	
0x4003_0032	
0x4003_0033	
0x4003_0034	ADREG5
0x4003_0035	
0x4003_0036	
0x4003_0037	
0x4003_0038	ADREG6
0x4003_0039	
0x4003_003A	
0x4003_003B	
0x4003_003C	ADREG7
0x4003_003D	
0x4003_003E	
0x4003_003F	

アドレス	レジスタ名
0x4003_0040	ADREG8
0x4003_0041	
0x4003_0042	
0x4003_0043	
0x4003_0044	ADREG9
0x4003_0045	
0x4003_0046	
0x4003_0047	
0x4003_0048	ADREG10
0x4003_0049	
0x4003_004A	
0x4003_004B	
0x4003_004C	ADREG11
0x4003_004D	
0x4003_004E	
0x4003_004F	

アドレス	レジスタ名
0x4003_0050	ADPSEL0
0x4003_0051	
0x4003_0052	
0x4003_0053	
0x4003_0054	ADPSEL1
0x4003_0055	
0x4003_0056	
0x4003_0057	
0x4003_0058	ADPSEL2
0x4003_0059	
0x4003_005A	
0x4003_005B	
0x4003_005C	ADPSEL3
0x4003_005D	
0x4003_005E	
0x4003_005F	

アドレス	レジスタ名
0x4003_0060	Reserved
0x4003_0061	
0x4003_0062	
0x4003_0063	
0x4003_0064	Reserved
0x4003_0065	
0x4003_0066	
0x4003_0067	
0x4003_0068	Reserved
0x4003_0069	
0x4003_006A	
0x4003_006B	
0x4003_006C	Reserved
0x4003_006D	
0x4003_006E	
0x4003_006F	

アドレス	レジスタ名
0x4003_0070	Reserved
0x4003_0071	
0x4003_0072	
0x4003_0073	
0x4003_0074	Reserved
0x4003_0075	
0x4003_0076	
0x4003_0077	
0x4003_0078	Reserved
0x4003_0079	
0x4003_007A	
0x4003_007B	
0x4003_007C	Reserved
0x4003_007D	
0x4003_007E	
0x4003_007F	

アドレス	レジスタ名
0x4003_0080	ADPINTS0
0x4003_0081	
0x4003_0082	
0x4003_0083	
0x4003_0084	ADPINTS1
0x4003_0085	
0x4003_0086	
0x4003_0087	
0x4003_0088	ADPINTS2
0x4003_0089	
0x4003_008A	
0x4003_008B	
0x4003_008C	ADPINTS3
0x4003_008D	
0x4003_008E	
0x4003_008F	

アドレス	レジスタ名
0x4003_0090	ADPINTS4
0x4003_0091	
0x4003_0092	
0x4003_0093	
0x4003_0094	ADPINTS5
0x4003_0095	
0x4003_0096	
0x4003_0097	
0x4003_0098	ADPSET0
0x4003_0099	
0x4003_009A	
0x4003_009B	
0x4003_009C	ADPSET1
0x4003_009D	
0x4003_009E	
0x4003_009F	

アドレス	レジスタ名
0x4003_00A0	ADPSET2
0x4003_00A1	
0x4003_00A2	
0x4003_00A3	
0x4003_00A4	ADPSET3
0x4003_00A5	
0x4003_00A6	
0x4003_00A7	
0x4003_00A8	ADPSET4
0x4003_00A9	
0x4003_00AA	
0x4003_00AB	
0x4003_00AC	ADPSET5
0x4003_00AD	
0x4003_00AE	
0x4003_00AF	

アドレス	レジスタ名
0x4003_00B0	ADTSET03
0x4003_00B1	
0x4003_00B2	
0x4003_00B3	
0x4003_00B4	ADTSET47
0x4003_00B5	
0x4003_00B6	
0x4003_00B7	
0x4003_00B8	ADTSET811
0x4003_00B9	
0x4003_00BA	
0x4003_00BB	
0x4003_00BC	ADSSET03
0x4003_00BD	
0x4003_00BE	
0x4003_00BF	

[6] 12 ビット A/D コンバータ (A/DC) [2/2]

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4003_00C0	ADSSET47	0x4003_00D0	ADASET811	0x4003_00E0		0x4003_00F0	
0x4003_00C1		0x4003_00D1		0x4003_00E1		0x4003_00F1	
0x4003_00C2		0x4003_00D2		0x4003_00E2		0x4003_00F2	
0x4003_00C3		0x4003_00D3		0x4003_00E3		0x4003_00F3	
0x4003_00C4	ADSSET811	0x4003_00D4	ADM0D3	0x4003_00E4		0x4003_00F4	
0x4003_00C5		0x4003_00D5		0x4003_00E5		0x4003_00F5	
0x4003_00C6		0x4003_00D6		0x4003_00E6		0x4003_00F6	
0x4003_00C7		0x4003_00D7		0x4003_00E7		0x4003_00F7	
0x4003_00C8	ADASET03	0x4003_00D8		0x4003_00E8		0x4003_00F8	
0x4003_00C9		0x4003_00D9		0x4003_00E9		0x4003_00F9	
0x4003_00CA		0x4003_00DA		0x4003_00EA		0x4003_00FA	
0x4003_00CB		0x4003_00DB		0x4003_00EB		0x4003_00FB	
0x4003_00CC	ADASET47	0x4003_00DC		0x4003_00EC		0x4003_00FC	
0x4003_00CD		0x4003_00DD		0x4003_00ED		0x4003_00FD	
0x4003_00CE		0x4003_00DE		0x4003_00EE		0x4003_00FE	
0x4003_00CF		0x4003_00DF		0x4003_00EF		0x4003_00FF	

25.1.7 [7] ウォッチドッグタイマ (WDT)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0000	WDMOD	0x4004_0010		0x4004_0020		0x4004_0030	
0x4004_0001	<R0>	0x4004_0011		0x4004_0021		0x4004_0031	
0x4004_0002	<R0>	0x4004_0012		0x4004_0022		0x4004_0032	
0x4004_0003	<R0>	0x4004_0013		0x4004_0023		0x4004_0033	
0x4004_0004	WDCR	0x4004_0014		0x4004_0024		0x4004_0034	
0x4004_0005	<R0>	0x4004_0015		0x4004_0025		0x4004_0035	
0x4004_0006	<R0>	0x4004_0016		0x4004_0026		0x4004_0036	
0x4004_0007	<R0>	0x4004_0017		0x4004_0027		0x4004_0037	
0x4004_0008		0x4004_0018		0x4004_0028		0x4004_0038	
0x4004_0009		0x4004_0019		0x4004_0029		0x4004_0039	
0x4004_000A		0x4004_001A		0x4004_002A		0x4004_003A	
0x4004_000B		0x4004_001B		0x4004_002B		0x4004_003B	
0x4004_000C		0x4004_001C		0x4004_002C		0x4004_003C	
0x4004_000D		0x4004_001D		0x4004_002D		0x4004_003D	
0x4004_000E		0x4004_001E		0x4004_002E		0x4004_003E	
0x4004_000F		0x4004_001F		0x4004_002F		0x4004_003F	

25.1.8 [8] リアルタイムクロック (RTC)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0100	SECR	0x4004_0110		0x4004_0120		0x4004_0130	
0x4004_0101	MINR	0x4004_0111		0x4004_0121		0x4004_0131	
0x4004_0102	HOURLR	0x4004_0112		0x4004_0122		0x4004_0132	
0x4004_0103		0x4004_0113		0x4004_0123		0x4004_0133	
0x4004_0104	DAYR	0x4004_0114		0x4004_0124		0x4004_0134	
0x4004_0105	DATER	0x4004_0115		0x4004_0125		0x4004_0135	
0x4004_0106	MONTHR	0x4004_0116		0x4004_0126		0x4004_0136	
0x4004_0107	YEARR	0x4004_0117		0x4004_0127		0x4004_0137	
0x4004_0108	PAGER	0x4004_0118		0x4004_0128		0x4004_0138	
0x4004_0109		0x4004_0119		0x4004_0129		0x4004_0139	
0x4004_010A		0x4004_011A		0x4004_012A		0x4004_013A	
0x4004_010B		0x4004_011B		0x4004_012B		0x4004_013B	
0x4004_010C	RESTR	0x4004_011C		0x4004_012C		0x4004_013C	
0x4004_010D		0x4004_011D		0x4004_012D		0x4004_013D	
0x4004_010E		0x4004_011E		0x4004_012E		0x4004_013E	
0x4004_010F		0x4004_011F		0x4004_012F		0x4004_013F	

25.1.9 [9] クロックジェネレータ (CG)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0200	CGSYSCR	0x4004_0210	CGCKSEL	0x4004_0220	CGIMCGA	0x4004_0230	CGIMCGE
0x4004_0201		0x4004_0211	<R0>	0x4004_0221		0x4004_0231	
0x4004_0202		0x4004_0212	<R0>	0x4004_0222		0x4004_0232	
0x4004_0203	<R0>	0x4004_0213	<R0>	0x4004_0223		0x4004_0233	
0x4004_0204	CGOSCCR	0x4004_0214	CGICRCG	0x4004_0224	CGIMCGB	0x4004_0234	
0x4004_0205		0x4004_0215	<R0>	0x4004_0225		0x4004_0235	
0x4004_0206		0x4004_0216	<R0>	0x4004_0226		0x4004_0236	
0x4004_0207		0x4004_0217	<R0>	0x4004_0227		0x4004_0237	
0x4004_0208	CGSTBYCR	0x4004_0218	CGNMIFLG	0x4004_0228	CGIMCGC	0x4004_0238	
0x4004_0209		0x4004_0219	<R0>	0x4004_0229		0x4004_0239	
0x4004_020A		0x4004_021A	<R0>	0x4004_022A		0x4004_023A	
0x4004_020B	<R0>	0x4004_021B	<R0>	0x4004_022B		0x4004_023B	
0x4004_020C	CGPLLSEL	0x4004_021C	CGRSTFLG	0x4004_022C	CGIMCGD	0x4004_023C	
0x4004_020D		0x4004_021D	<R0>	0x4004_022D		0x4004_023D	
0x4004_020E	<R0>	0x4004_021E	<R0>	0x4004_022E		0x4004_023E	
0x4004_020F	<R0>	0x4004_021F	<R0>	0x4004_022F		0x4004_023F	

25.1.10 [10] リモコン判定 (RMC)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0400	RMCEN	0x4004_0410	RMCRBUF3	0x4004_0420	RMCCR4	0x4004_0430	RMCEM3
0x4004_0401	<R0>	0x4004_0411		0x4004_0421	<R0>	0x4004_0431	
0x4004_0402	<R0>	0x4004_0412		0x4004_0422	<R0>	0x4004_0432	
0x4004_0403	<R0>	0x4004_0413		0x4004_0423	<R0>	0x4004_0433	
0x4004_0404	RMCREN	0x4004_0414	RMCRCR1	0x4004_0424	RMCRSTAT	0x4004_0434	RMCFSEL
0x4004_0405	<R0>	0x4004_0415		0x4004_0425		0x4004_0435	
0x4004_0406	<R0>	0x4004_0416		0x4004_0426	<R0>	0x4004_0436	
0x4004_0407	<R0>	0x4004_0417		0x4004_0427	<R0>	0x4004_0437	
0x4004_0408	RMCRBUF1	0x4004_0418	RMCRCR2	0x4004_0428	RMCEM1	0x4004_0438	
0x4004_0409		0x4004_0419		0x4004_0429		0x4004_0439	
0x4004_040A		0x4004_041A		0x4004_042A		0x4004_043A	
0x4004_040B		0x4004_041B		0x4004_042B		0x4004_043B	
0x4004_040C	RMCRBUF2	0x4004_041C	RMCRCR3	0x4004_042C	RMCEM2	0x4004_043C	
0x4004_040D		0x4004_041D		0x4004_042D		0x4004_043D	
0x4004_040E		0x4004_041E	<R0>	0x4004_042E		0x4004_043E	
0x4004_040F		0x4004_041F	<R0>	0x4004_042F		0x4004_043F	

25.1.11 [11] 周波数検知 (OFD)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0800	OFDCR1	0x4004_0810	OFDMX	0x4004_0820		0x4004_0830	
0x4004_0801		0x4004_0811		0x4004_0821		0x4004_0831	
0x4004_0802		0x4004_0812		0x4004_0822		0x4004_0832	
0x4004_0803		0x4004_0813		0x4004_0823		0x4004_0833	
0x4004_0804	OFDCR2	0x4004_0814		0x4004_0824		0x4004_0834	
0x4004_0805		0x4004_0815		0x4004_0825		0x4004_0835	
0x4004_0806		0x4004_0816		0x4004_0826		0x4004_0836	
0x4004_0807		0x4004_0817		0x4004_0827		0x4004_0837	
0x4004_0808	OFDMN	0x4004_0818	OFDRST	0x4004_0828		0x4004_0838	
0x4004_0809		0x4004_0819		0x4004_0829		0x4004_0839	
0x4004_080A		0x4004_081A		0x4004_082A		0x4004_083A	
0x4004_080B		0x4004_081B		0x4004_082B		0x4004_083B	
0x4004_080C		0x4004_081C	OFDSTAT	0x4004_082C		0x4004_083C	
0x4004_080D		0x4004_081D		0x4004_082D		0x4004_083D	
0x4004_080E		0x4004_081E		0x4004_082E		0x4004_083E	
0x4004_080F		0x4004_081F		0x4004_082F		0x4004_083F	

25.1.12 [12] パワーオンリセット (POR), 電圧検知 (VLTD)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0900	VDCR	0x4004_0910		0x4004_0920		0x4004_0930	
0x4004_0901		0x4004_0911		0x4004_0921		0x4004_0931	
0x4004_0902		0x4004_0912		0x4004_0922		0x4004_0932	
0x4004_0903		0x4004_0913		0x4004_0923		0x4004_0933	
0x4004_0904	VDSR	0x4004_0914		0x4004_0924		0x4004_0934	
0x4004_0905		0x4004_0915		0x4004_0925		0x4004_0935	
0x4004_0906		0x4004_0916		0x4004_0926		0x4004_0936	
0x4004_0907		0x4004_0917		0x4004_0927		0x4004_0937	
0x4004_0908		0x4004_0918		0x4004_0928		0x4004_0938	
0x4004_0909		0x4004_0919		0x4004_0929		0x4004_0939	
0x4004_090A		0x4004_091A		0x4004_092A		0x4004_093A	
0x4004_090B		0x4004_091B		0x4004_092B		0x4004_093B	
0x4004_090C		0x4004_091C		0x4004_092C		0x4004_093C	
0x4004_090D		0x4004_091D		0x4004_092D		0x4004_093D	
0x4004_090E		0x4004_091E		0x4004_092E		0x4004_093E	
0x4004_090F		0x4004_091F		0x4004_092F		0x4004_093F	

25.1.13 [13] 多目的タイマ (PMD)[1/2]

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_0400	MTPD0MDEN	0x4005_0410	MTPD0MDCNT	0x4005_0420	MTPD0CMPW	0x4005_0430	MTPD0EMGREL
0x4005_0401	<R0>	0x4005_0411		0x4005_0421		0x4005_0431	<R0>
0x4005_0402	<R0>	0x4005_0412	<R0>	0x4005_0422	<R0>	0x4005_0432	<R0>
0x4005_0403	<R0>	0x4005_0413	<R0>	0x4005_0423	<R0>	0x4005_0433	<R0>
0x4005_0404	MTPD0PORTMD	0x4005_0414	MTPD0MDPRD	0x4005_0424	Reserved	0x4005_0434	MTPD0EMGCR
0x4005_0405	<R0>	0x4005_0415		0x4005_0425	Reserved	0x4005_0435	
0x4005_0406	<R0>	0x4005_0416	<R0>	0x4005_0426	Reserved	0x4005_0436	<R0>
0x4005_0407	<R0>	0x4005_0417	<R0>	0x4005_0427	Reserved	0x4005_0437	<R0>
0x4005_0408	MTPD0MDCR	0x4005_0418	MTPD0CMPU	0x4005_0428	MTPD0MDOUT	0x4005_0438	MTPD0EMGST
0x4005_0409	<R0>	0x4005_0419		0x4005_0429		0x4005_0439	<R0>
0x4005_040A	<R0>	0x4005_041A	<R0>	0x4005_042A	<R0>	0x4005_043A	<R0>
0x4005_040B	<R0>	0x4005_041B	<R0>	0x4005_042B	<R0>	0x4005_043B	<R0>
0x4005_040C	MTPD0CNTSTA	0x4005_041C	MTPD0CMPV	0x4005_042C	MTPD0MDPOT	0x4005_043C	Reserved
0x4005_040D	<R0>	0x4005_041D		0x4005_042D	<R0>	0x4005_043D	Reserved
0x4005_040E	<R0>	0x4005_041E	<R0>	0x4005_042E	<R0>	0x4005_043E	Reserved
0x4005_040F	<R0>	0x4005_041F	<R0>	0x4005_042F	<R0>	0x4005_043F	Reserved
0x4005_0440	Reserved	0x4005_0450	Reserved	0x4005_0460	Reserved	0x4005_0470	Reserved
0x4005_0441	Reserved	0x4005_0451	Reserved	0x4005_0461	Reserved	0x4005_0471	
0x4005_0442	Reserved	0x4005_0452	Reserved	0x4005_0462	Reserved	0x4005_0472	
0x4005_0443	Reserved	0x4005_0453	Reserved	0x4005_0463	Reserved	0x4005_0473	
0x4005_0444	MTPD0DTR	0x4005_0454	Reserved	0x4005_0464	Reserved	0x4005_0474	Reserved
0x4005_0445	<R0>	0x4005_0455	Reserved	0x4005_0465		0x4005_0475	
0x4005_0446	<R0>	0x4005_0456	Reserved	0x4005_0466		0x4005_0476	
0x4005_0447	<R0>	0x4005_0457	Reserved	0x4005_0467		0x4005_0477	
0x4005_0448	MTPD0TRGCMPO	0x4005_0458	MTPD0TRGCR	0x4005_0468	Reserved	0x4005_0478	Reserved
0x4005_0449		0x4005_0459		0x4005_0469		0x4005_0479	
0x4005_044A	<R0>	0x4005_045A	<R0>	0x4005_046A		0x4005_047A	
0x4005_044B	<R0>	0x4005_045B	<R0>	0x4005_046B		0x4005_047B	
0x4005_044C	MTPD0TRGCMPI	0x4005_045C	MTPD0TRGMD	0x4005_046C	Reserved	0x4005_047C	Reserved
0x4005_044D		0x4005_045D	<R0>	0x4005_046D		0x4005_047D	
0x4005_044E	<R0>	0x4005_045E	<R0>	0x4005_046E		0x4005_047E	
0x4005_044F	<R0>	0x4005_045F	<R0>	0x4005_046F		0x4005_047F	

[13] 多目的タイマ (PMD) [2/2]

アドレス	レジスタ名
0x4005_0480	MTPD1MDEN
0x4005_0481	<R0>
0x4005_0482	<R0>
0x4005_0483	<R0>
0x4005_0484	MTPD1PORTMD
0x4005_0485	<R0>
0x4005_0486	<R0>
0x4005_0487	<R0>
0x4005_0488	MTPD1MDCR
0x4005_0489	<R0>
0x4005_048A	<R0>
0x4005_048B	<R0>
0x4005_048C	MTPD1CNTSTA
0x4005_048D	<R0>
0x4005_048E	<R0>
0x4005_048F	<R0>

アドレス	レジスタ名
0x4005_0490	MTPD1MDCNT
0x4005_0491	
0x4005_0492	<R0>
0x4005_0493	<R0>
0x4005_0494	MTPD1MDPRD
0x4005_0495	
0x4005_0496	<R0>
0x4005_0497	<R0>
0x4005_0498	MTPD1CMPU
0x4005_0499	
0x4005_049A	<R0>
0x4005_049B	<R0>
0x4005_049C	MTPD1CMPV
0x4005_049D	
0x4005_049E	<R0>
0x4005_049F	<R0>

アドレス	レジスタ名
0x4005_04A0	MTPD1CMPW
0x4005_04A1	
0x4005_04A2	<R0>
0x4005_04A3	<R0>
0x4005_04A4	Reserved
0x4005_04A5	Reserved
0x4005_04A6	Reserved
0x4005_04A7	Reserved
0x4005_04A8	MTPD1MDOUT
0x4005_04A9	
0x4005_04AA	<R0>
0x4005_04AB	<R0>
0x4005_04AC	MTPD1MDPOT
0x4005_04AD	<R0>
0x4005_04AE	<R0>
0x4005_04AF	<R0>

アドレス	レジスタ名
0x4005_04B0	MTPD1EMGREL
0x4005_04B1	<R0>
0x4005_04B2	<R0>
0x4005_04B3	<R0>
0x4005_04B4	MTPD1EMGCR
0x4005_04B5	
0x4005_04B6	<R0>
0x4005_04B7	<R0>
0x4005_04B8	MTPD1EMGST
0x4005_04B9	<R0>
0x4005_04BA	<R0>
0x4005_04BB	<R0>
0x4005_04BC	Reserved
0x4005_04BD	
0x4005_04BE	
0x4005_04BF	

アドレス	レジスタ名
0x4005_04C0	Reserved
0x4005_04C1	
0x4005_04C2	
0x4005_04C3	
0x4005_04C4	MTPD1TR
0x4005_04C5	<R0>
0x4005_04C6	<R0>
0x4005_04C7	<R0>
0x4005_04C8	MTPD1TRGCMPO
0x4005_04C9	
0x4005_04CA	<R0>
0x4005_04CB	<R0>
0x4005_04CC	MTPD1TRGCMPI
0x4005_04CD	
0x4005_04CE	<R0>
0x4005_04CF	<R0>

アドレス	レジスタ名
0x4005_04D0	Reserved
0x4005_04D1	
0x4005_04D2	
0x4005_04D3	
0x4005_04D4	Reserved
0x4005_04D5	
0x4005_04D6	
0x4005_04D7	
0x4005_04D8	MTPD1TRGCR
0x4005_04D9	
0x4005_04DA	<R0>
0x4005_04DB	<R0>
0x4005_04DC	MTPD1TRGMD
0x4005_04DD	<R0>
0x4005_04DE	<R0>
0x4005_04DF	<R0>

アドレス	レジスタ名
0x4005_04E0	Reserved
0x4005_04E1	
0x4005_04E2	
0x4005_04E3	
0x4005_04E4	Reserved
0x4005_04E5	
0x4005_04E6	
0x4005_04E7	
0x4005_04E8	Reserved
0x4005_04E9	
0x4005_04EA	
0x4005_04EB	
0x4005_04EC	Reserved
0x4005_04ED	
0x4005_04EE	
0x4005_04EF	

アドレス	レジスタ名
0x4005_04F0	Reserved
0x4005_04F1	
0x4005_04F2	
0x4005_04F3	
0x4005_04F4	Reserved
0x4005_04F5	
0x4005_04F6	
0x4005_04F7	
0x4005_04F8	Reserved
0x4005_04F9	
0x4005_04FA	
0x4005_04FB	
0x4005_04FC	Reserved
0x4005_04FD	
0x4005_04FE	
0x4005_04FF	

[13] 多目的タイマ (TMR/IGBT) [1/3]

<MPT0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_0800	MT0EN	0x4005_0810	MT0TBFFCR	0x4005_0820	MT0RG0	0x4005_0830	MT0IGCR
0x4005_0801							
0x4005_0802							
0x4005_0803							
0x4005_0804	MT0RUN	0x4005_0814	MT0TBST	0x4005_0824	MT0RG1	0x4005_0834	MT0IGRESTA
0x4005_0805							
0x4005_0806							
0x4005_0807							
0x4005_0808	MT0TBCR	0x4005_0818	MT0TBIM	0x4005_0828	MT0CP0	0x4005_0838	MT0IGST
0x4005_0809							
0x4005_080A							
0x4005_080B							
0x4005_080C	MT0TBMOD	0x4005_081C	MT0TBUC	0x4005_082C	MT0CP1	0x4005_083C	MT0IGICR
0x4005_080D							
0x4005_080E							
0x4005_080F							
0x4005_0840	MT0IGOCR	0x4005_0850	MT0IGEMGCR	0x4005_0860	Reserved	0x4005_0870	Reserved
0x4005_0841							
0x4005_0842							
0x4005_0843							
0x4005_0844	MT0IGRG2	0x4005_0854	MT0IGEMGST	0x4005_0864	Reserved	0x4005_0874	Reserved
0x4005_0845							
0x4005_0846							
0x4005_0847							
0x4005_0848	MT0IGRG3	0x4005_0858	Reserved	0x4005_0868	Reserved	0x4005_0878	Reserved
0x4005_0849							
0x4005_084A							
0x4005_084B							
0x4005_084C	MT0IGRG4	0x4005_085C	Reserved	0x4005_086C	Reserved	0x4005_087C	Reserved
0x4005_084D							
0x4005_084E							
0x4005_084F							

[13] 多目的タイマ (TMR/IGBT) [2/3]

<MPT1>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_0880	MT1EN	0x4005_0890	MT1TBFFCR	0x4005_08A0	MT1RG0	0x4005_08B0	MT1IGCR
0x4005_0881							
0x4005_0882							
0x4005_0883							
0x4005_0884	MT1RUN	0x4005_0894	MT1TBST	0x4005_08A4	MT1RG1	0x4005_08B4	MT1IGRESTA
0x4005_0885							
0x4005_0886							
0x4005_0887							
0x4005_0888	MT1TBCR	0x4005_0898	MT1TBIM	0x4005_08A8	MT1CP0	0x4005_08B8	MT1IGST
0x4005_0889							
0x4005_088A							
0x4005_088B							
0x4005_088C	MT1TBMOD	0x4005_089C	MT11UC	0x4005_08AC	MT1CP1	0x4005_08BC	MT1IGICR
0x4005_088D							
0x4005_088E							
0x4005_088F							

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_08C0	MT1IGOCR	0x4005_08D0	MT1IGEMGCR	0x4005_08E0	Reserved	0x4005_08F0	Reserved
0x4005_08C1							
0x4005_08C2							
0x4005_08C3							
0x4005_08C4	MT1IGRG2	0x4005_08D4	MT1IGEMGST	0x4005_08E4	Reserved	0x4005_08F4	Reserved
0x4005_08C5							
0x4005_08C6							
0x4005_08C7							
0x4005_08C8	MT1IGRG3	0x4005_08D8	Reserved	0x4005_08E8	Reserved	0x4005_08F8	Reserved
0x4005_08C9							
0x4005_08CA							
0x4005_08CB							
0x4005_08CC	MT1IGRG4	0x4005_08DC	Reserved	0x4005_08EC	Reserved	0x4005_08FC	Reserved
0x4005_08CD							
0x4005_08CE							
0x4005_08CF							

[13] 多目的タイマ (TMR/IGBT) [3/3]

<MPT2>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_0900	MT2EN	0x4005_0910	MT2TBFFCR	0x4005_0920	MT2RG0	0x4005_0930	MT2IGCR
0x4005_0901							
0x4005_0902							
0x4005_0903							
0x4005_0904	MT2RUN	0x4005_0914	MT2TBST	0x4005_0924	MT2RG1	0x4005_0934	MT2IGRESTA
0x4005_0905							
0x4005_0906							
0x4005_0907							
0x4005_0908	MT2TBCR	0x4005_0918	MT2TBIM	0x4005_0928	MT2CP0	0x4005_0938	MT2IGST
0x4005_0909							
0x4005_090A							
0x4005_090B							
0x4005_090C	MT2TBMOD	0x4005_091C	MT2TBUIC	0x4005_092C	MT2CP1	0x4005_093C	MT2IGICR
0x4005_090D							
0x4005_090E							
0x4005_090F							
0x4005_0940	MT2IGOCR	0x4005_0950	MT2IGEMGCR	0x4005_0960	Reserved	0x4005_0970	Reserved
0x4005_0941							
0x4005_0942							
0x4005_0943							
0x4005_0944	MT2IGRG2	0x4005_0954	MT2IGEMGST	0x4005_0964	Reserved	0x4005_0974	Reserved
0x4005_0945							
0x4005_0946							
0x4005_0947							
0x4005_0948	MT2IGRG3	0x4005_0958	Reserved	0x4005_0968	Reserved	0x4005_0978	Reserved
0x4005_0949							
0x4005_094A							
0x4005_094B							
0x4005_094C	MT2IGRG4	0x4005_095C	Reserved	0x4005_096C	Reserved	0x4005_097C	Reserved
0x4005_094D							
0x4005_094E							
0x4005_094F							
		0x4005_095D		0x4005_096D		0x4005_097D	
		0x4005_095E		0x4005_096E		0x4005_097E	
		0x4005_095F		0x4005_096F		0x4005_097F	

25.1.14 [14] DMA コントローラ (DMAC)

<DMAC>

アドレス	レジスタ名
0x4008_0000	DMACInt Status
0x4008_0001	
0x4008_0002	
0x4008_0003	
0x4008_0004	DMACIntTC Status
0x4008_0005	
0x4008_0006	
0x4008_0007	
0x4008_0008	DMACIntTC Clear
0x4008_0009	
0x4008_000A	
0x4008_000B	
0x4008_000C	DMACInt ErrorStatus
0x4008_000D	
0x4008_000E	
0x4008_000F	

アドレス	レジスタ名
0x4008_0010	DMACInt ErrCir
0x4008_0011	
0x4008_0012	
0x4008_0013	
0x4008_0014	DMACRawInt TCStatus
0x4008_0015	
0x4008_0016	
0x4008_0017	
0x4008_0018	DMACRawInt ErrorStatus
0x4008_0019	
0x4008_001A	
0x4008_001B	
0x4008_001C	DMACEnbld Chns
0x4008_001D	
0x4008_001E	
0x4008_001F	

アドレス	レジスタ名
0x4008_0020	DMACSoftB Req
0x4008_0021	
0x4008_0022	
0x4008_0023	DMACSoftS Req
0x4008_0024	
0x4008_0025	
0x4008_0026	
0x4008_0027	
0x4008_0028	Reserved
0x4008_0029	
0x4008_002A	
0x4008_002B	
0x4008_002C	Reserved
0x4008_002D	
0x4008_002E	
0x4008_002F	

アドレス	レジスタ名
0x4008_0030	DMAC Configuration
0x4008_0031	
0x4008_0032	
0x4008_0033	
0x4008_0034	Reserved
0x4008_0035	
0x4008_0036	
0x4008_0037	
0x4008_0038	Reserved
0x4008_0039	
0x4008_003A	
0x4008_003B	
0x4008_003C	Reserved
0x4008_003D	
0x4008_003E	
0x4008_003F	

アドレス	レジスタ名
0x4008_0100	DMACC0Src Addr
0x4008_0101	
0x4008_0102	
0x4008_0103	
0x4008_0104	DMACC0Dest Addr
0x4008_0105	
0x4008_0106	
0x4008_0107	
0x4008_0108	DMACC0LLI
0x4008_0109	
0x4008_010A	
0x4008_010B	
0x4008_010C	DMACC0 Control
0x4008_010D	
0x4008_010E	
0x4008_010F	

アドレス	レジスタ名
0x4008_0110	DMACC0 Configuration
0x4008_0111	
0x4008_0112	
0x4008_0113	
0x4008_0114	Reserved
0x4008_0115	
0x4008_0116	
0x4008_0117	
0x4008_0118	Reserved
0x4008_0119	
0x4008_011A	
0x4008_011B	
0x4008_011C	Reserved
0x4008_011D	
0x4008_011E	
0x4008_011F	

アドレス	レジスタ名
0x4008_0120	DMACC1Src Addr
0x4008_0121	
0x4008_0122	
0x4008_0123	
0x4008_0124	DMACC1Dest Addr
0x4008_0125	
0x4008_0126	
0x4008_0127	
0x4008_0128	DMACC1LLI
0x4008_0129	
0x4008_012A	
0x4008_012B	
0x4008_012C	DMACC1 Control
0x4008_012D	
0x4008_012E	
0x4008_012F	

アドレス	レジスタ名
0x4008_0130	DMACC1 Configuration
0x4008_0131	
0x4008_0132	
0x4008_0133	
0x4008_0134	Reserved
0x4008_0135	
0x4008_0136	
0x4008_0137	
0x4008_0138	Reserved
0x4008_0139	
0x4008_013A	
0x4008_013B	
0x4008_013C	Reserved
0x4008_013D	
0x4008_013E	
0x4008_013F	

25.1.15 [15] SSPコントローラ

<SSP0>

アドレス	レジスタ名
0x400C_0000	SSP0CR0
0x400C_0001	
0x400C_0002	
0x400C_0003	
0x400C_0004	SSP0CR1
0x400C_0005	
0x400C_0006	
0x400C_0007	
0x400C_0008	SSP0DR
0x400C_0009	
0x400C_000A	
0x400C_000B	
0x400C_000C	SSP0SR
0x400C_000D	
0x400C_000E	
0x400C_000F	

アドレス	レジスタ名
0x400C_0010	SSP0CPSR
0x400C_0011	
0x400C_0012	
0x400C_0013	
0x400C_0014	SSP0IMSC
0x400C_0015	
0x400C_0016	
0x400C_0017	
0x400C_0018	SSP0RIS
0x400C_0019	
0x400C_001A	
0x400C_001B	
0x400C_001C	SSP0MIS
0x400C_001D	
0x400C_001E	
0x400C_001F	

アドレス	レジスタ名
0x400C_0020	SSP0ICR
0x400C_0021	
0x400C_0022	
0x400C_0023	
0x400C_0024	SSP0DMACR
0x400C_0025	
0x400C_0026	
0x400C_0027	
0x400C_0028	Reserved
0x400C_0029	
0x400C_002A	
0x400C_002B	
0x400C_002C	Reserved
0x400C_002D	
0x400C_002E	
0x400C_002F	

アドレス	レジスタ名
0x400C_0030	Reserved
0x400C_0031	
0x400C_0032	
0x400C_0033	
0x400C_0034	Reserved
0x400C_0035	
0x400C_0036	
0x400C_0037	
0x400C_0038	Reserved
0x400C_0039	
0x400C_003A	
0x400C_003B	
0x400C_003C	Reserved
0x400C_003D	
0x400C_003E	
0x400C_003F	

<SSP1>

アドレス	レジスタ名
0x400C_1000	SSP1CR0
0x400C_1001	
0x400C_1002	
0x400C_1003	
0x400C_1004	SSP1CR1
0x400C_1005	
0x400C_1006	
0x400C_1007	
0x400C_1008	SSP1DR
0x400C_1009	
0x400C_100A	
0x400C_100B	
0x400C_100C	SSP1SR
0x400C_100D	
0x400C_100E	
0x400C_100F	

アドレス	レジスタ名
0x400C_1010	SSP1CPSR
0x400C_1011	
0x400C_1012	
0x400C_1013	
0x400C_1014	SSP1IMSC
0x400C_1015	
0x400C_1016	
0x400C_1017	
0x400C_1018	SSP1RIS
0x400C_1019	
0x400C_101A	
0x400C_101B	
0x400C_101C	SSP1MIS
0x400C_101D	
0x400C_101E	
0x400C_101F	

アドレス	レジスタ名
0x400C_1020	SSP1ICR
0x400C_1021	
0x400C_1022	
0x400C_1023	
0x400C_1024	SSP1DMACR
0x400C_1025	
0x400C_1026	
0x400C_1027	
0x400C_1028	Reserved
0x400C_1029	
0x400C_102A	
0x400C_102B	
0x400C_102C	Reserved
0x400C_102D	
0x400C_102E	
0x400C_102F	

アドレス	レジスタ名
0x400C_1030	Reserved
0x400C_1031	
0x400C_1032	
0x400C_1033	
0x400C_1034	Reserved
0x400C_1035	
0x400C_1036	
0x400C_1037	
0x400C_1038	Reserved
0x400C_1039	
0x400C_103A	
0x400C_103B	
0x400C_103C	Reserved
0x400C_103D	
0x400C_103E	
0x400C_103F	

25.1.16 [16] Flashコントローラ

アドレス	レジスタ名
0x41FF_F000	Reserved
0x41FF_F001	
0x41FF_F002	
0x41FF_F003	
0x41FF_F004	Reserved
0x41FF_F005	
0x41FF_F006	
0x41FF_F007	
0x41FF_F008	Reserved
0x41FF_F009	
0x41FF_F00A	
0x41FF_F00B	
0x41FF_F00C	Reserved
0x41FF_F00D	
0x41FF_F00E	
0x41FF_F00F	

アドレス	レジスタ名
0x41FF_F010	FCSECBIT
0x41FF_F011	
0x41FF_F012	
0x41FF_F013	
0x41FF_F014	Reserved
0x41FF_F015	
0x41FF_F016	
0x41FF_F017	
0x41FF_F018	Reserved
0x41FF_F019	
0x41FF_F01A	
0x41FF_F01B	
0x41FF_F01C	Reserved
0x41FF_F01D	
0x41FF_F01E	
0x41FF_F01F	

アドレス	レジスタ名
0x41FF_F020	FCFLCS
0x41FF_F021	
0x41FF_F022	
0x41FF_F023	
0x41FF_F024	Reserved
0x41FF_F025	
0x41FF_F026	
0x41FF_F027	
0x41FF_F028	Reserved
0x41FF_F029	
0x41FF_F02A	
0x41FF_F02B	
0x41FF_F02C	Reserved
0x41FF_F02D	
0x41FF_F02E	
0x41FF_F02F	

アドレス	レジスタ名
0x41FF_F030	Reserved
0x41FF_F031	
0x41FF_F032	
0x41FF_F033	
0x41FF_F034	Reserved
0x41FF_F035	
0x41FF_F036	
0x41FF_F037	
0x41FF_F038	Reserved
0x41FF_F039	
0x41FF_F03A	
0x41FF_F03B	
0x41FF_F03C	Reserved
0x41FF_F03D	
0x41FF_F03E	
0x41FF_F03F	

アドレス	レジスタ名
0x41FF_F040	Reserved
0x41FF_F041	
0x41FF_F042	
0x41FF_F043	
0x41FF_F044	Reserved
0x41FF_F045	
0x41FF_F046	
0x41FF_F047	
0x41FF_F048	Reserved
0x41FF_F049	
0x41FF_F04A	
0x41FF_F04B	
0x41FF_F04C	Reserved
0x41FF_F04D	
0x41FF_F04E	
0x41FF_F04F	

アドレス	レジスタ名
0x41FF_F050	Reserved
0x41FF_F051	
0x41FF_F052	
0x41FF_F053	
0x41FF_F054	Reserved
0x41FF_F055	
0x41FF_F056	
0x41FF_F057	
0x41FF_F058	Reserved
0x41FF_F059	
0x41FF_F05A	
0x41FF_F05B	
0x41FF_F05C	Reserved
0x41FF_F05D	
0x41FF_F05E	
0x41FF_F05F	

アドレス	レジスタ名
0x41FF_F060	Reserved
0x41FF_F061	
0x41FF_F062	
0x41FF_F063	
0x41FF_F064	Reserved
0x41FF_F065	
0x41FF_F066	
0x41FF_F067	
0x41FF_F068	Reserved
0x41FF_F069	
0x41FF_F06A	
0x41FF_F06B	
0x41FF_F06C	Reserved
0x41FF_F06D	
0x41FF_F06E	
0x41FF_F06F	

アドレス	レジスタ名
0x41FF_F070	Reserved
0x41FF_F071	
0x41FF_F072	
0x41FF_F073	
0x41FF_F074	Reserved
0x41FF_F075	
0x41FF_F076	
0x41FF_F077	
0x41FF_F078	Reserved
0x41FF_F079	
0x41FF_F07A	
0x41FF_F07B	
0x41FF_F07C	Reserved
0x41FF_F07D	
0x41FF_F07E	
0x41FF_F07F	

アドレス	レジスタ名
0x41FF_F080	Reserved
0x41FF_F081	
0x41FF_F082	
0x41FF_F083	
0x41FF_F084	Reserved
0x41FF_F085	
0x41FF_F086	
0x41FF_F087	
0x41FF_F088	Reserved
0x41FF_F089	
0x41FF_F08A	
0x41FF_F08B	
0x41FF_F08C	Reserved
0x41FF_F08D	
0x41FF_F08E	
0x41FF_F08F	

アドレス	レジスタ名
0x41FF_F090	Reserved
0x41FF_F091	
0x41FF_F092	
0x41FF_F093	
0x41FF_F094	Reserved
0x41FF_F095	
0x41FF_F096	
0x41FF_F097	
0x41FF_F098	Reserved
0x41FF_F099	
0x41FF_F09A	
0x41FF_F09B	
0x41FF_F09C	Reserved
0x41FF_F09D	
0x41FF_F09E	
0x41FF_F09F	

アドレス	レジスタ名
0x41FF_F0A0	Reserved
0x41FF_F0A1	
0x41FF_F0A2	
0x41FF_F0A3	
0x41FF_F0A4	Reserved
0x41FF_F0A5	
0x41FF_F0A6	
0x41FF_F0A7	
0x41FF_F0A8	Reserved
0x41FF_F0A9	
0x41FF_F0AA	
0x41FF_F0AB	
0x41FF_F0AC	Reserved
0x41FF_F0AD	
0x41FF_F0AE	
0x41FF_F0AF	

アドレス	レジスタ名
0x41FF_F0B0	Reserved
0x41FF_F0B1	
0x41FF_F0B2	
0x41FF_F0B3	
0x41FF_F0B4	Reserved
0x41FF_F0B5	
0x41FF_F0B6	
0x41FF_F0B7	
0x41FF_F0B8	Reserved
0x41FF_F0B9	
0x41FF_F0BA	
0x41FF_F0BB	
0x41FF_F0BC	Reserved
0x41FF_F0BD	
0x41FF_F0BE	
0x41FF_F0BF	

25.2 TMPM382 アドレス一覧

25.2.1 [1] ポート[1/5]

<PORT A>

アドレス	レジスタ名
0x4000_0000	PADATA
0x4000_0001	<R0>
0x4000_0002	<R0>
0x4000_0003	<R0>
0x4000_0004	PACR
0x4000_0005	<R0>
0x4000_0006	<R0>
0x4000_0007	<R0>
0x4000_0008	PAFR1
0x4000_0009	<R0>
0x4000_000A	<R0>
0x4000_000B	<R0>
0x4000_000C	PAFR2
0x4000_000D	<R0>
0x4000_000E	<R0>
0x4000_000F	<R0>

アドレス	レジスタ名
0x4000_0010	
0x4000_0011	
0x4000_0012	
0x4000_0013	
0x4000_0014	
0x4000_0015	
0x4000_0016	
0x4000_0017	
0x4000_0018	
0x4000_0019	
0x4000_001A	
0x4000_001B	
0x4000_001C	
0x4000_001D	
0x4000_001E	
0x4000_001F	

アドレス	レジスタ名
0x4000_0020	
0x4000_0021	
0x4000_0022	
0x4000_0023	
0x4000_0024	
0x4000_0025	
0x4000_0026	
0x4000_0027	
0x4000_0028	PAOD
0x4000_0029	<R0>
0x4000_002A	<R0>
0x4000_002B	<R0>
0x4000_002C	PAPUP
0x4000_002D	<R0>
0x4000_002E	<R0>
0x4000_002F	<R0>

アドレス	レジスタ名
0x4000_0030	PAPDN
0x4000_0031	<R0>
0x4000_0032	<R0>
0x4000_0033	<R0>
0x4000_0034	
0x4000_0035	
0x4000_0036	
0x4000_0037	
0x4000_0038	PAIE
0x4000_0039	<R0>
0x4000_003A	<R0>
0x4000_003B	<R0>
0x4000_003C	
0x4000_003D	
0x4000_003E	
0x4000_003F	

<PORT B>

アドレス	レジスタ名
0x4000_0040	PBDATA
0x4000_0041	<R0>
0x4000_0042	<R0>
0x4000_0043	<R0>
0x4000_0044	PBCR
0x4000_0045	<R0>
0x4000_0046	<R0>
0x4000_0047	<R0>
0x4000_0048	PBFR1
0x4000_0049	<R0>
0x4000_004A	<R0>
0x4000_004B	<R0>
0x4000_004C	
0x4000_004D	
0x4000_004E	
0x4000_004F	

アドレス	レジスタ名
0x4000_0050	
0x4000_0051	
0x4000_0052	
0x4000_0053	
0x4000_0054	
0x4000_0055	
0x4000_0056	
0x4000_0057	
0x4000_0058	
0x4000_0059	
0x4000_005A	
0x4000_005B	
0x4000_005C	
0x4000_005D	
0x4000_005E	
0x4000_005F	

アドレス	レジスタ名
0x4000_0060	
0x4000_0061	
0x4000_0062	
0x4000_0063	
0x4000_0064	
0x4000_0065	
0x4000_0066	
0x4000_0067	
0x4000_0068	PBOD
0x4000_0069	<R0>
0x4000_006A	<R0>
0x4000_006B	<R0>
0x4000_006C	PBPUP
0x4000_006D	<R0>
0x4000_006E	<R0>
0x4000_006F	<R0>

アドレス	レジスタ名
0x4000_0070	PBPDN
0x4000_0071	<R0>
0x4000_0072	<R0>
0x4000_0073	<R0>
0x4000_0074	
0x4000_0075	
0x4000_0076	
0x4000_0077	
0x4000_0078	PBIE
0x4000_0079	<R0>
0x4000_007A	<R0>
0x4000_007B	<R0>
0x4000_007C	
0x4000_007D	
0x4000_007E	
0x4000_007F	

<PORT C>

アドレス	レジスタ名
0x4000_0080	PCDATA
0x4000_0081	<R0>
0x4000_0082	<R0>
0x4000_0083	<R0>
0x4000_0084	PCCR
0x4000_0085	<R0>
0x4000_0086	<R0>
0x4000_0087	<R0>
0x4000_0088	PCFR1
0x4000_0089	<R0>
0x4000_008A	<R0>
0x4000_008B	<R0>
0x4000_008C	PCFR2
0x4000_008D	<R0>
0x4000_008E	<R0>
0x4000_008F	<R0>

アドレス	レジスタ名
0x4000_0090	PCFR3
0x4000_0091	<R0>
0x4000_0092	<R0>
0x4000_0093	<R0>
0x4000_0094	PCFR4
0x4000_0095	<R0>
0x4000_0096	<R0>
0x4000_0097	<R0>
0x4000_0098	PCFR5
0x4000_0099	<R0>
0x4000_009A	<R0>
0x4000_009B	<R0>
0x4000_009C	
0x4000_009D	
0x4000_009E	
0x4000_009F	

アドレス	レジスタ名
0x4000_00A0	
0x4000_00A1	
0x4000_00A2	
0x4000_00A3	
0x4000_00A4	
0x4000_00A5	
0x4000_00A6	
0x4000_00A7	
0x4000_00A8	PCOD
0x4000_00A9	<R0>
0x4000_00AA	<R0>
0x4000_00AB	<R0>
0x4000_00AC	PCPUP
0x4000_00AD	<R0>
0x4000_00AE	<R0>
0x4000_00AF	<R0>

アドレス	レジスタ名
0x4000_00B0	PCPDN
0x4000_00B1	<R0>
0x4000_00B2	<R0>
0x4000_00B3	<R0>
0x4000_00B4	
0x4000_00B5	
0x4000_00B6	
0x4000_00B7	
0x4000_00B8	PCIE
0x4000_00B9	<R0>
0x4000_00BA	<R0>
0x4000_00BB	<R0>
0x4000_00BC	
0x4000_00BD	
0x4000_00BE	
0x4000_00BF	

[1] ポート[2/5]

<PORT D>

アドレス	レジスタ名
0x4000_00C0	
0x4000_00C1	
0x4000_00C2	
0x4000_00C3	
0x4000_00C4	
0x4000_00C5	
0x4000_00C6	
0x4000_00C7	
0x4000_00C8	
0x4000_00C9	
0x4000_00CA	
0x4000_00CB	
0x4000_00CC	
0x4000_00CD	
0x4000_00CE	
0x4000_00CF	

アドレス	レジスタ名
0x4000_00D0	
0x4000_00D1	
0x4000_00D2	
0x4000_00D3	
0x4000_00D4	
0x4000_00D5	
0x4000_00D6	
0x4000_00D7	
0x4000_00D8	
0x4000_00D9	
0x4000_00DA	
0x4000_00DB	
0x4000_00DC	
0x4000_00DD	
0x4000_00DE	
0x4000_00DF	

アドレス	レジスタ名
0x4000_00E0	
0x4000_00E1	
0x4000_00E2	
0x4000_00E3	
0x4000_00E4	
0x4000_00E5	
0x4000_00E6	
0x4000_00E7	
0x4000_00E8	
0x4000_00E9	
0x4000_00EA	
0x4000_00EB	
0x4000_00EC	
0x4000_00ED	
0x4000_00EE	
0x4000_00EF	

アドレス	レジスタ名
0x4000_00F0	
0x4000_00F1	
0x4000_00F2	
0x4000_00F3	
0x4000_00F4	
0x4000_00F5	
0x4000_00F6	
0x4000_00F7	
0x4000_00F8	
0x4000_00F9	
0x4000_00FA	
0x4000_00FB	
0x4000_00FC	
0x4000_00FD	
0x4000_00FE	
0x4000_00FF	

<PORT E>

アドレス	レジスタ名
0x4000_0100	PEDATA
0x4000_0101	<R0>
0x4000_0102	<R0>
0x4000_0103	<R0>
0x4000_0104	PECR
0x4000_0105	<R0>
0x4000_0106	<R0>
0x4000_0107	<R0>
0x4000_0108	PEFR1
0x4000_0109	<R0>
0x4000_010A	<R0>
0x4000_010B	<R0>
0x4000_010C	PEFR2
0x4000_010D	<R0>
0x4000_010E	<R0>
0x4000_010F	<R0>

アドレス	レジスタ名
0x4000_0110	
0x4000_0111	
0x4000_0112	
0x4000_0113	
0x4000_0114	
0x4000_0115	
0x4000_0116	
0x4000_0117	
0x4000_0118	
0x4000_0119	
0x4000_011A	
0x4000_011B	
0x4000_011C	
0x4000_011D	
0x4000_011E	
0x4000_011F	

アドレス	レジスタ名
0x4000_0120	
0x4000_0121	
0x4000_0122	
0x4000_0123	
0x4000_0124	
0x4000_0125	
0x4000_0126	
0x4000_0127	
0x4000_0128	PEOD
0x4000_0129	<R0>
0x4000_012A	<R0>
0x4000_012B	<R0>
0x4000_012C	PEPUP
0x4000_012D	<R0>
0x4000_012E	<R0>
0x4000_012F	<R0>

アドレス	レジスタ名
0x4000_0130	PEPDN
0x4000_0131	<R0>
0x4000_0132	<R0>
0x4000_0133	<R0>
0x4000_0134	
0x4000_0135	
0x4000_0136	
0x4000_0137	
0x4000_0138	PEIE
0x4000_0139	<R0>
0x4000_013A	<R0>
0x4000_013B	<R0>
0x4000_013C	
0x4000_013D	
0x4000_013E	
0x4000_013F	

<PORT F>

アドレス	レジスタ名
0x4000_0140	PFDATA
0x4000_0141	<R0>
0x4000_0142	<R0>
0x4000_0143	<R0>
0x4000_0144	PFCR
0x4000_0145	<R0>
0x4000_0146	<R0>
0x4000_0147	<R0>
0x4000_0148	PFFR1
0x4000_0149	<R0>
0x4000_014A	<R0>
0x4000_014B	<R0>
0x4000_014C	PFFR2
0x4000_014D	<R0>
0x4000_014E	<R0>
0x4000_014F	<R0>

アドレス	レジスタ名
0x4000_0150	PFFR3
0x4000_0151	<R0>
0x4000_0152	<R0>
0x4000_0153	<R0>
0x4000_0154	
0x4000_0155	
0x4000_0156	
0x4000_0157	
0x4000_0158	
0x4000_0159	
0x4000_015A	
0x4000_015B	
0x4000_015C	
0x4000_015D	
0x4000_015E	
0x4000_015F	

アドレス	レジスタ名
0x4000_0160	
0x4000_0161	
0x4000_0162	
0x4000_0163	
0x4000_0164	
0x4000_0165	
0x4000_0166	
0x4000_0167	
0x4000_0168	PFOD
0x4000_0169	<R0>
0x4000_016A	<R0>
0x4000_016B	<R0>
0x4000_016C	PFPUP
0x4000_016D	<R0>
0x4000_016E	<R0>
0x4000_016F	<R0>

アドレス	レジスタ名
0x4000_0170	PFPDN
0x4000_0171	<R0>
0x4000_0172	<R0>
0x4000_0173	<R0>
0x4000_0174	
0x4000_0175	
0x4000_0176	
0x4000_0177	
0x4000_0178	PFIE
0x4000_0179	<R0>
0x4000_017A	<R0>
0x4000_017B	<R0>
0x4000_017C	
0x4000_017D	
0x4000_017E	
0x4000_017F	

[1] ポート[3/5]

<PORT G>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0180		0x4000_0190		0x4000_01A0		0x4000_01B0	
0x4000_0181		0x4000_0191		0x4000_01A1		0x4000_01B1	
0x4000_0182		0x4000_0192		0x4000_01A2		0x4000_01B2	
0x4000_0183		0x4000_0193		0x4000_01A3		0x4000_01B3	
0x4000_0184		0x4000_0194		0x4000_01A4		0x4000_01B4	
0x4000_0185		0x4000_0195		0x4000_01A5		0x4000_01B5	
0x4000_0186		0x4000_0196		0x4000_01A6		0x4000_01B6	
0x4000_0187		0x4000_0197		0x4000_01A7		0x4000_01B7	
0x4000_0188		0x4000_0198		0x4000_01A8		0x4000_01B8	
0x4000_0189		0x4000_0199		0x4000_01A9		0x4000_01B9	
0x4000_018A		0x4000_019A		0x4000_01AA		0x4000_01BA	
0x4000_018B		0x4000_019B		0x4000_01AB		0x4000_01BB	
0x4000_018C		0x4000_019C		0x4000_01AC		0x4000_01BC	
0x4000_018D		0x4000_019D		0x4000_01AD		0x4000_01BD	
0x4000_018E		0x4000_019E		0x4000_01AE		0x4000_01BE	
0x4000_018F		0x4000_019F		0x4000_01AF		0x4000_01BF	

<PORT H>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_01C0	PHDATA	0x4000_01D0		0x4000_01E0		0x4000_01F0	PHPDN
0x4000_01C1	<R0>	0x4000_01D1		0x4000_01E1		0x4000_01F1	<R0>
0x4000_01C2	<R0>	0x4000_01D2		0x4000_01E2		0x4000_01F2	<R0>
0x4000_01C3	<R0>	0x4000_01D3		0x4000_01E3		0x4000_01F3	<R0>
0x4000_01C4	PHCR	0x4000_01D4		0x4000_01E4		0x4000_01F4	
0x4000_01C5	<R0>	0x4000_01D5		0x4000_01E5		0x4000_01F5	
0x4000_01C6	<R0>	0x4000_01D6		0x4000_01E6		0x4000_01F6	
0x4000_01C7	<R0>	0x4000_01D7		0x4000_01E7		0x4000_01F7	
0x4000_01C8	PHFR1	0x4000_01D8		0x4000_01E8	PHOD	0x4000_01F8	PHIE
0x4000_01C9	<R0>	0x4000_01D9		0x4000_01E9	<R0>	0x4000_01F9	<R0>
0x4000_01CA	<R0>	0x4000_01DA		0x4000_01EA	<R0>	0x4000_01FA	<R0>
0x4000_01CB	<R0>	0x4000_01DB		0x4000_01EB	<R0>	0x4000_01FB	<R0>
0x4000_01CC		0x4000_01DC		0x4000_01EC	PHPUP	0x4000_01FC	
0x4000_01CD		0x4000_01DD		0x4000_01ED	<R0>	0x4000_01FD	
0x4000_01CE		0x4000_01DE		0x4000_01EE	<R0>	0x4000_01FE	
0x4000_01CF		0x4000_01DF		0x4000_01EF	<R0>	0x4000_01FF	

<PORT I>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4000_0200	PIDATA	0x4000_0210		0x4000_0220		0x4000_0230	PIPDN
0x4000_0201	<R0>	0x4000_0211		0x4000_0221		0x4000_0231	<R0>
0x4000_0202	<R0>	0x4000_0212		0x4000_0222		0x4000_0232	<R0>
0x4000_0203	<R0>	0x4000_0213		0x4000_0223		0x4000_0233	<R0>
0x4000_0204	PICR	0x4000_0214		0x4000_0224		0x4000_0234	
0x4000_0205	<R0>	0x4000_0215		0x4000_0225		0x4000_0235	
0x4000_0206	<R0>	0x4000_0216		0x4000_0226		0x4000_0236	
0x4000_0207	<R0>	0x4000_0217		0x4000_0227		0x4000_0237	
0x4000_0208		0x4000_0218		0x4000_0228	PIOD	0x4000_0238	PIIE
0x4000_0209		0x4000_0219		0x4000_0229	<R0>	0x4000_0239	<R0>
0x4000_020A		0x4000_021A		0x4000_022A	<R0>	0x4000_023A	<R0>
0x4000_020B		0x4000_021B		0x4000_022B	<R0>	0x4000_023B	<R0>
0x4000_020C		0x4000_021C		0x4000_022C	PIPUP	0x4000_023C	
0x4000_020D		0x4000_021D		0x4000_022D	<R0>	0x4000_023D	
0x4000_020E		0x4000_021E		0x4000_022E	<R0>	0x4000_023E	
0x4000_020F		0x4000_021F		0x4000_022F	<R0>	0x4000_023F	

[1] ポート[4/5]

<PORT J>

アドレス	レジスタ名
0x4000_0240	
0x4000_0241	
0x4000_0242	
0x4000_0243	
0x4000_0244	
0x4000_0245	
0x4000_0246	
0x4000_0247	
0x4000_0248	
0x4000_0249	
0x4000_024A	
0x4000_024B	
0x4000_024C	
0x4000_024D	
0x4000_024E	
0x4000_024F	

アドレス	レジスタ名
0x4000_0250	
0x4000_0251	
0x4000_0252	
0x4000_0253	
0x4000_0254	
0x4000_0255	
0x4000_0256	
0x4000_0257	
0x4000_0258	
0x4000_0259	
0x4000_025A	
0x4000_025B	
0x4000_025C	
0x4000_025D	
0x4000_025E	
0x4000_025F	

アドレス	レジスタ名
0x4000_0260	
0x4000_0261	
0x4000_0262	
0x4000_0263	
0x4000_0264	
0x4000_0265	
0x4000_0266	
0x4000_0267	
0x4000_0268	
0x4000_0269	
0x4000_026A	
0x4000_026B	
0x4000_026C	
0x4000_026D	
0x4000_026E	
0x4000_026F	

アドレス	レジスタ名
0x4000_0270	
0x4000_0271	
0x4000_0272	
0x4000_0273	
0x4000_0274	
0x4000_0275	
0x4000_0276	
0x4000_0277	
0x4000_0278	
0x4000_0279	
0x4000_027A	
0x4000_027B	
0x4000_027C	
0x4000_027D	
0x4000_027E	
0x4000_027F	

アドレス	レジスタ名
0x4000_0280	
0x4000_0281	
0x4000_0282	
0x4000_0283	
0x4000_0284	
0x4000_0285	
0x4000_0286	
0x4000_0287	
0x4000_0288	
0x4000_0289	
0x4000_028A	
0x4000_028B	
0x4000_028C	
0x4000_028D	
0x4000_028E	
0x4000_028F	

アドレス	レジスタ名
0x4000_0290	
0x4000_0291	
0x4000_0292	
0x4000_0293	
0x4000_0294	
0x4000_0295	
0x4000_0296	
0x4000_0297	
0x4000_0298	
0x4000_0299	
0x4000_029A	
0x4000_029B	
0x4000_029C	
0x4000_029D	
0x4000_029E	
0x4000_029F	

アドレス	レジスタ名
0x4000_02A0	
0x4000_02A1	
0x4000_02A2	
0x4000_02A3	
0x4000_02A4	
0x4000_02A5	
0x4000_02A6	
0x4000_02A7	
0x4000_02A8	
0x4000_02A9	
0x4000_02AA	
0x4000_02AB	
0x4000_02AC	
0x4000_02AD	
0x4000_02AE	
0x4000_02AF	

アドレス	レジスタ名
0x4000_02B0	
0x4000_02B1	
0x4000_02B2	
0x4000_02B3	
0x4000_02B4	
0x4000_02B5	
0x4000_02B6	
0x4000_02B7	
0x4000_02B8	
0x4000_02B9	
0x4000_02BA	
0x4000_02BB	
0x4000_02BC	
0x4000_02BD	
0x4000_02BE	
0x4000_02BF	

<PORT L>

アドレス	レジスタ名
0x4000_02C0	PLDATA
0x4000_02C1	<R0>
0x4000_02C2	<R0>
0x4000_02C3	<R0>
0x4000_02C4	PLCR
0x4000_02C5	<R0>
0x4000_02C6	<R0>
0x4000_02C7	<R0>
0x4000_02C8	PLFR1
0x4000_02C9	<R0>
0x4000_02CA	<R0>
0x4000_02CB	<R0>
0x4000_02CC	
0x4000_02CD	
0x4000_02CE	
0x4000_02CF	

アドレス	レジスタ名
0x4000_02D0	
0x4000_02D1	
0x4000_02D2	
0x4000_02D3	
0x4000_02D4	
0x4000_02D5	
0x4000_02D6	
0x4000_02D7	
0x4000_02D8	
0x4000_02D9	
0x4000_02DA	
0x4000_02DB	
0x4000_02DC	
0x4000_02DD	
0x4000_02DE	
0x4000_02DF	

アドレス	レジスタ名
0x4000_02E0	
0x4000_02E1	
0x4000_02E2	
0x4000_02E3	
0x4000_02E4	
0x4000_02E5	
0x4000_02E6	
0x4000_02E7	
0x4000_02E8	PLOD
0x4000_02E9	<R0>
0x4000_02EA	<R0>
0x4000_02EB	<R0>
0x4000_02EC	PLPUP
0x4000_02ED	<R0>
0x4000_02EE	<R0>
0x4000_02EF	<R0>

アドレス	レジスタ名
0x4000_02F0	PLPDN
0x4000_02F1	<R0>
0x4000_02F2	<R0>
0x4000_02F3	<R0>
0x4000_02F4	
0x4000_02F5	
0x4000_02F6	
0x4000_02F7	
0x4000_02F8	PLIE
0x4000_02F9	<R0>
0x4000_02FA	<R0>
0x4000_02FB	<R0>
0x4000_02FC	
0x4000_02FD	
0x4000_02FE	
0x4000_02FF	

[1] ポート[5/5]

<PORT M>

アドレス	レジスタ名
0x4000_0300	PMDATA
0x4000_0301	<R0>
0x4000_0302	<R0>
0x4000_0303	<R0>
0x4000_0304	PMCR
0x4000_0305	<R0>
0x4000_0306	<R0>
0x4000_0307	<R0>
0x4000_0308	
0x4000_0309	
0x4000_030A	
0x4000_030B	
0x4000_030C	
0x4000_030D	
0x4000_030E	
0x4000_030F	

アドレス	レジスタ名
0x4000_0310	
0x4000_0311	
0x4000_0312	
0x4000_0313	
0x4000_0314	
0x4000_0315	
0x4000_0316	
0x4000_0317	
0x4000_0318	
0x4000_0319	
0x4000_031A	
0x4000_031B	
0x4000_031C	
0x4000_031D	
0x4000_031E	
0x4000_031F	

アドレス	レジスタ名
0x4000_0320	
0x4000_0321	
0x4000_0322	
0x4000_0323	
0x4000_0324	
0x4000_0325	
0x4000_0326	
0x4000_0327	
0x4000_0328	PMOD
0x4000_0329	<R0>
0x4000_032A	<R0>
0x4000_032B	<R0>
0x4000_032C	PMPUP
0x4000_032D	<R0>
0x4000_032E	<R0>
0x4000_032F	<R0>

アドレス	レジスタ名
0x4000_0330	PMPDN
0x4000_0331	<R0>
0x4000_0332	<R0>
0x4000_0333	<R0>
0x4000_0334	
0x4000_0335	
0x4000_0336	
0x4000_0337	
0x4000_0338	PMIE
0x4000_0339	<R0>
0x4000_033A	<R0>
0x4000_033B	<R0>
0x4000_033C	
0x4000_033D	
0x4000_033E	
0x4000_033F	

<PORT N>

アドレス	レジスタ名
0x4000_0340	
0x4000_0341	
0x4000_0342	
0x4000_0343	
0x4000_0344	
0x4000_0345	
0x4000_0346	
0x4000_0347	
0x4000_0348	
0x4000_0349	
0x4000_034A	
0x4000_034B	
0x4000_034C	
0x4000_034D	
0x4000_034E	
0x4000_034F	

アドレス	レジスタ名
0x4000_0350	
0x4000_0351	
0x4000_0352	
0x4000_0353	
0x4000_0354	
0x4000_0355	
0x4000_0356	
0x4000_0357	
0x4000_0358	
0x4000_0359	
0x4000_035A	
0x4000_035B	
0x4000_035C	
0x4000_035D	
0x4000_035E	
0x4000_035F	

アドレス	レジスタ名
0x4000_0360	
0x4000_0361	
0x4000_0362	
0x4000_0363	
0x4000_0364	
0x4000_0365	
0x4000_0366	
0x4000_0367	
0x4000_0368	
0x4000_0369	
0x4000_036A	
0x4000_036B	
0x4000_036C	
0x4000_036D	
0x4000_036E	
0x4000_036F	

アドレス	レジスタ名
0x4000_0370	
0x4000_0371	
0x4000_0372	
0x4000_0373	
0x4000_0374	
0x4000_0375	
0x4000_0376	
0x4000_0377	
0x4000_0378	
0x4000_0379	
0x4000_037A	
0x4000_037B	
0x4000_037C	
0x4000_037D	
0x4000_037E	
0x4000_037F	

<PORT P>

アドレス	レジスタ名
0x4000_0380	PPDATA
0x4000_0381	<R0>
0x4000_0382	<R0>
0x4000_0383	<R0>
0x4000_0384	PPCR
0x4000_0385	<R0>
0x4000_0386	<R0>
0x4000_0387	<R0>
0x4000_0388	
0x4000_0389	
0x4000_038A	
0x4000_038B	
0x4000_038C	
0x4000_038D	
0x4000_038E	
0x4000_038F	

アドレス	レジスタ名
0x4000_0390	
0x4000_0391	
0x4000_0392	
0x4000_0393	
0x4000_0394	
0x4000_0395	
0x4000_0396	
0x4000_0397	
0x4000_0398	
0x4000_0399	
0x4000_039A	
0x4000_039B	
0x4000_039C	
0x4000_039D	
0x4000_039E	
0x4000_039F	

アドレス	レジスタ名
0x4000_03A0	
0x4000_03A1	
0x4000_03A2	
0x4000_03A3	
0x4000_03A4	
0x4000_03A5	
0x4000_03A6	
0x4000_03A7	
0x4000_03A8	PPOD
0x4000_03A9	<R0>
0x4000_03AA	<R0>
0x4000_03AB	<R0>
0x4000_03AC	PPPUP
0x4000_03AD	<R0>
0x4000_03AE	<R0>
0x4000_03AF	<R0>

アドレス	レジスタ名
0x4000_03B0	PPPDN
0x4000_03B1	<R0>
0x4000_03B2	<R0>
0x4000_03B3	<R0>
0x4000_03B4	
0x4000_03B5	
0x4000_03B6	
0x4000_03B7	
0x4000_03B8	PPIE
0x4000_03B9	<R0>
0x4000_03BA	<R0>
0x4000_03BB	<R0>
0x4000_03BC	
0x4000_03BD	
0x4000_03BE	
0x4000_03BF	

25.2.2 [2] 16ビットタイマ[1/3]

<TMRB0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0000	TB0EN	0x4001_0010	TB0FFCR	0x4001_0020	TB0RG0	0x4001_0030	
0x4001_0001	<R0>	0x4001_0011	<R0>	0x4001_0021		0x4001_0031	
0x4001_0002	<R0>	0x4001_0012	<R0>	0x4001_0022	<R0>	0x4001_0032	
0x4001_0003	<R0>	0x4001_0013	<R0>	0x4001_0023	<R0>	0x4001_0033	
0x4001_0004	TB0RUN	0x4001_0014	TB0ST	0x4001_0024	TB0RG1	0x4001_0034	
0x4001_0005	<R0>	0x4001_0015	<R0>	0x4001_0025		0x4001_0035	
0x4001_0006	<R0>	0x4001_0016	<R0>	0x4001_0026	<R0>	0x4001_0036	
0x4001_0007	<R0>	0x4001_0017	<R0>	0x4001_0027	<R0>	0x4001_0037	
0x4001_0008	TB0CR	0x4001_0018	TB0IM	0x4001_0028	TB0CP0	0x4001_0038	
0x4001_0009	<R0>	0x4001_0019	<R0>	0x4001_0029		0x4001_0039	
0x4001_000A	<R0>	0x4001_001A	<R0>	0x4001_002A	<R0>	0x4001_003A	
0x4001_000B	<R0>	0x4001_001B	<R0>	0x4001_002B	<R0>	0x4001_003B	
0x4001_000C	TB0MOD	0x4001_001C	TB0UC	0x4001_002C	TB0CP1	0x4001_003C	
0x4001_000D	<R0>	0x4001_001D	<R0>	0x4001_002D		0x4001_003D	
0x4001_000E	<R0>	0x4001_001E	<R0>	0x4001_002E	<R0>	0x4001_003E	
0x4001_000F	<R0>	0x4001_001F	<R0>	0x4001_002F	<R0>	0x4001_003F	

<TMRB1>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0040	TB1EN	0x4001_0050	TB1FFCR	0x4001_0060	TB1RG0	0x4001_0070	
0x4001_0041	<R0>	0x4001_0051	<R0>	0x4001_0061		0x4001_0071	
0x4001_0042	<R0>	0x4001_0052	<R0>	0x4001_0062	<R0>	0x4001_0072	
0x4001_0043	<R0>	0x4001_0053	<R0>	0x4001_0063	<R0>	0x4001_0073	
0x4001_0044	TB1RUN	0x4001_0054	TB1ST	0x4001_0064	TB1RG1	0x4001_0074	
0x4001_0045	<R0>	0x4001_0055	<R0>	0x4001_0065		0x4001_0075	
0x4001_0046	<R0>	0x4001_0056	<R0>	0x4001_0066	<R0>	0x4001_0076	
0x4001_0047	<R0>	0x4001_0057	<R0>	0x4001_0067	<R0>	0x4001_0077	
0x4001_0048	TB1CR	0x4001_0058	TB1IM	0x4001_0068	TB1CP0	0x4001_0078	
0x4001_0049	<R0>	0x4001_0059	<R0>	0x4001_0069		0x4001_0079	
0x4001_004A	<R0>	0x4001_005A	<R0>	0x4001_006A	<R0>	0x4001_007A	
0x4001_004B	<R0>	0x4001_005B	<R0>	0x4001_006B	<R0>	0x4001_007B	
0x4001_004C	TB1MOD	0x4001_005C	TB1UC	0x4001_006C	TB1CP1	0x4001_007C	
0x4001_004D	<R0>	0x4001_005D	<R0>	0x4001_006D		0x4001_007D	
0x4001_004E	<R0>	0x4001_005E	<R0>	0x4001_006E	<R0>	0x4001_007E	
0x4001_004F	<R0>	0x4001_005F	<R0>	0x4001_006F	<R0>	0x4001_007F	

<TMRB2>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0080	TB2EN	0x4001_0090	TB2FFCR	0x4001_00A0	TB2RG0	0x4001_00B0	
0x4001_0081	<R0>	0x4001_0091	<R0>	0x4001_00A1		0x4001_00B1	
0x4001_0082	<R0>	0x4001_0092	<R0>	0x4001_00A2	<R0>	0x4001_00B2	
0x4001_0083	<R0>	0x4001_0093	<R0>	0x4001_00A3	<R0>	0x4001_00B3	
0x4001_0084	TB2RUN	0x4001_0094	TB2ST	0x4001_00A4	TB2RG1	0x4001_00B4	
0x4001_0085	<R0>	0x4001_0095	<R0>	0x4001_00A5		0x4001_00B5	
0x4001_0086	<R0>	0x4001_0096	<R0>	0x4001_00A6	<R0>	0x4001_00B6	
0x4001_0087	<R0>	0x4001_0097	<R0>	0x4001_00A7	<R0>	0x4001_00B7	
0x4001_0088	TB2CR	0x4001_0098	TB2IM	0x4001_00A8	TB2CP0	0x4001_00B8	
0x4001_0089	<R0>	0x4001_0099	<R0>	0x4001_00A9		0x4001_00B9	
0x4001_008A	<R0>	0x4001_009A	<R0>	0x4001_00AA	<R0>	0x4001_00BA	
0x4001_008B	<R0>	0x4001_009B	<R0>	0x4001_00AB	<R0>	0x4001_00BB	
0x4001_008C	TB2MOD	0x4001_009C	TB2UC	0x4001_00AC	TB2CP1	0x4001_00BC	
0x4001_008D	<R0>	0x4001_009D	<R0>	0x4001_00AD		0x4001_00BD	
0x4001_008E	<R0>	0x4001_009E	<R0>	0x4001_00AE	<R0>	0x4001_00BE	
0x4001_008F	<R0>	0x4001_009F	<R0>	0x4001_00AF	<R0>	0x4001_00BF	

[2] 16 ビットタイマ[2/3]

<TMRB3>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_00C0	TB3EN	0x4001_00D0	Reserved	0x4001_00E0	TB3RG0	0x4001_00F0	
0x4001_00C1	<R0>	0x4001_00D1	<R0>	0x4001_00E1		0x4001_00F1	
0x4001_00C2	<R0>	0x4001_00D2	<R0>	0x4001_00E2	<R0>	0x4001_00F2	
0x4001_00C3	<R0>	0x4001_00D3	<R0>	0x4001_00E3	<R0>	0x4001_00F3	
0x4001_00C4	TB3RUN	0x4001_00D4	TB3ST	0x4001_00E4	TB3RG1	0x4001_00F4	
0x4001_00C5	<R0>	0x4001_00D5	<R0>	0x4001_00E5		0x4001_00F5	
0x4001_00C6	<R0>	0x4001_00D6	<R0>	0x4001_00E6	<R0>	0x4001_00F6	
0x4001_00C7	<R0>	0x4001_00D7	<R0>	0x4001_00E7	<R0>	0x4001_00F7	
0x4001_00C8	TB3CR	0x4001_00D8	TB3IM	0x4001_00E8	TB3CP0	0x4001_00F8	
0x4001_00C9	<R0>	0x4001_00D9	<R0>	0x4001_00E9		0x4001_00F9	
0x4001_00CA	<R0>	0x4001_00DA	<R0>	0x4001_00EA	<R0>	0x4001_00FA	
0x4001_00CB	<R0>	0x4001_00DB	<R0>	0x4001_00EB	<R0>	0x4001_00FB	
0x4001_00CC	TB3MOD	0x4001_00DC	TB3UC	0x4001_00EC	TB3CP1	0x4001_00FC	
0x4001_00CD	<R0>	0x4001_00DD		0x4001_00ED		0x4001_00FD	
0x4001_00CE	<R0>	0x4001_00DE	<R0>	0x4001_00EE	<R0>	0x4001_00FE	
0x4001_00CF	<R0>	0x4001_00DF	<R0>	0x4001_00EF	<R0>	0x4001_00FF	

<TMRB4>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0100	TB4EN	0x4001_0110	TB4FFCR	0x4001_0120	TB4RG0	0x4001_0130	
0x4001_0101	<R0>	0x4001_0111	<R0>	0x4001_0121		0x4001_0131	
0x4001_0102	<R0>	0x4001_0112	<R0>	0x4001_0122	<R0>	0x4001_0132	
0x4001_0103	<R0>	0x4001_0113	<R0>	0x4001_0123	<R0>	0x4001_0133	
0x4001_0104	TB4RUN	0x4001_0114	TB4ST	0x4001_0124	TB4RG1	0x4001_0134	
0x4001_0105	<R0>	0x4001_0115	<R0>	0x4001_0125		0x4001_0135	
0x4001_0106	<R0>	0x4001_0116	<R0>	0x4001_0126	<R0>	0x4001_0136	
0x4001_0107	<R0>	0x4001_0117	<R0>	0x4001_0127	<R0>	0x4001_0137	
0x4001_0108	TB4CR	0x4001_0118	TB4IM	0x4001_0128	TB4CP0	0x4001_0138	
0x4001_0109	<R0>	0x4001_0119	<R0>	0x4001_0129		0x4001_0139	
0x4001_010A	<R0>	0x4001_011A	<R0>	0x4001_012A	<R0>	0x4001_013A	
0x4001_010B	<R0>	0x4001_011B	<R0>	0x4001_012B	<R0>	0x4001_013B	
0x4001_010C	TB4MOD	0x4001_011C	TB4UC	0x4001_012C	TB4CP1	0x4001_013C	
0x4001_010D	<R0>	0x4001_011D		0x4001_012D		0x4001_013D	
0x4001_010E	<R0>	0x4001_011E	<R0>	0x4001_012E	<R0>	0x4001_013E	
0x4001_010F	<R0>	0x4001_011F	<R0>	0x4001_012F	<R0>	0x4001_013F	

<TMRB5>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0140	TB5EN	0x4001_0150	TB5FFCR	0x4001_0160	TB5RG0	0x4001_0170	
0x4001_0141	<R0>	0x4001_0151	<R0>	0x4001_0161		0x4001_0171	
0x4001_0142	<R0>	0x4001_0152	<R0>	0x4001_0162	<R0>	0x4001_0172	
0x4001_0143	<R0>	0x4001_0153	<R0>	0x4001_0163	<R0>	0x4001_0173	
0x4001_0144	TB5RUN	0x4001_0154	TB5ST	0x4001_0164	TB5RG1	0x4001_0174	
0x4001_0145	<R0>	0x4001_0155	<R0>	0x4001_0165		0x4001_0175	
0x4001_0146	<R0>	0x4001_0156	<R0>	0x4001_0166	<R0>	0x4001_0176	
0x4001_0147	<R0>	0x4001_0157	<R0>	0x4001_0167	<R0>	0x4001_0177	
0x4001_0148	TB5CR	0x4001_0158	TB5IM	0x4001_0168	TB5CP0	0x4001_0178	
0x4001_0149	<R0>	0x4001_0159	<R0>	0x4001_0169		0x4001_0179	
0x4001_014A	<R0>	0x4001_015A	<R0>	0x4001_016A	<R0>	0x4001_017A	
0x4001_014B	<R0>	0x4001_015B	<R0>	0x4001_016B	<R0>	0x4001_017B	
0x4001_014C	TB5MOD	0x4001_015C	TB5UC	0x4001_016C	TB5CP1	0x4001_017C	
0x4001_014D	<R0>	0x4001_015D		0x4001_016D		0x4001_017D	
0x4001_014E	<R0>	0x4001_015E	<R0>	0x4001_016E	<R0>	0x4001_017E	
0x4001_014F	<R0>	0x4001_015F	<R0>	0x4001_016F	<R0>	0x4001_017F	

[2] 16 ビットタイマ[3/3]

<TMRB6>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_0180	TB6EN	0x4001_0190	TB6FFCR	0x4001_01A0	TB6RG0	0x4001_01B0	
0x4001_0181	<R0>	0x4001_0191	<R0>	0x4001_01A1		0x4001_01B1	
0x4001_0182	<R0>	0x4001_0192	<R0>	0x4001_01A2	<R0>	0x4001_01B2	
0x4001_0183	<R0>	0x4001_0193	<R0>	0x4001_01A3	<R0>	0x4001_01B3	
0x4001_0184	TB6RUN	0x4001_0194	TB6ST	0x4001_01A4	TB6RG1	0x4001_01B4	
0x4001_0185	<R0>	0x4001_0195	<R0>	0x4001_01A5		0x4001_01B5	
0x4001_0186	<R0>	0x4001_0196	<R0>	0x4001_01A6	<R0>	0x4001_01B6	
0x4001_0187	<R0>	0x4001_0197	<R0>	0x4001_01A7	<R0>	0x4001_01B7	
0x4001_0188	TB6CR	0x4001_0198	TB6IM	0x4001_01A8	TB6CP0	0x4001_01B8	
0x4001_0189	<R0>	0x4001_0199	<R0>	0x4001_01A9		0x4001_01B9	
0x4001_018A	<R0>	0x4001_019A	<R0>	0x4001_01AA	<R0>	0x4001_01BA	
0x4001_018B	<R0>	0x4001_019B	<R0>	0x4001_01AB	<R0>	0x4001_01BB	
0x4001_018C	TB6MOD	0x4001_019C	TB6UC	0x4001_01AC	TB6CP1	0x4001_01BC	
0x4001_018D	<R0>	0x4001_019D		0x4001_01AD		0x4001_01BD	
0x4001_018E	<R0>	0x4001_019E	<R0>	0x4001_01AE	<R0>	0x4001_01BE	
0x4001_018F	<R0>	0x4001_019F	<R0>	0x4001_01AF	<R0>	0x4001_01BF	

<TMRB7>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4001_01C0	TB7EN	0x4001_01D0	TB7FFCR	0x4001_01E0	TB7RG0	0x4001_01F0	
0x4001_01C1	<R0>	0x4001_01D1	<R0>	0x4001_01E1		0x4001_01F1	
0x4001_01C2	<R0>	0x4001_01D2	<R0>	0x4001_01E2	<R0>	0x4001_01F2	
0x4001_01C3	<R0>	0x4001_01D3	<R0>	0x4001_01E3	<R0>	0x4001_01F3	
0x4001_01C4	TB7RUN	0x4001_01D4	TB7ST	0x4001_01E4	TB7RG1	0x4001_01F4	
0x4001_01C5	<R0>	0x4001_01D5	<R0>	0x4001_01E5		0x4001_01F5	
0x4001_01C6	<R0>	0x4001_01D6	<R0>	0x4001_01E6	<R0>	0x4001_01F6	
0x4001_01C7	<R0>	0x4001_01D7	<R0>	0x4001_01E7	<R0>	0x4001_01F7	
0x4001_01C8	TB7CR	0x4001_01D8	TB7IM	0x4001_01E8	TB7CP0	0x4001_01F8	
0x4001_01C9	<R0>	0x4001_01D9	<R0>	0x4001_01E9		0x4001_01F9	
0x4001_01CA	<R0>	0x4001_01DA	<R0>	0x4001_01EA	<R0>	0x4001_01FA	
0x4001_01CB	<R0>	0x4001_01DB	<R0>	0x4001_01EB	<R0>	0x4001_01FB	
0x4001_01CC	TB7MOD	0x4001_01DC	TB7UC	0x4001_01EC	TB7CP1	0x4001_01FC	
0x4001_01CD	<R0>	0x4001_01DD		0x4001_01ED		0x4001_01FD	
0x4001_01CE	<R0>	0x4001_01DE	<R0>	0x4001_01EE	<R0>	0x4001_01FE	
0x4001_01CF	<R0>	0x4001_01DF	<R0>	0x4001_01EF	<R0>	0x4001_01FF	

25.2.3 [3] エンコーダ入力 (ENC)

アドレス	レジスタ名
0x4001_0400	Reserved
0x4001_0401	
0x4001_0402	
0x4001_0403	
0x4001_0404	Reserved
0x4001_0405	
0x4001_0406	
0x4001_0407	
0x4001_0408	Reserved
0x4001_0409	
0x4001_040A	
0x4001_040B	
0x4001_040C	Reserved
0x4001_040D	
0x4001_040E	
0x4001_040F	

アドレス	レジスタ名
0x4001_0410	Reserved
0x4001_0411	
0x4001_0412	
0x4001_0413	
0x4001_0414	Reserved
0x4001_0415	
0x4001_0416	
0x4001_0417	
0x4001_0418	Reserved
0x4001_0419	
0x4001_041A	
0x4001_041B	
0x4001_041C	Reserved
0x4001_041D	
0x4001_041E	
0x4001_041F	

アドレス	レジスタ名
0x4001_0420	Reserved
0x4001_0421	
0x4001_0422	
0x4001_0423	
0x4001_0424	Reserved
0x4001_0425	
0x4001_0426	
0x4001_0427	
0x4001_0428	Reserved
0x4001_0429	
0x4001_042A	
0x4001_042B	
0x4001_042C	Reserved
0x4001_042D	
0x4001_042E	
0x4001_042F	

アドレス	レジスタ名
0x4001_0430	Reserved
0x4001_0431	
0x4001_0432	
0x4001_0433	
0x4001_0434	Reserved
0x4001_0435	
0x4001_0436	
0x4001_0437	
0x4001_0438	Reserved
0x4001_0439	
0x4001_043A	
0x4001_043B	
0x4001_043C	Reserved
0x4001_043D	
0x4001_043E	
0x4001_043F	

アドレス	レジスタ名
0x4001_0500	Reserved
0x4001_0501	
0x4001_0502	
0x4001_0503	
0x4001_0504	Reserved
0x4001_0505	
0x4001_0506	
0x4001_0507	
0x4001_0508	Reserved
0x4001_0509	
0x4001_050A	
0x4001_050B	
0x4001_050C	Reserved
0x4001_050D	
0x4001_050E	
0x4001_050F	

アドレス	レジスタ名
0x4001_0510	Reserved
0x4001_0511	
0x4001_0512	
0x4001_0513	
0x4001_0514	Reserved
0x4001_0515	
0x4001_0516	
0x4001_0517	
0x4001_0518	Reserved
0x4001_0519	
0x4001_051A	
0x4001_051B	
0x4001_051C	Reserved
0x4001_051D	
0x4001_051E	
0x4001_051F	

アドレス	レジスタ名
0x4001_0520	Reserved
0x4001_0521	
0x4001_0522	
0x4001_0523	
0x4001_0524	Reserved
0x4001_0525	
0x4001_0526	
0x4001_0527	
0x4001_0528	Reserved
0x4001_0529	
0x4001_052A	
0x4001_052B	
0x4001_052C	Reserved
0x4001_052D	
0x4001_052E	
0x4001_052F	

アドレス	レジスタ名
0x4001_0530	Reserved
0x4001_0531	
0x4001_0532	
0x4001_0533	
0x4001_0534	Reserved
0x4001_0535	
0x4001_0536	
0x4001_0537	
0x4001_0538	Reserved
0x4001_0539	
0x4001_053A	
0x4001_053B	
0x4001_053C	Reserved
0x4001_053D	
0x4001_053E	
0x4001_053F	

25.2.4 [4] シリアルバスインタフェース (SBI)

<SBI0>

アドレス	レジスタ名
0x4002_0000	SBI0CR0
0x4002_0001	
0x4002_0002	
0x4002_0003	
0x4002_0004	SBI0CR1
0x4002_0005	
0x4002_0006	
0x4002_0007	
0x4002_0008	SBI0DBR
0x4002_0009	
0x4002_000A	
0x4002_000B	
0x4002_000C	SBI0I2CAR
0x4002_000D	
0x4002_000E	
0x4002_000F	

アドレス	レジスタ名
0x4002_0010	SBI0CR2/SR
0x4002_0011	
0x4002_0012	
0x4002_0013	
0x4002_0014	SBI0BR0
0x4002_0015	
0x4002_0016	
0x4002_0017	
0x4002_0018	
0x4002_0019	
0x4002_001A	
0x4002_001B	
0x4002_001C	
0x4002_001D	
0x4002_001E	
0x4002_001F	

アドレス	レジスタ名
0x4002_0020	
0x4002_0021	
0x4002_0022	
0x4002_0023	
0x4002_0024	
0x4002_0025	
0x4002_0026	
0x4002_0027	
0x4002_0028	
0x4002_0029	
0x4002_002A	
0x4002_002B	
0x4002_002C	
0x4002_002D	
0x4002_002E	
0x4002_002F	

アドレス	レジスタ名
0x4002_0030	
0x4002_0031	
0x4002_0032	
0x4002_0033	
0x4002_0034	
0x4002_0035	
0x4002_0036	
0x4002_0037	
0x4002_0038	
0x4002_0039	
0x4002_003A	
0x4002_003B	
0x4002_003C	"
0x4002_003D	
0x4002_003E	
0x4002_003F	

アドレス	レジスタ名
0x4002_0040	Reserved
0x4002_0041	
0x4002_0042	
0x4002_0043	
0x4002_0044	Reserved
0x4002_0045	
0x4002_0046	
0x4002_0047	
0x4002_0048	Reserved
0x4002_0049	
0x4002_004A	
0x4002_004B	
0x4002_004C	Reserved
0x4002_004D	
0x4002_004E	
0x4002_004F	

アドレス	レジスタ名
0x4002_0050	Reserved
0x4002_0051	
0x4002_0052	
0x4002_0053	
0x4002_0054	Reserved
0x4002_0055	
0x4002_0056	
0x4002_0057	
0x4002_0058	
0x4002_0059	
0x4002_005A	
0x4002_005B	
0x4002_005C	
0x4002_005D	
0x4002_005E	
0x4002_005F	

アドレス	レジスタ名
0x4002_0060	
0x4002_0061	
0x4002_0062	
0x4002_0063	
0x4002_0064	
0x4002_0065	
0x4002_0066	
0x4002_0067	
0x4002_0068	
0x4002_0069	
0x4002_006A	
0x4002_006B	
0x4002_006C	
0x4002_006D	
0x4002_006E	
0x4002_006F	

アドレス	レジスタ名
0x4002_0070	
0x4002_0071	
0x4002_0072	
0x4002_0073	
0x4002_0074	
0x4002_0075	
0x4002_0076	
0x4002_0077	
0x4002_0078	
0x4002_0079	
0x4002_007A	
0x4002_007B	
0x4002_007C	
0x4002_007D	
0x4002_007E	
0x4002_007F	

25.2.5 [5] シリアルインタフェース (UART/SIO) [1/2]

<SIO0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0080	SC0EN	0x4002_0090	SC0BRCCR	0x4002_00A0	SC0RFC	0x4002_00B0	SC0FCNF
0x4002_0081	<R0>	0x4002_0091	<R0>	0x4002_00A1	<R0>	0x4002_00B1	<R0>
0x4002_0082	<R0>	0x4002_0092	<R0>	0x4002_00A2	<R0>	0x4002_00B2	<R0>
0x4002_0083	<R0>	0x4002_0093	<R0>	0x4002_00A3	<R0>	0x4002_00B3	<R0>
0x4002_0084	SC0BUF	0x4002_0094	SC0BRADD	0x4002_00A4	SC0TFC	0x4002_00B4	
0x4002_0085	<R0>	0x4002_0095	<R0>	0x4002_00A5	<R0>	0x4002_00B5	
0x4002_0086	<R0>	0x4002_0096	<R0>	0x4002_00A6	<R0>	0x4002_00B6	
0x4002_0087	<R0>	0x4002_0097	<R0>	0x4002_00A7	<R0>	0x4002_00B7	
0x4002_0088	SC0CR	0x4002_0098	SC0MOD1	0x4002_00A8	SC0RST	0x4002_00B8	
0x4002_0089	<R0>	0x4002_0099	<R0>	0x4002_00A9	<R0>	0x4002_00B9	
0x4002_008A	<R0>	0x4002_009A	<R0>	0x4002_00AA	<R0>	0x4002_00BA	
0x4002_008B	<R0>	0x4002_009B	<R0>	0x4002_00AB	<R0>	0x4002_00BB	
0x4002_008C	SC0MOD0	0x4002_009C	SC0MOD2	0x4002_00AC	SC0TST	0x4002_00BC	
0x4002_008D	<R0>	0x4002_009D	<R0>	0x4002_00AD	<R0>	0x4002_00BD	
0x4002_008E	<R0>	0x4002_009E	<R0>	0x4002_00AE	<R0>	0x4002_00BE	
0x4002_008F	<R0>	0x4002_009F	<R0>	0x4002_00AF	<R0>	0x4002_00BF	

<SIO1>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_00C0	SC1EN	0x4002_00D0	SC1BRCCR	0x4002_00E0	SC1RFC	0x4002_00F0	SC1FCNF
0x4002_00C1	<R0>	0x4002_00D1	<R0>	0x4002_00E1	<R0>	0x4002_00F1	<R0>
0x4002_00C2	<R0>	0x4002_00D2	<R0>	0x4002_00E2	<R0>	0x4002_00F2	<R0>
0x4002_00C3	<R0>	0x4002_00D3	<R0>	0x4002_00E3	<R0>	0x4002_00F3	<R0>
0x4002_00C4	SC1BUF	0x4002_00D4	SC1BRADD	0x4002_00E4	SC1TFC	0x4002_00F4	
0x4002_00C5	<R0>	0x4002_00D5	<R0>	0x4002_00E5	<R0>	0x4002_00F5	
0x4002_00C6	<R0>	0x4002_00D6	<R0>	0x4002_00E6	<R0>	0x4002_00F6	
0x4002_00C7	<R0>	0x4002_00D7	<R0>	0x4002_00E7	<R0>	0x4002_00F7	
0x4002_00C8	SC1CR	0x4002_00D8	SC1MOD1	0x4002_00E8	SC1RST	0x4002_00F8	
0x4002_00C9	<R0>	0x4002_00D9	<R0>	0x4002_00E9	<R0>	0x4002_00F9	
0x4002_00CA	<R0>	0x4002_00DA	<R0>	0x4002_00EA	<R0>	0x4002_00FA	
0x4002_00CB	<R0>	0x4002_00DB	<R0>	0x4002_00EB	<R0>	0x4002_00FB	
0x4002_00CC	SC1MOD0	0x4002_00DC	SC1MOD2	0x4002_00EC	SC1TST	0x4002_00FC	
0x4002_00CD	<R0>	0x4002_00DD	<R0>	0x4002_00ED	<R0>	0x4002_00FD	
0x4002_00CE	<R0>	0x4002_00DE	<R0>	0x4002_00EE	<R0>	0x4002_00FE	
0x4002_00CF	<R0>	0x4002_00DF	<R0>	0x4002_00EF	<R0>	0x4002_00FF	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0100	Reserved	0x4002_0110	Reserved	0x4002_0120	Reserved	0x4002_0130	Reserved
0x4002_0101		0x4002_0111		0x4002_0121		0x4002_0131	
0x4002_0102		0x4002_0112		0x4002_0122		0x4002_0132	
0x4002_0103		0x4002_0113		0x4002_0123		0x4002_0133	
0x4002_0104	Reserved	0x4002_0114	Reserved	0x4002_0124	Reserved	0x4002_0134	
0x4002_0105		0x4002_0115		0x4002_0125		0x4002_0135	
0x4002_0106		0x4002_0116		0x4002_0126		0x4002_0136	
0x4002_0107		0x4002_0117		0x4002_0127		0x4002_0137	
0x4002_0108	Reserved	0x4002_0118	Reserved	0x4002_0128	Reserved	0x4002_0138	
0x4002_0109		0x4002_0119		0x4002_0129		0x4002_0139	
0x4002_010A		0x4002_011A		0x4002_012A		0x4002_013A	
0x4002_010B		0x4002_011B		0x4002_012B		0x4002_013B	
0x4002_010C	Reserved	0x4002_011C	Reserved	0x4002_012C	Reserved	0x4002_013C	
0x4002_010D		0x4002_011D		0x4002_012D		0x4002_013D	
0x4002_010E		0x4002_011E		0x4002_012E		0x4002_013E	
0x4002_010F		0x4002_011F		0x4002_012F		0x4002_013F	

[5] シリアルインタフェース (UART/SIO) [2/2]

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0140	Reserved	0x4002_0150	Reserved	0x4002_0160	Reserved	0x4002_0170	Reserved
0x4002_0141		0x4002_0151		0x4002_0161		0x4002_0171	
0x4002_0142		0x4002_0152		0x4002_0162		0x4002_0172	
0x4002_0143		0x4002_0153		0x4002_0163		0x4002_0173	
0x4002_0144	Reserved	0x4002_0154	Reserved	0x4002_0164	Reserved	0x4002_0174	
0x4002_0145		0x4002_0155		0x4002_0165		0x4002_0175	
0x4002_0146		0x4002_0156		0x4002_0166		0x4002_0176	
0x4002_0147		0x4002_0157		0x4002_0167		0x4002_0177	
0x4002_0148	Reserved	0x4002_0158	Reserved	0x4002_0168	Reserved	0x4002_0178	
0x4002_0149		0x4002_0159		0x4002_0169		0x4002_0179	
0x4002_014A		0x4002_015A		0x4002_016A		0x4002_017A	
0x4002_014B		0x4002_015B		0x4002_016B		0x4002_017B	
0x4002_014C	Reserved	0x4002_015C	Reserved	0x4002_016C	Reserved	0x4002_017C	
0x4002_014D		0x4002_015D		0x4002_016D		0x4002_017D	
0x4002_014E		0x4002_015E		0x4002_016E		0x4002_017E	
0x4002_014F		0x4002_015F		0x4002_016F		0x4002_017F	

<SIO4>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4002_0180	SC4EN	0x4002_0190	SC4BRCR	0x4002_01A0	SC4RFC	0x4002_01B0	SC4FCNF
0x4002_0181	<R0>	0x4002_0191	<R0>	0x4002_01A1	<R0>	0x4002_01B1	<R0>
0x4002_0182	<R0>	0x4002_0192	<R0>	0x4002_01A2	<R0>	0x4002_01B2	<R0>
0x4002_0183	<R0>	0x4002_0193	<R0>	0x4002_01A3	<R0>	0x4002_01B3	<R0>
0x4002_0184	SC4BUF	0x4002_0194	SC4BRADD	0x4002_01A4	SC4TFC	0x4002_01B4	
0x4002_0185	<R0>	0x4002_0195	<R0>	0x4002_01A5	<R0>	0x4002_01B5	
0x4002_0186	<R0>	0x4002_0196	<R0>	0x4002_01A6	<R0>	0x4002_01B6	
0x4002_0187	<R0>	0x4002_0197	<R0>	0x4002_01A7	<R0>	0x4002_01B7	
0x4002_0188	SC4CR	0x4002_0198	SC4MOD1	0x4002_01A8	SC4RST	0x4002_01B8	
0x4002_0189	<R0>	0x4002_0199	<R0>	0x4002_01A9	<R0>	0x4002_01B9	
0x4002_018A	<R0>	0x4002_019A	<R0>	0x4002_01AA	<R0>	0x4002_01BA	
0x4002_018B	<R0>	0x4002_019B	<R0>	0x4002_01AB	<R0>	0x4002_01BB	
0x4002_018C	SC4MOD0	0x4002_019C	SC4MOD2	0x4002_01AC	SC4TST	0x4002_01BC	
0x4002_018D	<R0>	0x4002_019D	<R0>	0x4002_01AD	<R0>	0x4002_01BD	
0x4002_018E	<R0>	0x4002_019E	<R0>	0x4002_01AE	<R0>	0x4002_01BE	
0x4002_018F	<R0>	0x4002_019F	<R0>	0x4002_01AF	<R0>	0x4002_01BF	

25.2.6 [6] 12ビットA/Dコンバータ (ADC) [1/2]

<ADC>

アドレス	レジスタ名
0x4003_0000	ADCLK
0x4003_0001	
0x4003_0002	
0x4003_0003	
0x4003_0004	ADMOD0
0x4003_0005	
0x4003_0006	
0x4003_0007	
0x4003_0008	ADMOD1
0x4003_0009	
0x4003_000A	
0x4003_000B	
0x4003_000C	ADMOD2
0x4003_000D	
0x4003_000E	
0x4003_000F	

アドレス	レジスタ名
0x4003_0010	ADCMPCR0
0x4003_0011	
0x4003_0012	
0x4003_0013	
0x4003_0014	ADCMPCR1
0x4003_0015	
0x4003_0016	
0x4003_0017	
0x4003_0018	ADCMP0
0x4003_0019	
0x4003_001A	
0x4003_001B	
0x4003_001C	ADCMP1
0x4003_001D	
0x4003_001E	
0x4003_001F	

アドレス	レジスタ名
0x4003_0020	アドレス EG0
0x4003_0021	
0x4003_0022	
0x4003_0023	
0x4003_0024	アドレス EG1
0x4003_0025	
0x4003_0026	
0x4003_0027	
0x4003_0028	アドレス EG2
0x4003_0029	
0x4003_002A	
0x4003_002B	
0x4003_002C	アドレス EG3
0x4003_002D	
0x4003_002E	
0x4003_002F	

アドレス	レジスタ名
0x4003_0030	アドレス EG4
0x4003_0031	
0x4003_0032	
0x4003_0033	
0x4003_0034	アドレス EG5
0x4003_0035	
0x4003_0036	
0x4003_0037	
0x4003_0038	アドレス EG6
0x4003_0039	
0x4003_003A	
0x4003_003B	
0x4003_003C	アドレス EG7
0x4003_003D	
0x4003_003E	
0x4003_003F	

アドレス	レジスタ名
0x4003_0040	アドレス EG8
0x4003_0041	
0x4003_0042	
0x4003_0043	
0x4003_0044	アドレス EG9
0x4003_0045	
0x4003_0046	
0x4003_0047	
0x4003_0048	アドレス EG10
0x4003_0049	
0x4003_004A	
0x4003_004B	
0x4003_004C	アドレス EG11
0x4003_004D	
0x4003_004E	
0x4003_004F	

アドレス	レジスタ名
0x4003_0050	ADPSEL0
0x4003_0051	
0x4003_0052	
0x4003_0053	
0x4003_0054	ADPSEL1
0x4003_0055	
0x4003_0056	
0x4003_0057	
0x4003_0058	ADPSEL2
0x4003_0059	
0x4003_005A	
0x4003_005B	
0x4003_005C	ADPSEL3
0x4003_005D	
0x4003_005E	
0x4003_005F	

アドレス	レジスタ名
0x4003_0060	Reserved
0x4003_0061	
0x4003_0062	
0x4003_0063	
0x4003_0064	Reserved
0x4003_0065	
0x4003_0066	
0x4003_0067	
0x4003_0068	Reserved
0x4003_0069	
0x4003_006A	
0x4003_006B	
0x4003_006C	Reserved
0x4003_006D	
0x4003_006E	
0x4003_006F	

アドレス	レジスタ名
0x4003_0070	Reserved
0x4003_0071	
0x4003_0072	
0x4003_0073	
0x4003_0074	Reserved
0x4003_0075	
0x4003_0076	
0x4003_0077	
0x4003_0078	Reserved
0x4003_0079	
0x4003_007A	
0x4003_007B	
0x4003_007C	Reserved
0x4003_007D	
0x4003_007E	
0x4003_007F	

アドレス	レジスタ名
0x4003_0080	ADPINTS0
0x4003_0081	
0x4003_0082	
0x4003_0083	
0x4003_0084	ADPINTS1
0x4003_0085	
0x4003_0086	
0x4003_0087	
0x4003_0088	ADPINTS2
0x4003_0089	
0x4003_008A	
0x4003_008B	
0x4003_008C	ADPINTS3
0x4003_008D	
0x4003_008E	
0x4003_008F	

アドレス	レジスタ名
0x4003_0090	ADPINTS4
0x4003_0091	
0x4003_0092	
0x4003_0093	
0x4003_0094	ADPINTS5
0x4003_0095	
0x4003_0096	
0x4003_0097	
0x4003_0098	ADPSET0
0x4003_0099	
0x4003_009A	
0x4003_009B	
0x4003_009C	ADPSET1
0x4003_009D	
0x4003_009E	
0x4003_009F	

アドレス	レジスタ名
0x4003_00A0	ADPSET2
0x4003_00A1	
0x4003_00A2	
0x4003_00A3	
0x4003_00A4	ADPSET3
0x4003_00A5	
0x4003_00A6	
0x4003_00A7	
0x4003_00A8	ADPSET4
0x4003_00A9	
0x4003_00AA	
0x4003_00AB	
0x4003_00AC	ADPSET5
0x4003_00AD	
0x4003_00AE	
0x4003_00AF	

アドレス	レジスタ名
0x4003_00B0	ADTSET03
0x4003_00B1	
0x4003_00B2	
0x4003_00B3	
0x4003_00B4	ADTSET47
0x4003_00B5	
0x4003_00B6	
0x4003_00B7	
0x4003_00B8	ADTSET811
0x4003_00B9	
0x4003_00BA	
0x4003_00BB	
0x4003_00BC	ADSSET03
0x4003_00BD	
0x4003_00BE	
0x4003_00BF	

[6] 12 ビット A/D コンバータ (A/DC) [2/2]

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4003_00C0	ADSSET47	0x4003_00D0	ADASET811	0x4003_00E0		0x4003_00F0	
0x4003_00C1		0x4003_00D1		0x4003_00E1		0x4003_00F1	
0x4003_00C2		0x4003_00D2		0x4003_00E2		0x4003_00F2	
0x4003_00C3		0x4003_00D3		0x4003_00E3		0x4003_00F3	
0x4003_00C4	ADSSET811	0x4003_00D4	ADM0D3	0x4003_00E4		0x4003_00F4	
0x4003_00C5		0x4003_00D5		0x4003_00E5		0x4003_00F5	
0x4003_00C6		0x4003_00D6		0x4003_00E6		0x4003_00F6	
0x4003_00C7		0x4003_00D7		0x4003_00E7		0x4003_00F7	
0x4003_00C8	ADASET03	0x4003_00D8		0x4003_00E8		0x4003_00F8	
0x4003_00C9		0x4003_00D9		0x4003_00E9		0x4003_00F9	
0x4003_00CA		0x4003_00DA		0x4003_00EA		0x4003_00FA	
0x4003_00CB		0x4003_00DB		0x4003_00EB		0x4003_00FB	
0x4003_00CC	ADASET47	0x4003_00DC		0x4003_00EC		0x4003_00FC	
0x4003_00CD		0x4003_00DD		0x4003_00ED		0x4003_00FD	
0x4003_00CE		0x4003_00DE		0x4003_00EE		0x4003_00FE	
0x4003_00CF		0x4003_00DF		0x4003_00EF		0x4003_00FF	

25.2.7 [7] ウォッチドッグタイマ (WDT)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0000	WDMOD	0x4004_0010		0x4004_0020		0x4004_0030	
0x4004_0001	<R0>	0x4004_0011		0x4004_0021		0x4004_0031	
0x4004_0002	<R0>	0x4004_0012		0x4004_0022		0x4004_0032	
0x4004_0003	<R0>	0x4004_0013		0x4004_0023		0x4004_0033	
0x4004_0004	WDCR	0x4004_0014		0x4004_0024		0x4004_0034	
0x4004_0005	<R0>	0x4004_0015		0x4004_0025		0x4004_0035	
0x4004_0006	<R0>	0x4004_0016		0x4004_0026		0x4004_0036	
0x4004_0007	<R0>	0x4004_0017		0x4004_0027		0x4004_0037	
0x4004_0008		0x4004_0018		0x4004_0028		0x4004_0038	
0x4004_0009		0x4004_0019		0x4004_0029		0x4004_0039	
0x4004_000A		0x4004_001A		0x4004_002A		0x4004_003A	
0x4004_000B		0x4004_001B		0x4004_002B		0x4004_003B	
0x4004_000C		0x4004_001C		0x4004_002C		0x4004_003C	
0x4004_000D		0x4004_001D		0x4004_002D		0x4004_003D	
0x4004_000E		0x4004_001E		0x4004_002E		0x4004_003E	
0x4004_000F		0x4004_001F		0x4004_002F		0x4004_003F	

25.2.8 [8] リアルタイムクロック (RTC)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0100	SECR	0x4004_0110		0x4004_0120		0x4004_0130	
0x4004_0101	MINR	0x4004_0111		0x4004_0121		0x4004_0131	
0x4004_0102	HOURR	0x4004_0112		0x4004_0122		0x4004_0132	
0x4004_0103		0x4004_0113		0x4004_0123		0x4004_0133	
0x4004_0104	DAYR	0x4004_0114		0x4004_0124		0x4004_0134	
0x4004_0105	DATER	0x4004_0115		0x4004_0125		0x4004_0135	
0x4004_0106	MONTHR	0x4004_0116		0x4004_0126		0x4004_0136	
0x4004_0107	YEARR	0x4004_0117		0x4004_0127		0x4004_0137	
0x4004_0108	PAGER	0x4004_0118		0x4004_0128		0x4004_0138	
0x4004_0109		0x4004_0119		0x4004_0129		0x4004_0139	
0x4004_010A		0x4004_011A		0x4004_012A		0x4004_013A	
0x4004_010B		0x4004_011B		0x4004_012B		0x4004_013B	
0x4004_010C	RESTR	0x4004_011C		0x4004_012C		0x4004_013C	
0x4004_010D		0x4004_011D		0x4004_012D		0x4004_013D	
0x4004_010E		0x4004_011E		0x4004_012E		0x4004_013E	
0x4004_010F		0x4004_011F		0x4004_012F		0x4004_013F	

25.2.9 [9] クロックジェネレータ (CG)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0200	CGSYSCR	0x4004_0210	CGCKSEL	0x4004_0220	CGIMCGA	0x4004_0230	CGIMCGE
0x4004_0201		0x4004_0211	<R0>	0x4004_0221		0x4004_0231	
0x4004_0202		0x4004_0212	<R0>	0x4004_0222		0x4004_0232	
0x4004_0203	<R0>	0x4004_0213	<R0>	0x4004_0223		0x4004_0233	
0x4004_0204	CGOSCCR	0x4004_0214	CGICRCG	0x4004_0224	CGIMCGB	0x4004_0234	
0x4004_0205		0x4004_0215	<R0>	0x4004_0225		0x4004_0235	
0x4004_0206		0x4004_0216	<R0>	0x4004_0226		0x4004_0236	
0x4004_0207		0x4004_0217	<R0>	0x4004_0227		0x4004_0237	
0x4004_0208	CGSTBYCR	0x4004_0218	CGNMIFLG	0x4004_0228	CGIMCGC	0x4004_0238	
0x4004_0209		0x4004_0219	<R0>	0x4004_0229		0x4004_0239	
0x4004_020A		0x4004_021A	<R0>	0x4004_022A		0x4004_023A	
0x4004_020B	<R0>	0x4004_021B	<R0>	0x4004_022B		0x4004_023B	
0x4004_020C	CGPLLSEL	0x4004_021C	CGRSTFLG	0x4004_022C	CGIMCGD	0x4004_023C	
0x4004_020D		0x4004_021D	<R0>	0x4004_022D		0x4004_023D	
0x4004_020E	<R0>	0x4004_021E	<R0>	0x4004_022E		0x4004_023E	
0x4004_020F	<R0>	0x4004_021F	<R0>	0x4004_022F		0x4004_023F	

25.2.10 [10] リモコン判定 (RMC)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0400	RMCEN	0x4004_0410	RMCRBUF3	0x4004_0420	RMCCR4	0x4004_0430	RMCEM3
0x4004_0401	<R0>	0x4004_0411		0x4004_0421	<R0>	0x4004_0431	
0x4004_0402	<R0>	0x4004_0412		0x4004_0422	<R0>	0x4004_0432	
0x4004_0403	<R0>	0x4004_0413		0x4004_0423	<R0>	0x4004_0433	
0x4004_0404	RMCREN	0x4004_0414	RMCRCR1	0x4004_0424	RMCRSTAT	0x4004_0434	RMCFSEL
0x4004_0405	<R0>	0x4004_0415		0x4004_0425		0x4004_0435	
0x4004_0406	<R0>	0x4004_0416		0x4004_0426	<R0>	0x4004_0436	
0x4004_0407	<R0>	0x4004_0417		0x4004_0427	<R0>	0x4004_0437	
0x4004_0408	RMCRBUF1	0x4004_0418	RMCRCR2	0x4004_0428	RMCEM1	0x4004_0438	
0x4004_0409		0x4004_0419		0x4004_0429		0x4004_0439	
0x4004_040A		0x4004_041A		0x4004_042A		0x4004_043A	
0x4004_040B		0x4004_041B		0x4004_042B		0x4004_043B	
0x4004_040C	RMCRBUF2	0x4004_041C	RMCRCR3	0x4004_042C	RMCEM2	0x4004_043C	
0x4004_040D		0x4004_041D		0x4004_042D		0x4004_043D	
0x4004_040E		0x4004_041E	<R0>	0x4004_042E		0x4004_043E	
0x4004_040F		0x4004_041F	<R0>	0x4004_042F		0x4004_043F	

25.2.11 [11] 周波数検知 (OFD)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0800	OFDCR1	0x4004_0810	OFDMX	0x4004_0820		0x4004_0830	
0x4004_0801		0x4004_0811		0x4004_0821		0x4004_0831	
0x4004_0802		0x4004_0812		0x4004_0822		0x4004_0832	
0x4004_0803		0x4004_0813		0x4004_0823		0x4004_0833	
0x4004_0804	OFDCR2	0x4004_0814		0x4004_0824		0x4004_0834	
0x4004_0805		0x4004_0815		0x4004_0825		0x4004_0835	
0x4004_0806		0x4004_0816		0x4004_0826		0x4004_0836	
0x4004_0807		0x4004_0817		0x4004_0827		0x4004_0837	
0x4004_0808	OFDMN	0x4004_0818	OFDRST	0x4004_0828		0x4004_0838	
0x4004_0809		0x4004_0819		0x4004_0829		0x4004_0839	
0x4004_080A		0x4004_081A		0x4004_082A		0x4004_083A	
0x4004_080B		0x4004_081B		0x4004_082B		0x4004_083B	
0x4004_080C		0x4004_081C	OFDSTAT	0x4004_082C		0x4004_083C	
0x4004_080D		0x4004_081D		0x4004_082D		0x4004_083D	
0x4004_080E		0x4004_081E		0x4004_082E		0x4004_083E	
0x4004_080F		0x4004_081F		0x4004_082F		0x4004_083F	

25.2.12 [12] パワーオンリセット (POR), 電圧検知 (VLTD)

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4004_0900	VDCR	0x4004_0910		0x4004_0920		0x4004_0930	
0x4004_0901		0x4004_0911		0x4004_0921		0x4004_0931	
0x4004_0902		0x4004_0912		0x4004_0922		0x4004_0932	
0x4004_0903		0x4004_0913		0x4004_0923		0x4004_0933	
0x4004_0904	VDSR	0x4004_0914		0x4004_0924		0x4004_0934	
0x4004_0905		0x4004_0915		0x4004_0925		0x4004_0935	
0x4004_0906		0x4004_0916		0x4004_0926		0x4004_0936	
0x4004_0907		0x4004_0917		0x4004_0927		0x4004_0937	
0x4004_0908		0x4004_0918		0x4004_0928		0x4004_0938	
0x4004_0909		0x4004_0919		0x4004_0929		0x4004_0939	
0x4004_090A		0x4004_091A		0x4004_092A		0x4004_093A	
0x4004_090B		0x4004_091B		0x4004_092B		0x4004_093B	
0x4004_090C		0x4004_091C		0x4004_092C		0x4004_093C	
0x4004_090D		0x4004_091D		0x4004_092D		0x4004_093D	
0x4004_090E		0x4004_091E		0x4004_092E		0x4004_093E	
0x4004_090F		0x4004_091F		0x4004_092F		0x4004_093F	

25.2.13 [13] 多目的タイマ (PMD)[1/2]

アドレス	レジスタ名
0x4005_0400	MTPD0MDEN
0x4005_0401	<R0>
0x4005_0402	<R0>
0x4005_0403	<R0>
0x4005_0404	MTPD0PORTMD
0x4005_0405	<R0>
0x4005_0406	<R0>
0x4005_0407	<R0>
0x4005_0408	MTPD0MDCR
0x4005_0409	<R0>
0x4005_040A	<R0>
0x4005_040B	<R0>
0x4005_040C	MTPD0CNTSTA
0x4005_040D	<R0>
0x4005_040E	<R0>
0x4005_040F	<R0>

アドレス	レジスタ名
0x4005_0410	MTPD0MDCNT
0x4005_0411	
0x4005_0412	<R0>
0x4005_0413	<R0>
0x4005_0414	MTPD0MDPRD
0x4005_0415	
0x4005_0416	<R0>
0x4005_0417	<R0>
0x4005_0418	MTPD0CMPU
0x4005_0419	
0x4005_041A	<R0>
0x4005_041B	<R0>
0x4005_041C	MTPD0CMPV
0x4005_041D	
0x4005_041E	<R0>
0x4005_041F	<R0>

アドレス	レジスタ名
0x4005_0420	MTPD0CMPW
0x4005_0421	
0x4005_0422	<R0>
0x4005_0423	<R0>
0x4005_0424	Reserved
0x4005_0425	Reserved
0x4005_0426	Reserved
0x4005_0427	Reserved
0x4005_0428	MTPD0MDOUT
0x4005_0429	
0x4005_042A	<R0>
0x4005_042B	<R0>
0x4005_042C	MTPD0MDPOT
0x4005_042D	<R0>
0x4005_042E	<R0>
0x4005_042F	<R0>

アドレス	レジスタ名
0x4005_0430	MTPD0EMGREL
0x4005_0431	<R0>
0x4005_0432	<R0>
0x4005_0433	<R0>
0x4005_0434	MTPD0EMGCR
0x4005_0435	
0x4005_0436	<R0>
0x4005_0437	<R0>
0x4005_0438	MTPD0EMGST
0x4005_0439	<R0>
0x4005_043A	<R0>
0x4005_043B	<R0>
0x4005_043C	Reserved
0x4005_043D	Reserved
0x4005_043E	Reserved
0x4005_043F	Reserved

アドレス	レジスタ名
0x4005_0440	Reserved
0x4005_0441	Reserved
0x4005_0442	Reserved
0x4005_0443	Reserved
0x4005_0444	MTPD0DTR
0x4005_0445	<R0>
0x4005_0446	<R0>
0x4005_0447	<R0>
0x4005_0448	MTPD0TRGCMPO
0x4005_0449	
0x4005_044A	<R0>
0x4005_044B	<R0>
0x4005_044C	MTPD0TRGCMPI
0x4005_044D	
0x4005_044E	<R0>
0x4005_044F	<R0>

アドレス	レジスタ名
0x4005_0450	Reserved
0x4005_0451	Reserved
0x4005_0452	Reserved
0x4005_0453	Reserved
0x4005_0454	Reserved
0x4005_0455	Reserved
0x4005_0456	Reserved
0x4005_0457	Reserved
0x4005_0458	MTPD0TRGCR
0x4005_0459	
0x4005_045A	<R0>
0x4005_045B	<R0>
0x4005_045C	MTPD0TRGMD
0x4005_045D	<R0>
0x4005_045E	<R0>
0x4005_045F	<R0>

アドレス	レジスタ名
0x4005_0460	Reserved
0x4005_0461	Reserved
0x4005_0462	Reserved
0x4005_0463	Reserved
0x4005_0464	Reserved
0x4005_0465	
0x4005_0466	
0x4005_0467	
0x4005_0468	Reserved
0x4005_0469	
0x4005_046A	
0x4005_046B	
0x4005_046C	Reserved
0x4005_046D	
0x4005_046E	
0x4005_046F	

アドレス	レジスタ名
0x4005_0470	Reserved
0x4005_0471	
0x4005_0472	
0x4005_0473	
0x4005_0474	Reserved
0x4005_0475	
0x4005_0476	
0x4005_0477	
0x4005_0478	Reserved
0x4005_0479	
0x4005_047A	
0x4005_047B	
0x4005_047C	Reserved
0x4005_047D	
0x4005_047E	
0x4005_047F	

[13] 多目的タイマ (PMD) [2/2]

アドレス	レジスタ名
0x4005_0480	Reserved
0x4005_0481	
0x4005_0482	
0x4005_0483	
0x4005_0484	Reserved
0x4005_0485	
0x4005_0486	
0x4005_0487	
0x4005_0488	Reserved
0x4005_0489	
0x4005_048A	
0x4005_048B	
0x4005_048C	Reserved
0x4005_048D	
0x4005_048E	
0x4005_048F	

アドレス	レジスタ名
0x4005_0490	Reserved
0x4005_0491	
0x4005_0492	
0x4005_0493	
0x4005_0494	Reserved
0x4005_0495	
0x4005_0496	
0x4005_0497	
0x4005_0498	Reserved
0x4005_0499	
0x4005_049A	
0x4005_049B	
0x4005_049C	Reserved
0x4005_049D	
0x4005_049E	
0x4005_049F	

アドレス	レジスタ名
0x4005_04A0	Reserved
0x4005_04A1	
0x4005_04A2	
0x4005_04A3	
0x4005_04A4	Reserved
0x4005_04A5	
0x4005_04A6	
0x4005_04A7	
0x4005_04A8	Reserved
0x4005_04A9	
0x4005_04AA	
0x4005_04AB	
0x4005_04AC	Reserved
0x4005_04AD	
0x4005_04AE	
0x4005_04AF	

アドレス	レジスタ名
0x4005_04B0	Reserved
0x4005_04B1	
0x4005_04B2	
0x4005_04B3	
0x4005_04B4	Reserved
0x4005_04B5	
0x4005_04B6	
0x4005_04B7	
0x4005_04B8	Reserved
0x4005_04B9	
0x4005_04BA	
0x4005_04BB	
0x4005_04BC	Reserved
0x4005_04BD	
0x4005_04BE	
0x4005_04BF	

アドレス	レジスタ名
0x4005_04C0	Reserved
0x4005_04C1	
0x4005_04C2	
0x4005_04C3	
0x4005_04C4	Reserved
0x4005_04C5	
0x4005_04C6	
0x4005_04C7	
0x4005_04C8	Reserved
0x4005_04C9	
0x4005_04CA	
0x4005_04CB	
0x4005_04CC	Reserved
0x4005_04CD	
0x4005_04CE	
0x4005_04CF	

アドレス	レジスタ名
0x4005_04D0	Reserved
0x4005_04D1	
0x4005_04D2	
0x4005_04D3	
0x4005_04D4	Reserved
0x4005_04D5	
0x4005_04D6	
0x4005_04D7	
0x4005_04D8	Reserved
0x4005_04D9	
0x4005_04DA	
0x4005_04DB	
0x4005_04DC	Reserved
0x4005_04DD	
0x4005_04DE	
0x4005_04DF	

アドレス	レジスタ名
0x4005_04E0	Reserved
0x4005_04E1	
0x4005_04E2	
0x4005_04E3	
0x4005_04E4	Reserved
0x4005_04E5	
0x4005_04E6	
0x4005_04E7	
0x4005_04E8	Reserved
0x4005_04E9	
0x4005_04EA	
0x4005_04EB	
0x4005_04EC	Reserved
0x4005_04ED	
0x4005_04EE	
0x4005_04EF	

アドレス	レジスタ名
0x4005_04F0	Reserved
0x4005_04F1	
0x4005_04F2	
0x4005_04F3	
0x4005_04F4	Reserved
0x4005_04F5	
0x4005_04F6	
0x4005_04F7	
0x4005_04F8	Reserved
0x4005_04F9	
0x4005_04FA	
0x4005_04FB	
0x4005_04FC	Reserved
0x4005_04FD	
0x4005_04FE	
0x4005_04FF	

[13] 多目的タイマ (TMR/IGBT) [1/3]

<MPT0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_0800	MT0EN	0x4005_0810	MT0TBFFCR	0x4005_0820	MT0RG0	0x4005_0830	MT0IGCR
0x4005_0801							
0x4005_0802							
0x4005_0803							
0x4005_0804	MT0RUN	0x4005_0814	MT0TBST	0x4005_0824	MT0RG1	0x4005_0834	MT0IGRESTA
0x4005_0805							
0x4005_0806							
0x4005_0807							
0x4005_0808	MT0TBCR	0x4005_0818	MT0TBIM	0x4005_0828	MT0CP0	0x4005_0838	MT0IGST
0x4005_0809							
0x4005_080A							
0x4005_080B							
0x4005_080C	MT0TBMOD	0x4005_081C	MT0TBUC	0x4005_082C	MT0CP1	0x4005_083C	MT0IGICR
0x4005_080D							
0x4005_080E							
0x4005_080F							
0x4005_0840	MT0IGOCR	0x4005_0850	MT0IGEMGCR	0x4005_0860	Reserved	0x4005_0870	Reserved
0x4005_0841							
0x4005_0842							
0x4005_0843							
0x4005_0844	MT0IGRG2	0x4005_0854	MT0IGEMGST	0x4005_0864	Reserved	0x4005_0874	Reserved
0x4005_0845							
0x4005_0846							
0x4005_0847							
0x4005_0848	MT0IGRG3	0x4005_0858	Reserved	0x4005_0868	Reserved	0x4005_0878	Reserved
0x4005_0849							
0x4005_084A							
0x4005_084B							
0x4005_084C	MT0IGRG4	0x4005_085C	Reserved	0x4005_086C	Reserved	0x4005_087C	Reserved
0x4005_084D							
0x4005_084E							
0x4005_084F							

[13] 多目的タイマ (TMR/IGBT) [2/3]

<MPT1>

アドレス	レジスタ名
0x4005_0880	Reserved
0x4005_0881	
0x4005_0882	
0x4005_0883	
0x4005_0884	Reserved
0x4005_0885	
0x4005_0886	
0x4005_0887	
0x4005_0888	Reserved
0x4005_0889	
0x4005_088A	
0x4005_088B	
0x4005_088C	Reserved
0x4005_088D	
0x4005_088E	
0x4005_088F	

アドレス	レジスタ名
0x4005_0890	Reserved
0x4005_0891	
0x4005_0892	
0x4005_0893	
0x4005_0894	Reserved
0x4005_0895	
0x4005_0896	
0x4005_0897	
0x4005_0898	Reserved
0x4005_0899	
0x4005_089A	
0x4005_089B	
0x4005_089C	Reserved
0x4005_089D	
0x4005_089E	
0x4005_089F	

アドレス	レジスタ名
0x4005_08A0	Reserved
0x4005_08A1	
0x4005_08A2	
0x4005_08A3	
0x4005_08A4	Reserved
0x4005_08A5	
0x4005_08A6	
0x4005_08A7	
0x4005_08A8	Reserved
0x4005_08A9	
0x4005_08AA	
0x4005_08AB	
0x4005_08AC	Reserved
0x4005_08AD	
0x4005_08AE	
0x4005_08AF	

アドレス	レジスタ名
0x4005_08B0	Reserved
0x4005_08B1	
0x4005_08B2	
0x4005_08B3	
0x4005_08B4	Reserved
0x4005_08B5	
0x4005_08B6	
0x4005_08B7	
0x4005_08B8	Reserved
0x4005_08B9	
0x4005_08BA	
0x4005_08BB	
0x4005_08BC	Reserved
0x4005_08BD	
0x4005_08BE	
0x4005_08BF	

アドレス	レジスタ名
0x4005_08C0	Reserved
0x4005_08C1	
0x4005_08C2	
0x4005_08C3	
0x4005_08C4	Reserved
0x4005_08C5	
0x4005_08C6	
0x4005_08C7	
0x4005_08C8	Reserved
0x4005_08C9	
0x4005_08CA	
0x4005_08CB	
0x4005_08CC	Reserved
0x4005_08CD	
0x4005_08CE	
0x4005_08CF	

アドレス	レジスタ名
0x4005_08D0	Reserved
0x4005_08D1	
0x4005_08D2	
0x4005_08D3	
0x4005_08D4	Reserved
0x4005_08D5	
0x4005_08D6	
0x4005_08D7	
0x4005_08D8	Reserved
0x4005_08D9	
0x4005_08DA	
0x4005_08DB	
0x4005_08DC	Reserved
0x4005_08DD	
0x4005_08DE	
0x4005_08DF	

アドレス	レジスタ名
0x4005_08E0	Reserved
0x4005_08E1	
0x4005_08E2	
0x4005_08E3	
0x4005_08E4	Reserved
0x4005_08E5	
0x4005_08E6	
0x4005_08E7	
0x4005_08E8	Reserved
0x4005_08E9	
0x4005_08EA	
0x4005_08EB	
0x4005_08EC	Reserved
0x4005_08ED	
0x4005_08EE	
0x4005_08EF	

アドレス	レジスタ名
0x4005_08F0	Reserved
0x4005_08F1	
0x4005_08F2	
0x4005_08F3	
0x4005_08F4	Reserved
0x4005_08F5	
0x4005_08F6	
0x4005_08F7	
0x4005_08F8	Reserved
0x4005_08F9	
0x4005_08FA	
0x4005_08FB	
0x4005_08FC	Reserved
0x4005_08FD	
0x4005_08FE	
0x4005_08FF	

[13] 多目的タイマ (TMR/IGBT) [3/3]

<MPT2>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_0900	Reserved	0x4005_0910	Reserved	0x4005_0920	Reserved	0x4005_0930	Reserved
0x4005_0901		0x4005_0911		0x4005_0921		0x4005_0931	
0x4005_0902		0x4005_0912		0x4005_0922		0x4005_0932	
0x4005_0903		0x4005_0913		0x4005_0923		0x4005_0933	
0x4005_0904	Reserved	0x4005_0914	Reserved	0x4005_0924	Reserved	0x4005_0934	Reserved
0x4005_0905		0x4005_0915		0x4005_0925		0x4005_0935	
0x4005_0906		0x4005_0916		0x4005_0926		0x4005_0936	
0x4005_0907		0x4005_0917		0x4005_0927		0x4005_0937	
0x4005_0908	Reserved	0x4005_0918	Reserved	0x4005_0928	Reserved	0x4005_0938	Reserved
0x4005_0909		0x4005_0919		0x4005_0929		0x4005_0939	
0x4005_090A		0x4005_091A		0x4005_092A		0x4005_093A	
0x4005_090B		0x4005_091B		0x4005_092B		0x4005_093B	
0x4005_090C	Reserved	0x4005_091C	Reserved	0x4005_092C	Reserved	0x4005_093C	Reserved
0x4005_090D		0x4005_091D		0x4005_092D		0x4005_093D	
0x4005_090E		0x4005_091E		0x4005_092E		0x4005_093E	
0x4005_090F		0x4005_091F		0x4005_092F		0x4005_093F	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x4005_0940	Reserved	0x4005_0950	Reserved	0x4005_0960	Reserved	0x4005_0970	Reserved
0x4005_0941		0x4005_0951		0x4005_0961		0x4005_0971	
0x4005_0942		0x4005_0952		0x4005_0962		0x4005_0972	
0x4005_0943		0x4005_0953		0x4005_0963		0x4005_0973	
0x4005_0944	Reserved	0x4005_0954	Reserved	0x4005_0964	Reserved	0x4005_0974	Reserved
0x4005_0945		0x4005_0955		0x4005_0965		0x4005_0975	
0x4005_0946		0x4005_0956		0x4005_0966		0x4005_0976	
0x4005_0947		0x4005_0957		0x4005_0967		0x4005_0977	
0x4005_0948	Reserved	0x4005_0958	Reserved	0x4005_0968	Reserved	0x4005_0978	Reserved
0x4005_0949		0x4005_0959		0x4005_0969		0x4005_0979	
0x4005_094A		0x4005_095A		0x4005_096A		0x4005_097A	
0x4005_094B		0x4005_095B		0x4005_096B		0x4005_097B	
0x4005_094C	Reserved	0x4005_095C	Reserved	0x4005_096C	Reserved	0x4005_097C	Reserved
0x4005_094D		0x4005_095D		0x4005_096D		0x4005_097D	
0x4005_094E		0x4005_095E		0x4005_096E		0x4005_097E	
0x4005_094F		0x4005_095F		0x4005_096F		0x4005_097F	

25.2.14 [14] DMA コントローラ (DMAC)

<DMAC>

アドレス	レジスタ名
0x4008_0000	DMACInt
0x4008_0001	Status
0x4008_0002	
0x4008_0003	
0x4008_0004	DMACIntTC
0x4008_0005	Status
0x4008_0006	
0x4008_0007	
0x4008_0008	DMACIntTC
0x4008_0009	Clear
0x4008_000A	
0x4008_000B	
0x4008_000C	DMACInt
0x4008_000D	ErrorStatus
0x4008_000E	
0x4008_000F	

アドレス	レジスタ名
0x4008_0010	DMACInt
0x4008_0011	ErrCir
0x4008_0012	
0x4008_0013	
0x4008_0014	DMACRawInt
0x4008_0015	TCStatus
0x4008_0016	
0x4008_0017	
0x4008_0018	DMACRawInt
0x4008_0019	ErrorStatus
0x4008_001A	
0x4008_001B	
0x4008_001C	DMACEnbld
0x4008_001D	Chns
0x4008_001E	
0x4008_001F	

アドレス	レジスタ名
0x4008_0020	DMACSoftB
0x4008_0021	Req
0x4008_0022	
0x4008_0023	
0x4008_0024	DMACSoftS
0x4008_0025	Req
0x4008_0026	
0x4008_0027	
0x4008_0028	Reserved
0x4008_0029	
0x4008_002A	
0x4008_002B	
0x4008_002C	Reserved
0x4008_002D	
0x4008_002E	
0x4008_002F	

アドレス	レジスタ名
0x4008_0030	DMAC
0x4008_0031	Configuration
0x4008_0032	
0x4008_0033	
0x4008_0034	Reserved
0x4008_0035	
0x4008_0036	
0x4008_0037	
0x4008_0038	Reserved
0x4008_0039	
0x4008_003A	
0x4008_003B	
0x4008_003C	Reserved
0x4008_003D	
0x4008_003E	
0x4008_003F	

アドレス	レジスタ名
0x4008_0100	DMACC0Src
0x4008_0101	Addr
0x4008_0102	
0x4008_0103	
0x4008_0104	DMACC0Dest
0x4008_0105	Addr
0x4008_0106	
0x4008_0107	
0x4008_0108	DMACC0LLI
0x4008_0109	
0x4008_010A	
0x4008_010B	
0x4008_010C	DMACC0
0x4008_010D	Control
0x4008_010E	
0x4008_010F	

アドレス	レジスタ名
0x4008_0110	DMACC0
0x4008_0111	Configuration
0x4008_0112	
0x4008_0113	
0x4008_0114	Reserved
0x4008_0115	
0x4008_0116	
0x4008_0117	
0x4008_0118	Reserved
0x4008_0119	
0x4008_011A	
0x4008_011B	
0x4008_011C	Reserved
0x4008_011D	
0x4008_011E	
0x4008_011F	

アドレス	レジスタ名
0x4008_0120	DMACC1Src
0x4008_0121	Addr
0x4008_0122	
0x4008_0123	
0x4008_0124	DMACC1Dest
0x4008_0125	Addr
0x4008_0126	
0x4008_0127	
0x4008_0128	DMACC1LLI
0x4008_0129	
0x4008_012A	
0x4008_012B	
0x4008_012C	DMACC1
0x4008_012D	Control
0x4008_012E	
0x4008_012F	

アドレス	レジスタ名
0x4008_0130	DMACC1
0x4008_0131	Configuration
0x4008_0132	
0x4008_0133	
0x4008_0134	Reserved
0x4008_0135	
0x4008_0136	
0x4008_0137	
0x4008_0138	Reserved
0x4008_0139	
0x4008_013A	
0x4008_013B	
0x4008_013C	Reserved
0x4008_013D	
0x4008_013E	
0x4008_013F	

25.2.15 [15] SSPコントローラ

<SSP0>

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x400C_0000	SSP0CR0	0x400C_0010	SSP0CPSR	0x400C_0020	SSP0ICR	0x400C_0030	Reserved
0x400C_0001		0x400C_0011		0x400C_0021		0x400C_0031	
0x400C_0002		0x400C_0012		0x400C_0022		0x400C_0032	
0x400C_0003		0x400C_0013		0x400C_0023		0x400C_0033	
0x400C_0004	SSP0CR1	0x400C_0014	SSP0IMSC	0x400C_0024	SSP0DMACR	0x400C_0034	Reserved
0x400C_0005		0x400C_0015		0x400C_0025		0x400C_0035	
0x400C_0006		0x400C_0016		0x400C_0026		0x400C_0036	
0x400C_0007		0x400C_0017		0x400C_0027		0x400C_0037	
0x400C_0008	SSP0DR	0x400C_0018	SSP0RIS	0x400C_0028	Reserved	0x400C_0038	Reserved
0x400C_0009		0x400C_0019		0x400C_0029		0x400C_0039	
0x400C_000A		0x400C_001A		0x400C_002A		0x400C_003A	
0x400C_000B		0x400C_001B		0x400C_002B		0x400C_003B	
0x400C_000C	SSP0SR	0x400C_001C	SSP0MIS	0x400C_002C	Reserved	0x400C_003C	Reserved
0x400C_000D		0x400C_001D		0x400C_002D		0x400C_003D	
0x400C_000E		0x400C_001E		0x400C_002E		0x400C_003E	
0x400C_000F		0x400C_001F		0x400C_002F		0x400C_003F	

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0x400C_1000	Reserved	0x400C_1010	Reserved	0x400C_1020	Reserved	0x400C_1030	Reserved
0x400C_1001		0x400C_1011		0x400C_1021		0x400C_1031	
0x400C_1002		0x400C_1012		0x400C_1022		0x400C_1032	
0x400C_1003		0x400C_1013		0x400C_1023		0x400C_1033	
0x400C_1004	Reserved	0x400C_1014	Reserved	0x400C_1024	Reserved	0x400C_1034	Reserved
0x400C_1005		0x400C_1015		0x400C_1025		0x400C_1035	
0x400C_1006		0x400C_1016		0x400C_1026		0x400C_1036	
0x400C_1007		0x400C_1017		0x400C_1027		0x400C_1037	
0x400C_1008	Reserved	0x400C_1018	Reserved	0x400C_1028	Reserved	0x400C_1038	Reserved
0x400C_1009		0x400C_1019		0x400C_1029		0x400C_1039	
0x400C_100A		0x400C_101A		0x400C_102A		0x400C_103A	
0x400C_100B		0x400C_101B		0x400C_102B		0x400C_103B	
0x400C_100C	Reserved	0x400C_101C	Reserved	0x400C_102C	Reserved	0x400C_103C	Reserved
0x400C_100D		0x400C_101D		0x400C_102D		0x400C_103D	
0x400C_100E		0x400C_101E		0x400C_102E		0x400C_103E	
0x400C_100F		0x400C_101F		0x400C_102F		0x400C_103F	

25.2.16 [16] Flashコントローラ

アドレス	レジスタ名
0x41FF_F000	Reserved
0x41FF_F001	
0x41FF_F002	
0x41FF_F003	
0x41FF_F004	Reserved
0x41FF_F005	
0x41FF_F006	
0x41FF_F007	
0x41FF_F008	Reserved
0x41FF_F009	
0x41FF_F00A	
0x41FF_F00B	
0x41FF_F00C	Reserved
0x41FF_F00D	
0x41FF_F00E	
0x41FF_F00F	

アドレス	レジスタ名
0x41FF_F010	FCSECBIT
0x41FF_F011	
0x41FF_F012	
0x41FF_F013	
0x41FF_F014	Reserved
0x41FF_F015	
0x41FF_F016	
0x41FF_F017	
0x41FF_F018	Reserved
0x41FF_F019	
0x41FF_F01A	
0x41FF_F01B	
0x41FF_F01C	Reserved
0x41FF_F01D	
0x41FF_F01E	
0x41FF_F01F	

アドレス	レジスタ名
0x41FF_F020	FCFLCS
0x41FF_F021	
0x41FF_F022	
0x41FF_F023	
0x41FF_F024	Reserved
0x41FF_F025	
0x41FF_F026	
0x41FF_F027	
0x41FF_F028	Reserved
0x41FF_F029	
0x41FF_F02A	
0x41FF_F02B	
0x41FF_F02C	Reserved
0x41FF_F02D	
0x41FF_F02E	
0x41FF_F02F	

アドレス	レジスタ名
0x41FF_F030	Reserved
0x41FF_F031	
0x41FF_F032	
0x41FF_F033	
0x41FF_F034	Reserved
0x41FF_F035	
0x41FF_F036	
0x41FF_F037	
0x41FF_F038	Reserved
0x41FF_F039	
0x41FF_F03A	
0x41FF_F03B	
0x41FF_F03C	Reserved
0x41FF_F03D	
0x41FF_F03E	
0x41FF_F03F	

アドレス	レジスタ名
0x41FF_F040	Reserved
0x41FF_F041	
0x41FF_F042	
0x41FF_F043	
0x41FF_F044	Reserved
0x41FF_F045	
0x41FF_F046	
0x41FF_F047	
0x41FF_F048	Reserved
0x41FF_F049	
0x41FF_F04A	
0x41FF_F04B	
0x41FF_F04C	Reserved
0x41FF_F04D	
0x41FF_F04E	
0x41FF_F04F	

アドレス	レジスタ名
0x41FF_F050	Reserved
0x41FF_F051	
0x41FF_F052	
0x41FF_F053	
0x41FF_F054	Reserved
0x41FF_F055	
0x41FF_F056	
0x41FF_F057	
0x41FF_F058	Reserved
0x41FF_F059	
0x41FF_F05A	
0x41FF_F05B	
0x41FF_F05C	Reserved
0x41FF_F05D	
0x41FF_F05E	
0x41FF_F05F	

アドレス	レジスタ名
0x41FF_F060	Reserved
0x41FF_F061	
0x41FF_F062	
0x41FF_F063	
0x41FF_F064	Reserved
0x41FF_F065	
0x41FF_F066	
0x41FF_F067	
0x41FF_F068	Reserved
0x41FF_F069	
0x41FF_F06A	
0x41FF_F06B	
0x41FF_F06C	Reserved
0x41FF_F06D	
0x41FF_F06E	
0x41FF_F06F	

アドレス	レジスタ名
0x41FF_F070	Reserved
0x41FF_F071	
0x41FF_F072	
0x41FF_F073	
0x41FF_F074	Reserved
0x41FF_F075	
0x41FF_F076	
0x41FF_F077	
0x41FF_F078	Reserved
0x41FF_F079	
0x41FF_F07A	
0x41FF_F07B	
0x41FF_F07C	Reserved
0x41FF_F07D	
0x41FF_F07E	
0x41FF_F07F	

アドレス	レジスタ名
0x41FF_F080	Reserved
0x41FF_F081	
0x41FF_F082	
0x41FF_F083	
0x41FF_F084	Reserved
0x41FF_F085	
0x41FF_F086	
0x41FF_F087	
0x41FF_F088	Reserved
0x41FF_F089	
0x41FF_F08A	
0x41FF_F08B	
0x41FF_F08C	Reserved
0x41FF_F08D	
0x41FF_F08E	
0x41FF_F08F	

アドレス	レジスタ名
0x41FF_F090	Reserved
0x41FF_F091	
0x41FF_F092	
0x41FF_F093	
0x41FF_F094	Reserved
0x41FF_F095	
0x41FF_F096	
0x41FF_F097	
0x41FF_F098	Reserved
0x41FF_F099	
0x41FF_F09A	
0x41FF_F09B	
0x41FF_F09C	Reserved
0x41FF_F09D	
0x41FF_F09E	
0x41FF_F09F	

アドレス	レジスタ名
0x41FF_F0A0	Reserved
0x41FF_F0A1	
0x41FF_F0A2	
0x41FF_F0A3	
0x41FF_F0A4	Reserved
0x41FF_F0A5	
0x41FF_F0A6	
0x41FF_F0A7	
0x41FF_F0A8	Reserved
0x41FF_F0A9	
0x41FF_F0AA	
0x41FF_F0AB	
0x41FF_F0AC	Reserved
0x41FF_F0AD	
0x41FF_F0AE	
0x41FF_F0AF	

アドレス	レジスタ名
0x41FF_F0B0	Reserved
0x41FF_F0B1	
0x41FF_F0B2	
0x41FF_F0B3	
0x41FF_F0B4	Reserved
0x41FF_F0B5	
0x41FF_F0B6	
0x41FF_F0B7	
0x41FF_F0B8	Reserved
0x41FF_F0B9	
0x41FF_F0BA	
0x41FF_F0BB	
0x41FF_F0BC	Reserved
0x41FF_F0BD	
0x41FF_F0BE	
0x41FF_F0BF	

26 ポート部等価回路図

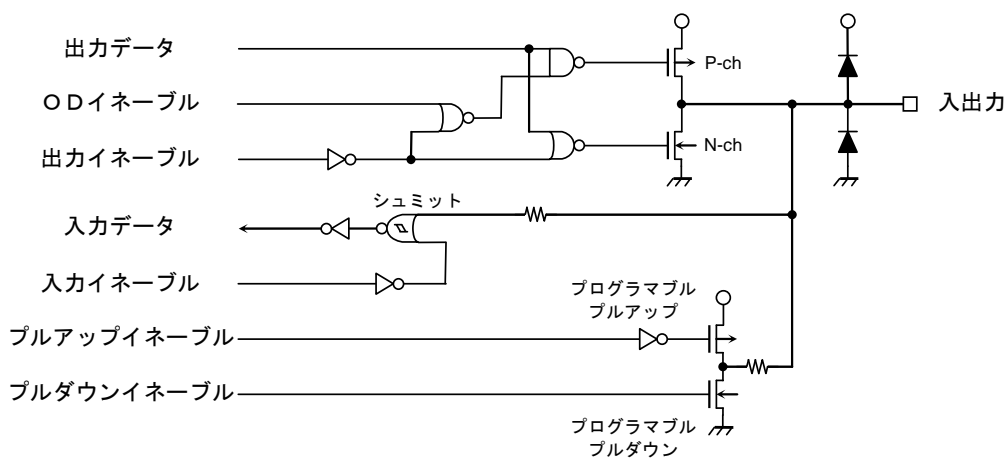
重要
 TMPM382(64ピン版)は、PD0-6,PE6,PE7,PF2-4,PG0-7,PJ0-7,PN0-7を持っていません。
 全36ピンです。

● 回路図の見方

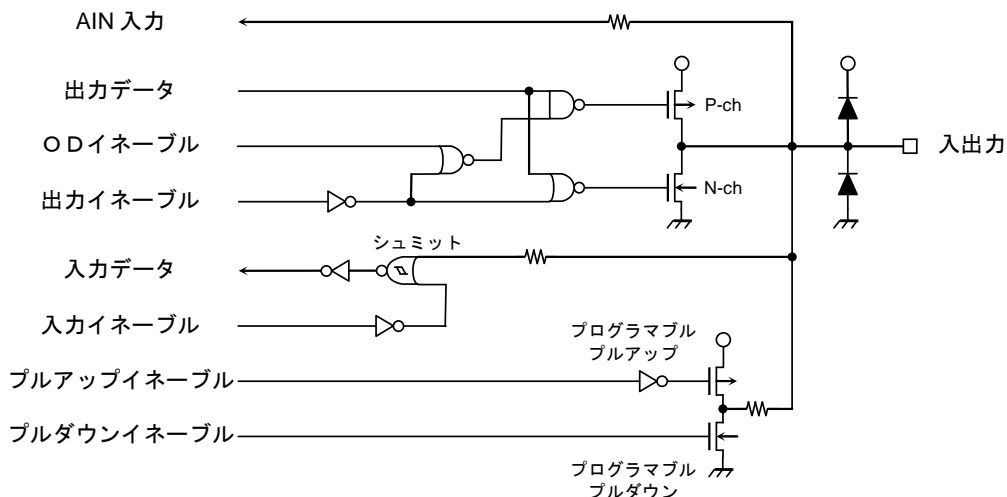
基本的に、標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。

入力保護抵抗は、数十Ω~数百Ω程度です。発振端子の帰還抵抗、ダンピング抵抗値は、図中に typ. 値を記入しています。

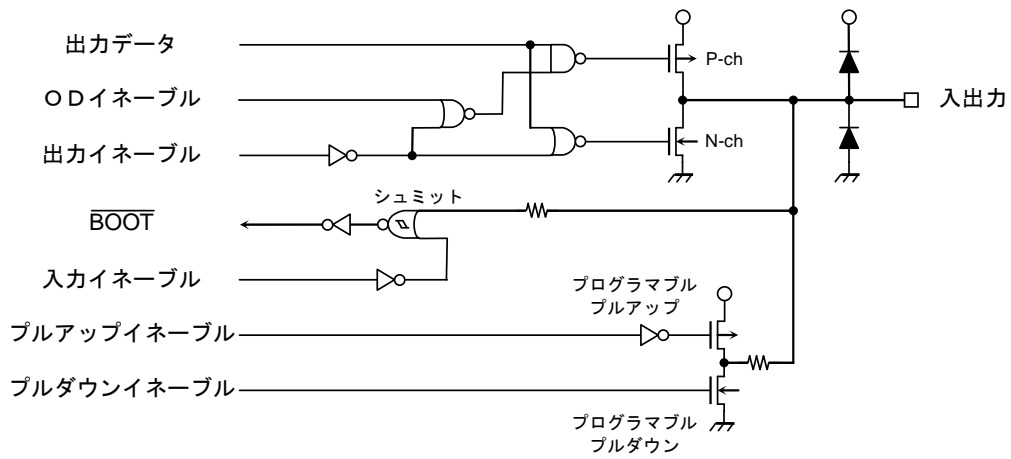
PA0-7, PB0-7, PC0-7, PD0-6, PE0-7, PF0-4, PG0-7, PL2, PN0-7



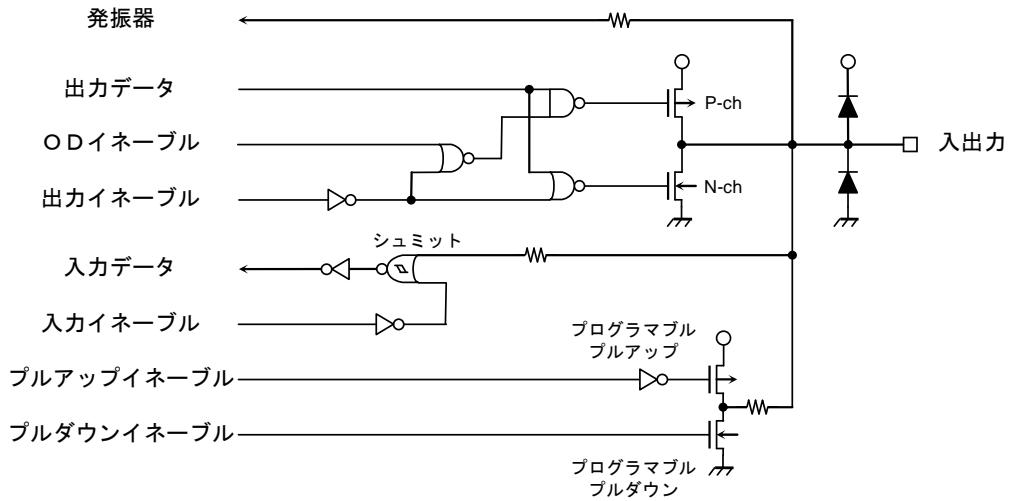
PH0-7, PI0-1, PJ0-7



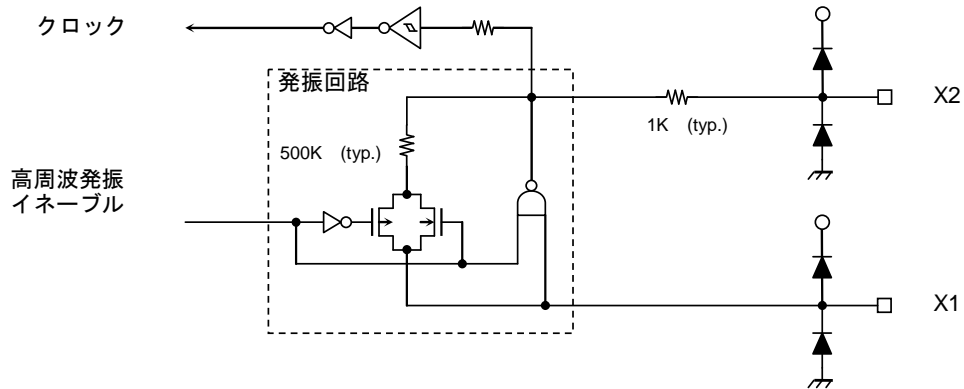
PL0



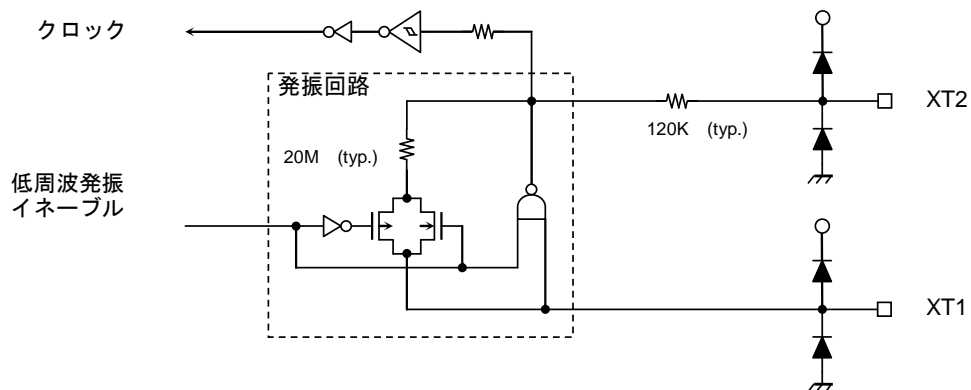
PM0-1, PP0-1



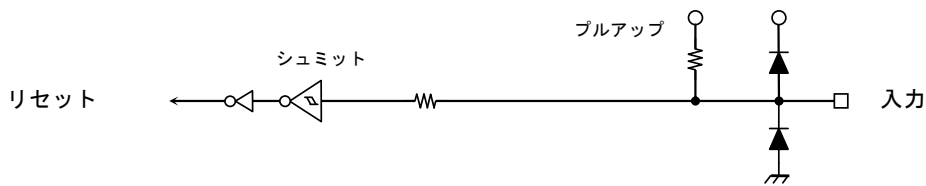
X1, X2



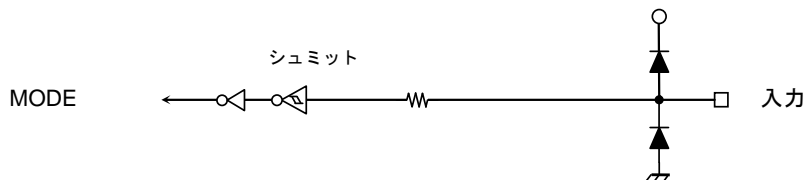
XT1, XT2



$\overline{\text{RESET}}$



MODE



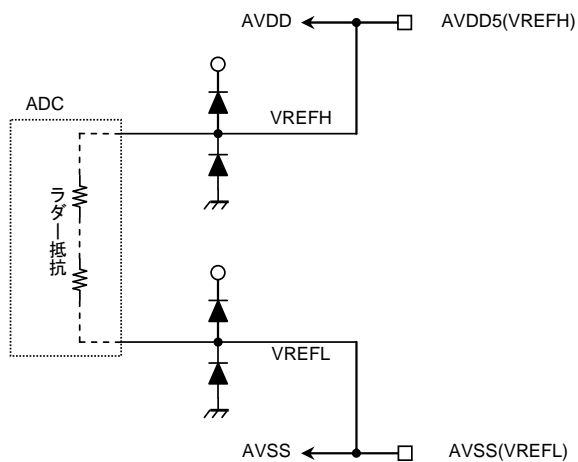
注) 本端子は必ず GND へ接続してください。

FTEST3



注) 本端子は必ず Open にしてください。

AVDD5(VREFH), AVSS(VREFL)



27 電気的特性

27.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5	- 0.3~6.0	V
		RVDD5	- 0.3~6.0	
		AVDD5	- 0.3~6.0	
入力電圧		V _{IN}	- 0.3~V _{DD} +0.3	V
低レベル 出力電流	1 端子	I _{OL}	5	mA
	合計	ΣI _{OL}	50	
高レベル 出力電流	1 端子合計	I _{OH}	- 5	
	合計	ΣI _{OH}	- 50	
消費電力(T _a = 85°C)		PD	600	mW
はんだ付け温度(10s)		T _{SOLDER}	260	°C
保存温度		T _{STG}	- 55~125	°C
動作温度	Flash W/E 及びデッ バッグ時を除く	T _{OPR}	- 40 ~ 85	°C
	Flash W/E 及びデバ ッグ時		0 ~ 70	

(注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格 (電流、電圧、消費電力、温度) を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

27.2 DC電気的特性 (1)

Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ. (注1)	Max	単位
電源電圧 (注2)	DVDD5 AVDD5 RVDD5	DVDD5 = RVDD5 = AVDD5 DVSS = AVSS = 0V fosc = 8 ~ 10MHz fsys = 1 ~ 40MHz fs = 30 ~ 34KHz	4.0	—	5.5	V
電圧保持用キャパシタ (注3)	Cout	DVDD5=4.0V~5.5V	3.3	—	4.7	μF
低レベル入力電圧	V _{IL1}	DVDD5=4.0~5.5V (PORT A/B/C/D/E/F/G/L/M/N/P)	-0.3	—	0.25 DVDD5	V
	V _{IL2}	AVDD5=4.0~5.5V (PORT H/I/J)	-0.3	—	0.25 AVDD5	
高レベル入力電圧	V _{IH1}	DVDD5=4.0~5.5V (PORT A/B/C/D/E/F/G/L/M/N/P)	0.75 DVDD5	—	DVDD5 + 0.3	V
	V _{IH2}	AVDD5=4.0V~5.5V (PORT H/I/J)	0.75 AVDD5	—	AVDD5 + 0.3	
低レベル出力電圧	V _{OL1}	DVDD5 ≥ 4.0V / I _{OL} = 1.6mA (PORT A/B/C/D/E/F/G/L/M/N/P)	—	—	0.4	V
	V _{OL2}	AVDD5 ≥ 4.0V / I _{OL} = 1.6mA (PORT H/I/J)	—	—	0.4	
高レベル出力電圧	V _{OH1}	DVDD5 ≥ 4.0V / I _{OH} = -1.6mA (PORT A/B/C/D/E/F/G/L/M/N/P)	DVDD5 -0.4	—	—	V
	V _{OH2}	AVDD5 ≥ 4.0V / I _{OH} = -1.6mA (PORT H/I/J)	AVDD5 -0.4	—	—	
入力リーク電流	I _{LI}	0.0V ≤ V _{IN} ≤ DVDD5 0.0V ≤ V _{IN} ≤ AVDD5	—	0.02	±5	μA
出力リーク電流	I _{LO}	0.2V ≤ V _{IN} ≤ DVDD5 - 0.2V 0.2V ≤ V _{IN} ≤ AVDD5 - 0.2V	—	0.05	±10	
リセットプルアップ抵抗	R _{RST}	4.0V ≤ DVDD5 ≤ 5.5V	38.5	50	71.4	kΩ
シュミット入力	V _{TH}	4.0V ≤ DVDD5 ≤ 5.5V 4.0V ≤ AVDD5 ≤ 5.5V	0.3	0.6	—	V
プログラマブルプルアップ/ プルダウン抵抗	P _{KH}	4.0V ≤ DVDD5 ≤ 5.5V 4.0V ≤ AVDD5 ≤ 5.5V	38.5	50	71.4	kΩ
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	—	—	10	pF

(注1) Typ 値は特に指定のない限り Ta=25°C, DVDD5 = AVDD5 = RVDD5 = 5V の値です。

(注2) DVDD5、AVDD5、RVDD5 は、同電圧で使用してください。

(注3) 保持用キャパシタは VOUT3 端子-GND 間に接続してください。

27.3 DC電気的特性 (2)

$T_a = -40 \sim 85^\circ\text{C}$, $DVDD5 = RVDD5 = AVDD5 = 4.0\text{V} \sim 5.5\text{V}$

項目	記号	条件	Min	Typ.	Max	単位
低レベル出力電流	IOL	各1端子毎	—	—	2	mA
	ΣIOL1	グループ単位 @ $4.0\text{V} \leq DVDD5 \leq 5.5\text{V}$ GrL1 = <PA0-7/PE0-5/PG0-7> GrL2 = <PB0-7/PD0-6/PF0-4/PL0> GrL3 = <PC0-7/PM0-1/PP0-1> GrL4 = <PE6-7/PL2/PN0-7>	—	—	20	mA
	ΣIOL2	グループ単位 @ $4.0\text{V} \leq AVDD5 \leq 5.5\text{V}$ GrL5 = <PH0-7/PI0-1/PJ0-7>	—	—	9	mA
	ΣIOL	全端子合計	—	—	30	mA
高レベル出力電流	IOH	各1端子毎	—	—	-2	mA
	ΣIOH1	グループ単位 @ $4.0\text{V} \leq DVDD5 \leq 5.5\text{V}$ GrH1 = <PA0-7/PE0-3/PG0-7/PM0-1/PP0-1> GrH2 = <PB0-7/PC0-7/PD0-6/PF0-4/PL0> GrH3 = <PE4-7/PL2/PN0-7>	—	—	-20	mA
	ΣIOH2	グループ単位 @ $4.0\text{V} \leq AVDD5 \leq 5.5\text{V}$ GrH4 = <PH0-7/PI0-1/PJ0-7>	—	—	-9	mA
	ΣIOH	全端子合計	—	—	-30	mA

注) 各条件で流して良い電流許容量

27.4 DC電気的特性 (3)

$T_a = -40 \sim 85^\circ\text{C}$, $DVDD5 = RVDD5 = AVDD5 = 4.0\text{V} \sim 5.5\text{V}$

項目	記号	条件	Min	Typ. (注1)	Max	単位
NORMAL(注2)	I_{DD}	$F_{\text{sys}} = f_c = 40\text{MHz}$ ($f_{\text{osc}} = 10\text{MHz}$)	—	25	33	mA
IDLE(注3)			—	19	26	mA
SLOW		$F_{\text{sys}} = f_s = 32.768\text{KHz}$	—	382	1850	μA
SLEEP(注4)			—	122	800	μA
STOP			—	96	750	μA
書き込み, 消去電流			—	25	35	mA

(注1) Typ 値は、特に指定のない限り $T_a = 25^\circ\text{C}$ 、 $DVDD5 = AVDD5 = RVDD5 = 5\text{V}$ の値です。

(注2) I_{DD} NORMAL の測定条件

実行プログラム : ドライストン V2.1 (内蔵 FLASH 動作)

A/DC を除く内蔵周辺機能は動作

(注3) I_{DD} IDLE の測定条件

CPU は停止、内蔵周辺機能は動作

(注4) I_{DD} SLEEP の測定条件

CPU は停止、内蔵周辺機能は RTC、リモコン判定のみ動作

27.5 12/10ビットA/Dコンバータ変換特性

 $T_a = -40 \sim 85^\circ\text{C}$, $DVDD5 = RVDD5 = 4.5\text{V} \sim 5.5\text{V}$, $DVSS = AVSS = 0\text{V}$

項目	記号	条件	Min	Typ.	Max	単位
アナログ電源電圧 (注1)	AVDD5	$AVDD5 = V_{REFH}$	$DVDD5 - 0.2$	—	DVDD5	V
アナログ基準電圧	AVSS	$AVSS = V_{REFL}$	0	—	0	V
アナログ入力電圧	V_{AIN}	—	AVSS	—	AVDD5	V
アナログ基準電源電流(注4)	I_{REF}	IREF ON 時(AD 変換時)	—	7.5	10.0	mA
		IREF ON 時(AD 変換停止時)	—	3.5	5	mA
		IREF OFF 時(STOP 時)	—	3	70	μA
積分非直線性誤差	—	12bit モード AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\leq 0.1\mu\text{F}$ 変換時間 $\geq 1.85\mu\text{s}$	—	—	± 9	LSB (注2)
微分直線性誤差			—	—	$+6 \sim -1$	
オフセット誤差			—	—	± 5	
フルスケール誤差			—	—	$+8 \sim -2$	
総合誤差			—	—	$+12 \sim -8$	
積分非直線性誤差	—	10bit モード AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\leq 0.1\mu\text{F}$ 変換時間 $\geq 1.70\mu\text{s}$	—	—	± 3	LSB (注3)
微分直線性誤差			—	—	± 2	
オフセット誤差			—	—	± 3	
フルスケール誤差			—	—	± 3	
総合誤差			—	—	± 4	

(注1) A/D コンバータ用に別電源をご使用の際は、本条件を守る必要があります。

(注2) $1\text{LSB} = (AVDD5 - AVSS) / 4096[\text{V}]$

(注3) $1\text{LSB} = (AVDD5 - AVSS) / 1024[\text{V}]$

(注4) I_{REF} の該当端子は AVDD5 であり、AVDD5 に流れる電流は $AVDD5 + I_{REF}$ になります。

(注) AD コンバータ単体動作の時の特性です。

27.6 AC電気的特性

27.6.1 AC測定条件

本章に記載されている AC 特性は、特に指定のない限り以下の条件での測定結果です。

- ・ 出力レベル: High=0.8×DVDD5, Low =0.2×DVDD5
- ・ 入力レベル: DC 電気的特性の低レベル入力電圧/高レベル入力電圧参照
- ・ 負荷容量 CL = 30 pF
- ・ Ta = -40~85°C

(注) 表中の“計算式”は DVDD5=4.0V~5.5V の範囲での規定を示します。

27.6.2 シリアルチャネルタイミング(SIO/UART)

(1) I/O インタフェースモード

表中の x はシステムクロック fsys の周期を表します。この周期は、クロックギアの設定に依存します。

①SCLK 入力モード

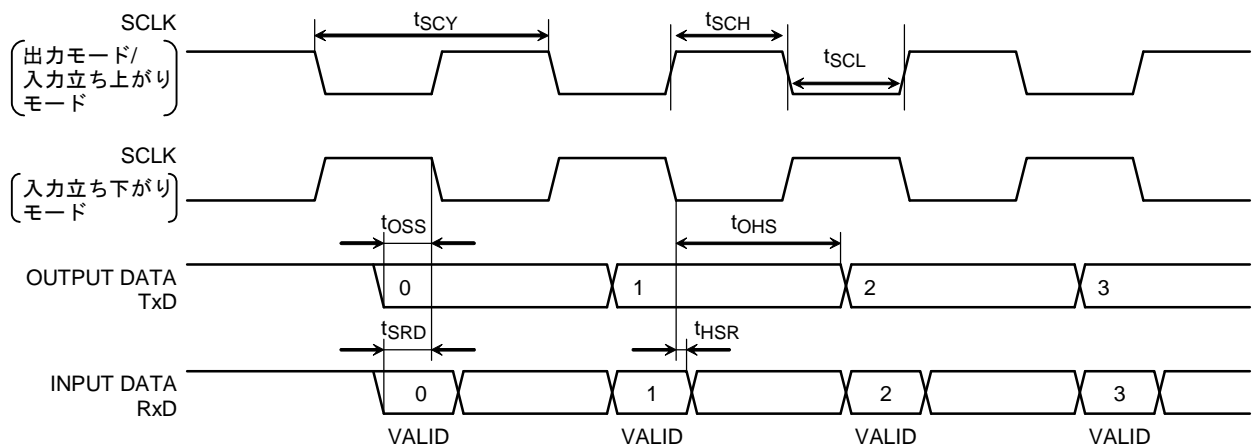
項目	記号	計算式		40MHz		単位
		Min	Max	Min	Max	
SCLK クロック High 幅(入力)	t _{SCH}	3x	—	75	—	ns
SCLK クロック Low 幅(入力)	t _{SCL}	3x	—	75	—	ns
SCLK 周期	t _{SCY}	t _{SCH} +t _{SCL}	—	150	—	ns
OutputData←SCLK 立ち上がり/立ち下がり (注 1)	t _{OSS}	t _{SCY} /2-3x-45	—	-45(注2)	—	ns
SCLK 立ち上がり/立ち下がり→OutputData 保持 (注 1)	t _{OHS}	t _{SCY} /2	—	75	—	ns
有効 Data 入力←SCLK 立ち上がり/立ち下がり (注 1)	t _{SRD}	30	—	30	—	ns
SCLK 立ち上がり/立ち下がり→InputData 保持 (注 1)	t _{HSR}	x+30	—	55	—	ns

(注 1)SCLK 立ち上がり/立ち下がり...SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

(注 2)計算値がマイナスにならない範囲の SCLK 周期で使用して下さい。

②SCLK 出力モード

項目	記号	計算式		40MHz		単位
		Min	Max	Min	Max	
SCLK 周期(プログラマブル)	t_{SCY}	4x	—	100	—	ns
OutputData ← SCLK 立ち上がり	t_{OSS}	$t_{SCY}/2-20$	—	30	—	ns
SCLK 立ち上がり → OutputData 保持	t_{OHS}	$t_{SCY}/2-20$	—	30	—	ns
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45	—	45	—	ns
SCLK 立ち上がり → InputputData 保持	t_{HSR}	0	—	0	—	ns



27.6.3 シリアルバスインターフェース(I2C/SIO)

(1) I2C モード

表中の x はシステムクロック f_{sys} の周期を、 T は $\phi T1$ を表します。

n は SBI_{CR} レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0	-	0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$	-	-	4.0	-	0.6	-	μs
SCL クロック Low 幅 (入力) (注1)	t_{LOW}	-	-	4.7	-	1.3	-	
SCL クロック High 幅 (入力) (注2)	t_{HIGH}	-	-	4.0	-	0.6	-	
再スタートコンディション セットアップ時間	$t_{SU:STA}$	ソフト (注5)	-	4.7	-	0.6	-	
データ保持時間(入力)(注3,4)	$t_{HD:DAT}$	-	-	0.0	-	0.0	-	ns
データセットアップ時間	$t_{SU:DAT}$	-	-	250	-	100	-	
ストップコンディション セットアップ時間	$t_{SU:STO}$	-	-	4.0	-	0.6	-	μs
ストップコンディションとスタートコンディ ション間のバスフリー時間	t_{BUF}	ソフト (注5)	-	4.7	-	1.3	-	

(注 1) SCL クロック LOW 幅(出力): $(2^{n-1} + 58)/x$

(注 2) SCL クロック HIGH 幅(出力): $(2^{n-1} + 12)/x$

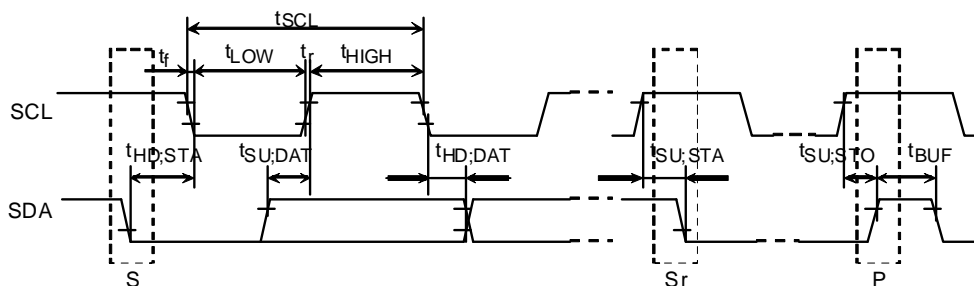
通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意願います。

(注 3) データ保持時間(出力)は内部 SCL から $12x$ の時間です。

(注 4) フィリップス仕様では内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能もありません。従って、SCL/SDA の tr/tf を含めて BUS 上で上表のデータ保持時間(入力)を守る様に設計してください。

(注 5) ソフトウェアに依存します。

(注 6) フィリップス仕様では、ファーストモードデバイスへの電源供給が切れた場合、バスラインを妨げることがないように SDA および SCL 信号の I/O ピンと電源との接続が外れるようにする必要がありますが、本デバイスでは対応していません。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

(2) クロック同期式 8ビット SIO モード

表中の x はシリアルクロックの周期を、T は ϕT_0 を表します。

n は SBI0CR レジスタの SCK フィールドで指定した SCL 出カクロックの周波数選択値です。

SCK デューティ 50% の場合

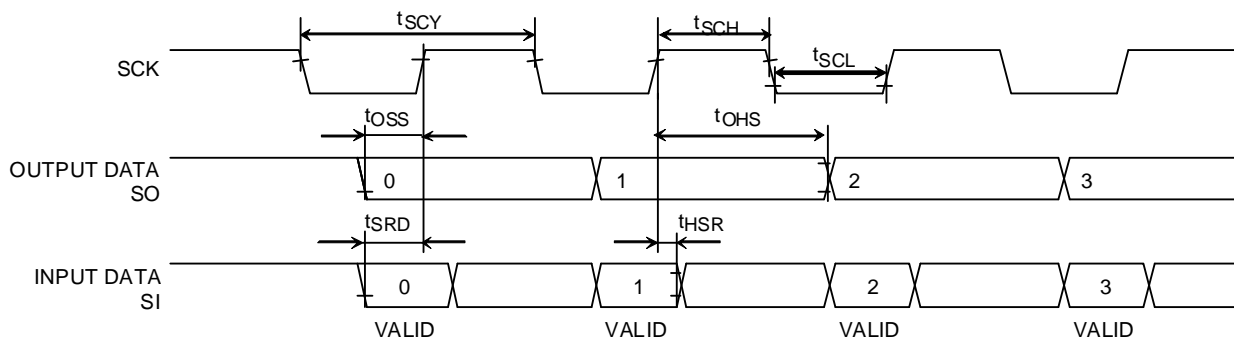
① SCK 入力モード

項 目	記号	計算式		fsys = 40MHz		単位
		Min	Max	Min	Max	
SCK クロック High 幅(入力)	tSCH	4x	-	100	-	ns
SCK クロック Low 幅(入力)	tSCL	4x	-	100.	-	
SCK 周期	tSCY	8x	-	200	-	
Output Data ← SCK 立ち上がり	tOSS	$t_{SCY}/2 - 3x - 45$	-	-20 (注)	-	
SCK 立ち上がり → Output Data 保持	tOHS	$t_{SCY}/2 + 2x - 25$	-	125	-	
有効 Data 入力 ← SCK 立ち上がり	tSRD	30 - x	-	5	-	
SCK 立ち上がり → Input Data 保持	tHSR	30	-	30	-	

(注) 計算式によりマイナス値となる場合は、シリアルクロックを落として使用してください。

② SCK 出力モード

項 目	記号	計算式		fsys = 40MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	tSCY	16x	-	400	-	ns
Output Data ← SCK 立ち上がり	tOSS	$t_{SCY}/2 - 20$	-	180	-	
SCK 立ち上がり → Output Data 保持	tOHS	$t_{SCY}/2 - 20$	-	180	-	
有効 Data 入力 ← SCK 立ち上がり	tSRD	45	-	45	-	
SCK 立ち上がり → Input put Data 保持	tHSR	0	-	0	-	



27.6.4 SSPコントローラ(SSP)

AC 測定条件

- 表中の計算式に用いられる“T”は内部プリスケール入力クロック f_{PCLK} 周期を示しています。
- 出力レベル: High=0.7×DVDD5, Low =0.3×DVDD5
- 入力レベル: High=0.9×DVDD5, Low =0.1×DVDD5
- 負荷容量 CL = 30 pF
- Ta = -40 ~ 85°C

(注) 表中の“計算式”は DVDD5=4.0V~5.5V の範囲での規定を示します。

項目	記号	計算式		fsys 40MHz (m=4 n=12)	単位
		Min	Max		
SPxCLK 周期 (マスタ)	T_m	(m)T ただし、100nS 以上		100 (10MHz)	nS
SPxCLK 周期 (スレーブ)	T_s	(n)T		300 (3.3MHz)	
SPxCLK 立ち上がり時間	t_r		15.0	15.0	
SPxCLK 立ち下がり時間	t_f		15.0	15.0	
マスタモード時 SPxCLK 低レベルパルス幅	t_{WLM}	(m)T / 2 - 20.0		30	
マスタモード時 SPxCLK 高レベルパルス幅	t_{WHM}	(m)T / 2 - 20.0		30	
スレーブモード時 SPxCLK 低レベルパルス幅	t_{WLS}	(n)T / 2 - 10.0		145	
スレーブモード時 SPxCLK 高レベルパルス幅	t_{WHS}	(n)T / 2 - 10.0		145	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→出力データ有効	t_{ODSM}		15.0	15.0	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→出力データ保持	t_{ODHM}	(m)T/2 - 15		35.0	
マスタモード時 SPxCLK 立ち上がり/立ち下がり →入力データ有効 遅延時間	t_{IDSM}	35.0		35.0	
マスタモード時 SPxCLK 立ち上がり/立ち下がり→入力データ保持	t_{IDHM}	5.0		5.0	
マスタモード時 SPxFSS 有効→SPxCLK 立ち上がり/立ち下がり	t_{OFSM}	(m)T - 15	(m)T + 15	85 - 115	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり →出力データ有効 遅延時間	t_{ODSS}		(3T) + 35	110	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり→出力データ保持	t_{ODHS}	(n)T/2 + (2T)		200	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり →入力データ有効 遅延時間	t_{IDSS}	10		10	
スレーブモード時 SPxCLK 立ち上がり/立ち下がり→入力データ保持	t_{IDHS}	(3T) + 15		90	
スレーブモード時 SPxFSS 有効→SPxCLK 立ち上がり/立ち下がり	t_{OFSS}	(n)T - 20		280	

(注) 通信ボーレートクロックは以下の条件範囲で設定する必要があります。

マスタモード時

$$m = (\langle \text{CPSDVR} \rangle \times (1 + \langle \text{SCR} \rangle)) = f_{\text{sys}} / \text{SPxCLK}$$

$\langle \text{CPSDVR} \rangle$ は偶数のみが設定可能です。また m の範囲は $65024 \geq m \geq 2$ となります。

スレーブモード時

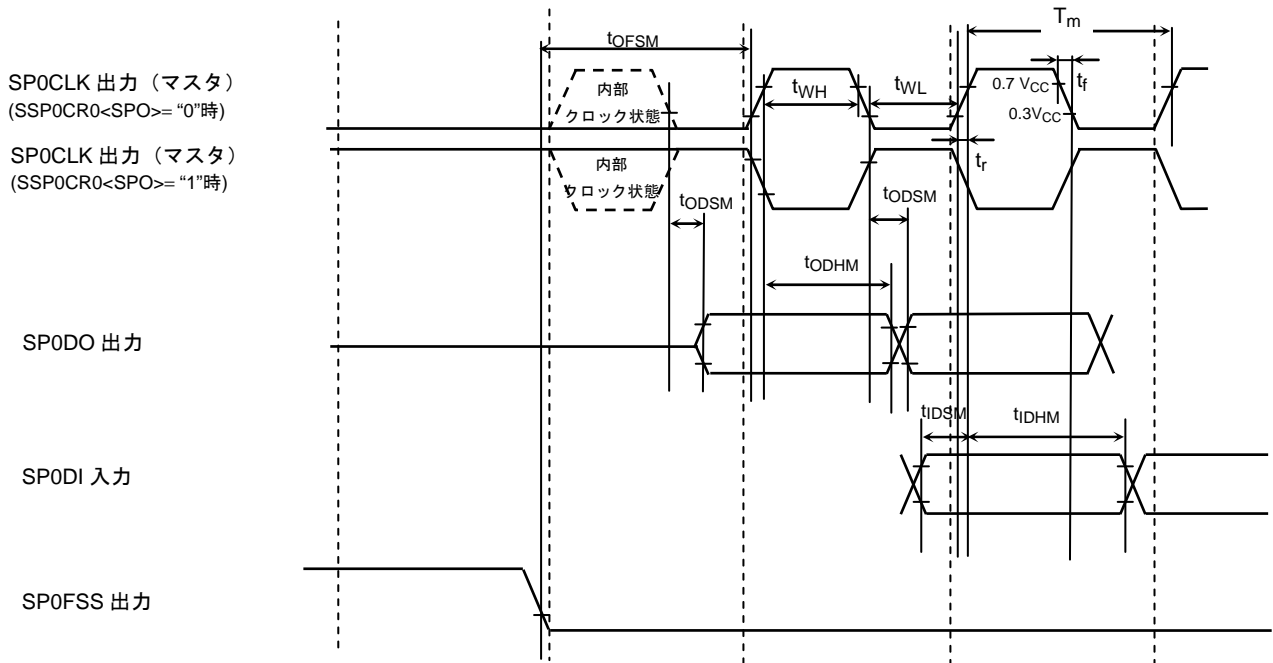
$$n = f_{\text{sys}} / \text{SPxCLK} \quad (65024 \geq n \geq 12)$$

SSP の SPI モード(マスタ)

$$f_{\text{sys}} \geq 2 \times \text{SPxCLK(最大)}$$

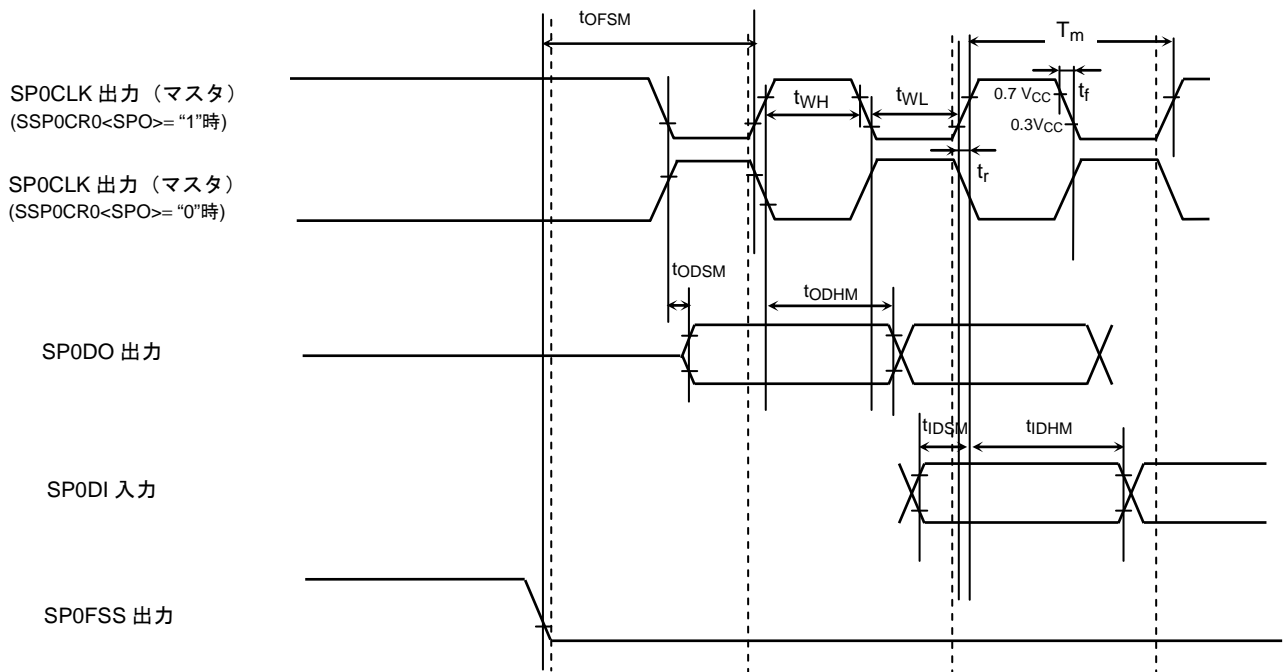
$$f_{\text{sys}} \geq 65024 \times \text{SPxCLK(最小)}$$

(1) マスタ SSP0CR0<SPH>= "0"(1st エッジでデータをラッチ)



SSP の SPI モード(マスタ)

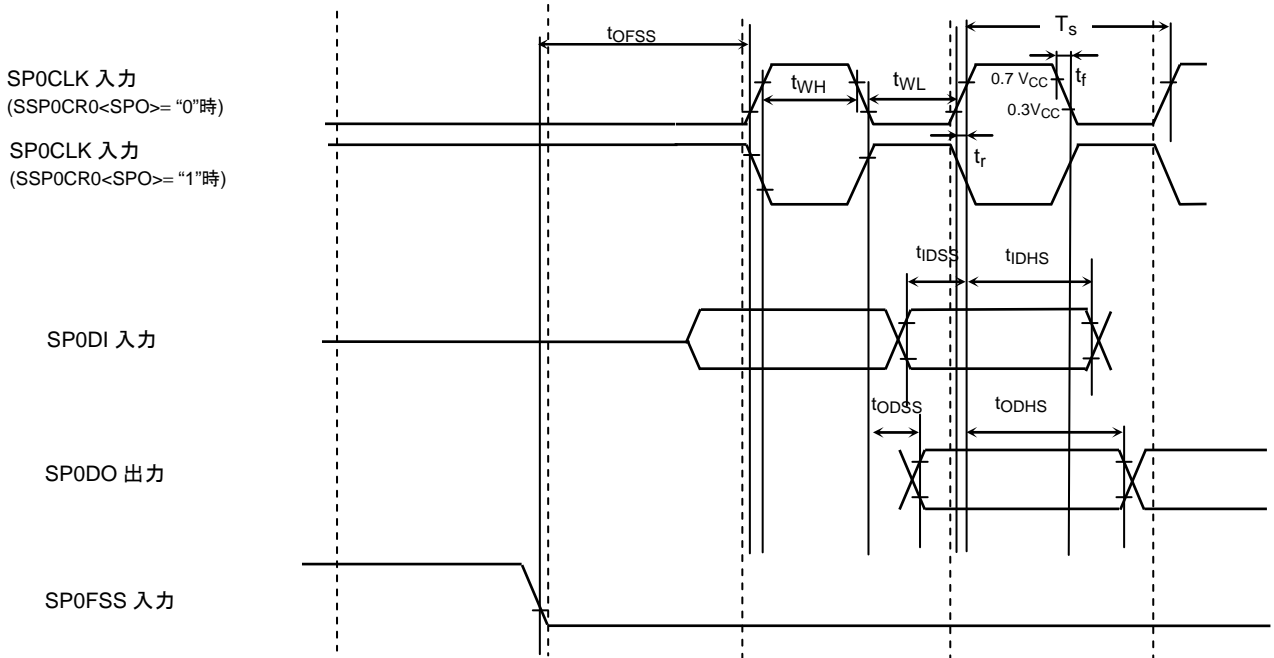
(2) マスタ SSP0CR0<SPH>= "1" (2nd エッジでデータをラッチ)



SSP の SPI モード(スレーブ)

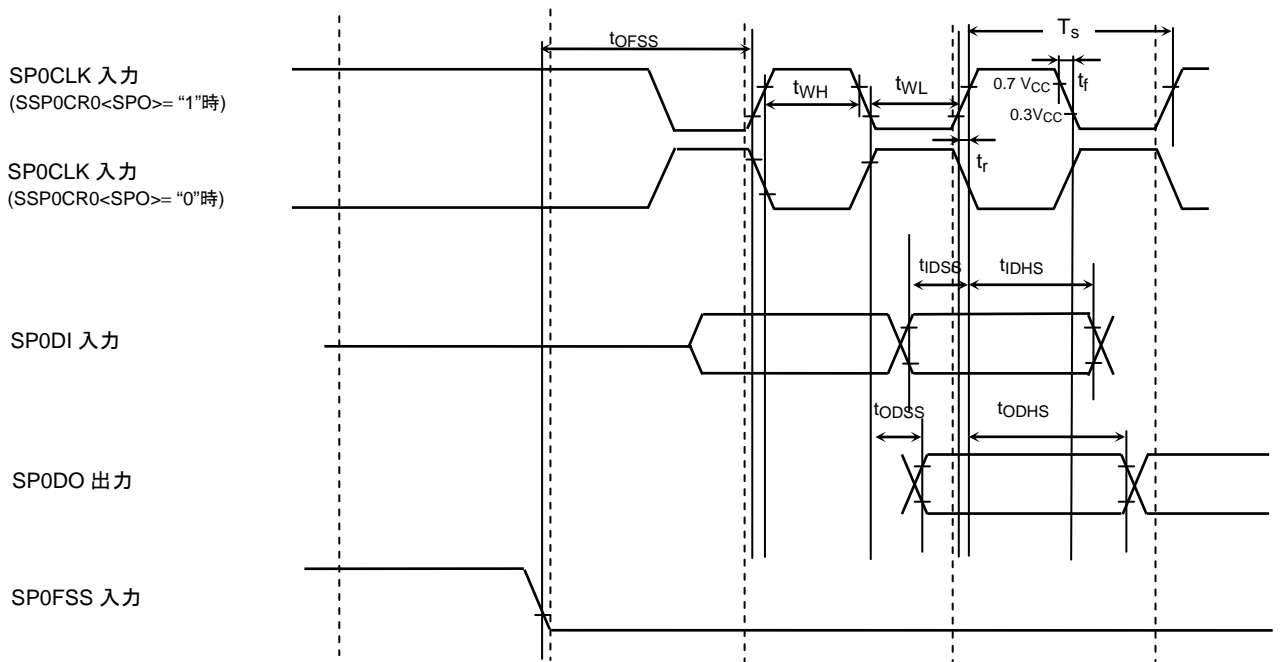
- $f_{sys} \geq 12 \times SPxCLK$ (最大)
- $f_{sys} \geq 65024 \times SPxCLK$ (最小)

(3) スレーブ SSP0CR0<SPH>= "0"(1st エッジでデータをラッチ)



SSP の SPI モード(スレーブ)

(4) スレーブ SSP0CR0<SPH>= "1" (2nd エッジでデータをラッチ)



27.6.5 イベントカウンタ(TMRB)

xはTMRBの動作クロックの周期を表します。TMRBの動作クロックは、システムクロック f_{sys} と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2x + 100$		150		ns
クロック高レベルパルス幅	t_{VCKH}	$2x + 100$		150		ns

27.6.6 キャプチャ(TMRB)

xはTMRBの動作クロックの周期を表します。TMRBの動作クロックは、システムクロック f_{sys} と同じ周期です。この周期は、クロックギアの設定に依存します。

項目	記号	計算式		40MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2x + 100$		150		ns
高レベルパルス幅	t_{CPH}	$2x + 100$		150		ns

27.6.7 割り込み(INTC)

表中のxはシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40MHz		単位
		Min	Max	Min	Max	
INT0~F 低レベルパルス幅	t_{INTAL}	$x + 100$		125		ns
INT0~F 高レベルパルス幅	t_{INTAH}	$x + 100$		125		ns

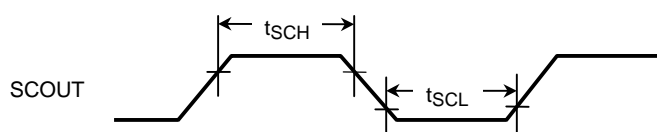
27.6.8 割り込み(STOP解除割り込み)

項目	記号	計算式		40MHz		単位
		Min	Max	Min	Max	
INT0~F 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~F 高レベルパルス幅	t_{INTBH}	100		100		ns

27.6.9 SCOUT端子 AC特性

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		7.5		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		7.5		ns

(注) 表中の「T」は、SCOUT出力波形の周期を示します。



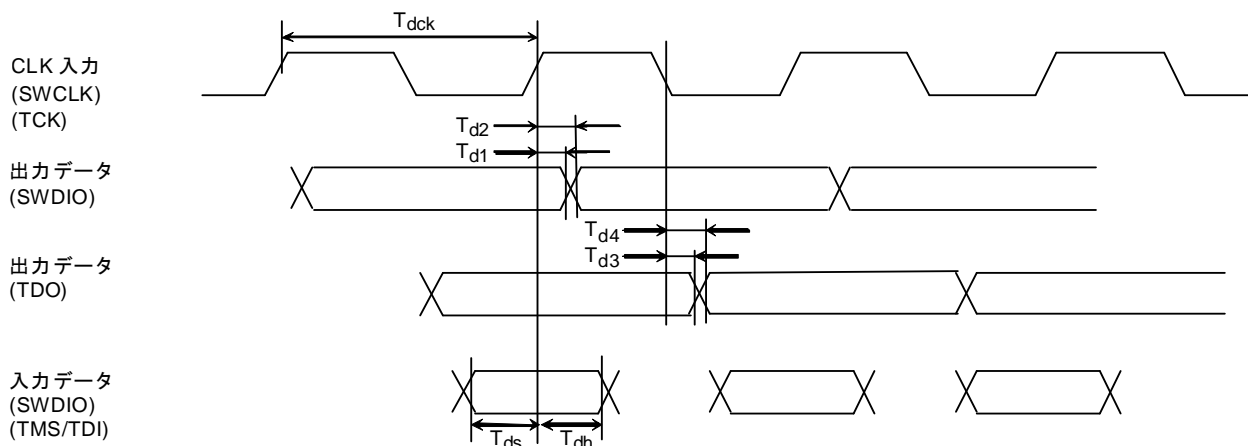
27.6.10 デバッグ通信

(1) SWD インタフェース

項目	記号	Min	Max	単位
CLK 周期	T _{dck}	100	-	ns
CLK 立ち上がり → 出力データ保持	T _{d1}	4	-	ns
CLK 立ち上がり → 出力データ保持	T _{d2}	-	37	ns
入力データ有効 → CLK 立ち上がり	T _{ds}	20	-	ns
CLK 立ち上がり → 入力データ保持	T _{dh}	15	-	ns

(2) JTAG インタフェース

項目	記号	Min	Max	単位
CLK 周期	T _{dck}	100	-	ns
CLK 立ち下がり → 出力データ保持	T _{d3}	4	-	ns
CLK 立ち下がり → 出力データ保持	T _{d4}	-	37	ns
入力データ有効 → CLK 立ち上がり	T _{ds}	20	-	ns
CLK 立ち上がり → 入力データ保持	T _{dh}	15	-	ns

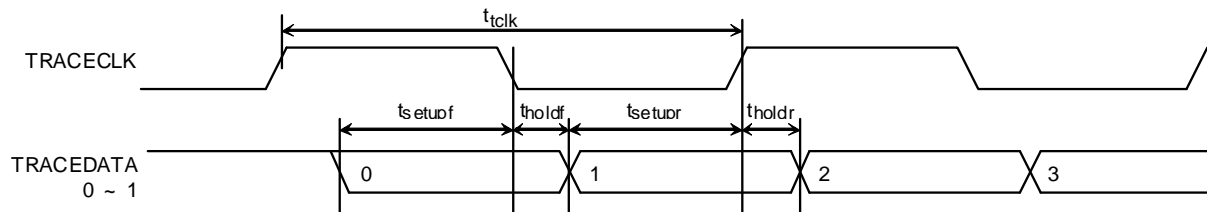


27.6.11 ETMトレース

AC 測定条件

- ・ 出力レベル: High=0.7×DVDD5, Low =0.3×DVDD5
- ・ 負荷容量 TRACECLK CL = 25pF, TRACEDATA CL = 20pF

項目	記号	Min	Max	単位
TRACECLK 周期	t_{clk}	50	-	ns
TRACEDATA 有効 ← TRACECLK 立ち上がり	t_{setupr}	2	-	ns
TRACECLK 立ち上がり → TRACEDATA 保持	t_{holdr}	1	-	ns
TRACEDATA 有効 ← TRACECLK 立ち下がり	t_{setupf}	2	-	ns
TRACECLK 立ち下がり → TRACEDATA 保持	t_{holdf}	1	-	ns



27.7 Flash特性

Ta=0~70°C

項目	条件	Min	Typ.	Max	単位
Flashメモリ消去/書き込み回数				100	回数

27.8 内蔵発振器

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	fosc2	Ta=25°C	-	9.0	-	MHz
発振精度		Ta=-40~85°C	-15	-	+15	%

27.9 発振回路

発振子の接続回路例を下記に示します。

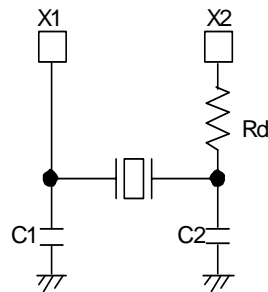


図 27-1 高周波発振器の接続図

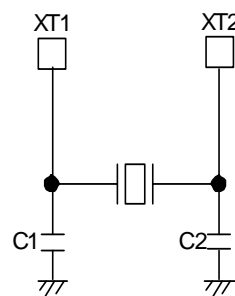


図 27-2 低周波発振器の接続図

(注) 発振端子の負荷容量は、接続する負荷容量 C1,C2 と実装基板上の浮遊容量の和になります。C1,C2 の定数を使用した場合でも実装基板により負荷容量が異なり発振器が誤動作する可能性があります。従って、基板設計の際には発振回路周辺のパターンが最短距離になるようにしてください。最終的に実装基板での発振子評価を推奨いたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

27.9.1 セラミック発振子

本製品は、(株)村田製作所製セラミック発振子を用いて評価しています。

(株)村田製作所製の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.murata.co.jp>

27.9.2 水晶発振子

本製品は、京セラキンセキ(株)製水晶発振子を用いて評価しています。

京セラキンセキ(株)の製品詳細につきましては、下記 URL の同社ホームページを参照してください。

<http://www.kinseki.co.jp>

27.10 取り扱い上のご注意

はんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5秒間 1回 Rタイプフラックス使用 (Sn-37Pb 鉛はんだ使用時) 245°C 5秒間 1回 Rタイプフラックス使用 (Sn-3.0Ag-0.5Cu はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

27.11 電源投入時のご注意

27.11.1 パワーオンリセットのみ使用する場合

表1. ウォーミングアップ時間、電源立ち上がり時間 (POR のみ使用時)

記号	項目	Min	Typ.	Max	単位
tPWUP	リセット解除後のウォーミングアップ時間		$2^{13}/f_{osc}$		s
tDVDD	電源立ち上がり時間			0.6	ms

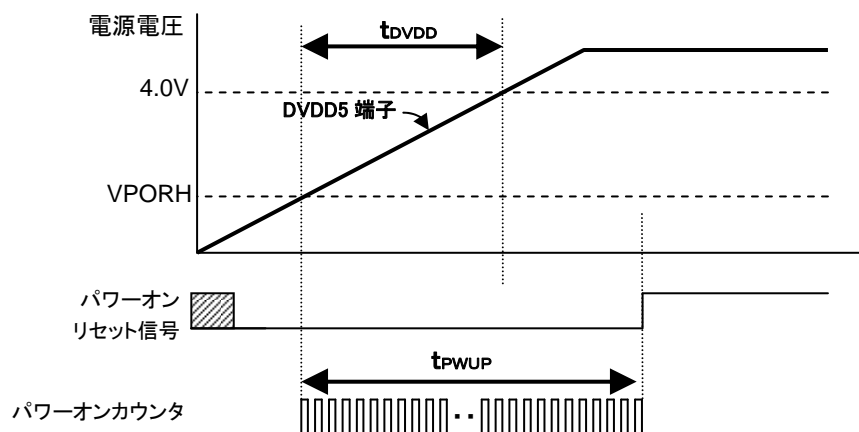


図 27-3 電源投入シーケンス(POR のみ使用時)

27.11.2 外部リセットを使用する場合

(1) 外部リセットの時間が POR 時間よりも短い場合

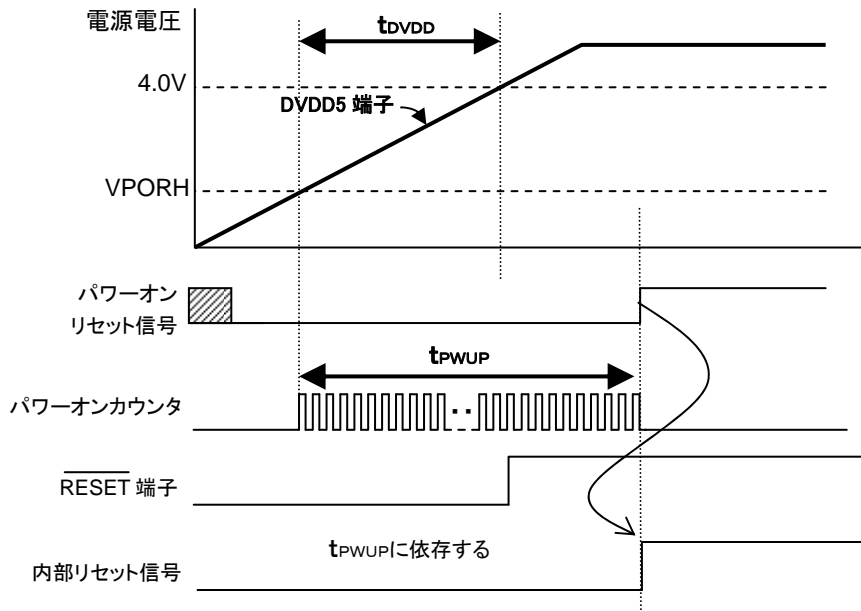


図 27-4 電源投入シーケンス(POR+外部リセット)(1)

(2) 外部リセットの時間が POR 時間よりも長い場合

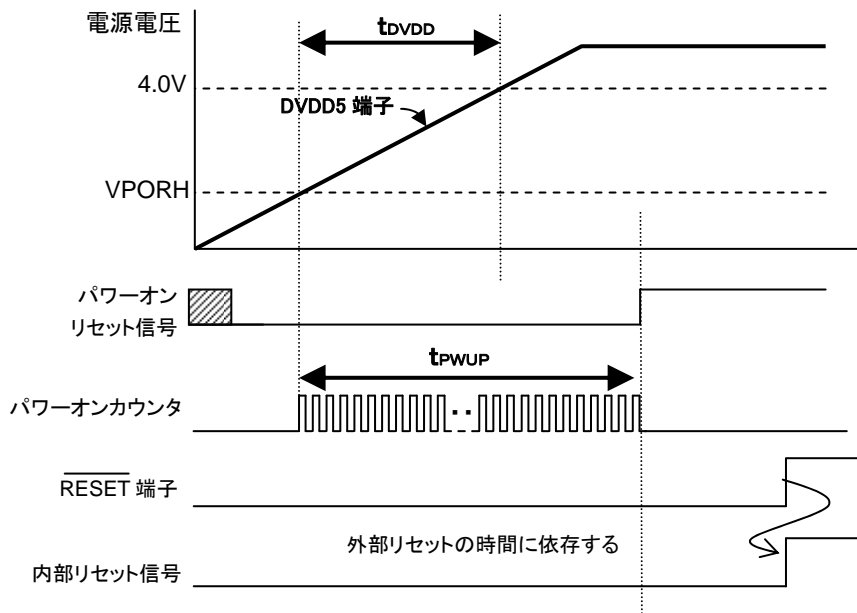
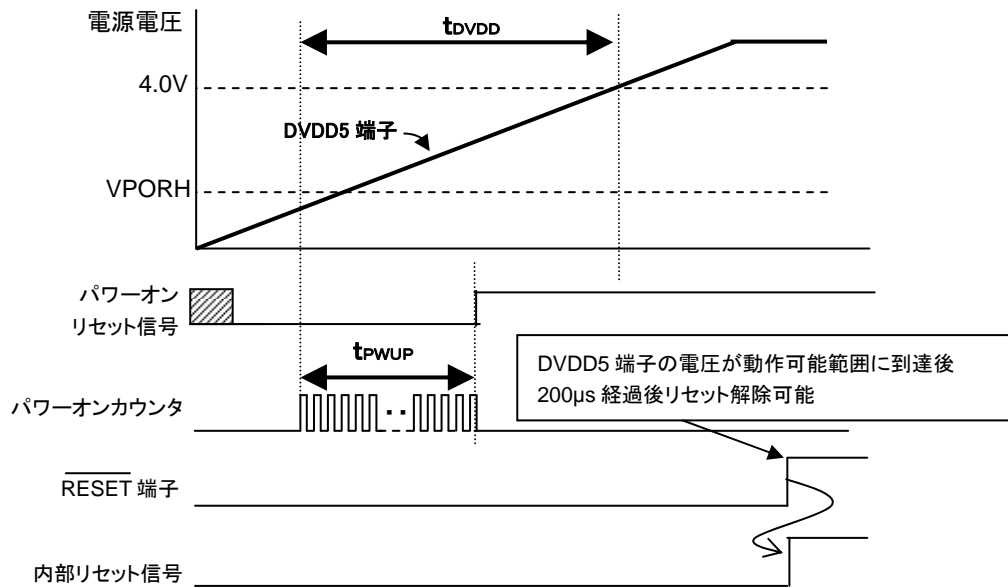


図 27-5 電源投入シーケンス(POR+外部リセット)(2)

(3) 電源の立ち上がり時間が t_{PWUP} よりも長い場合図 27-6 電源投入シーケンス($t_{DVDD} > t_{PWUP}$)

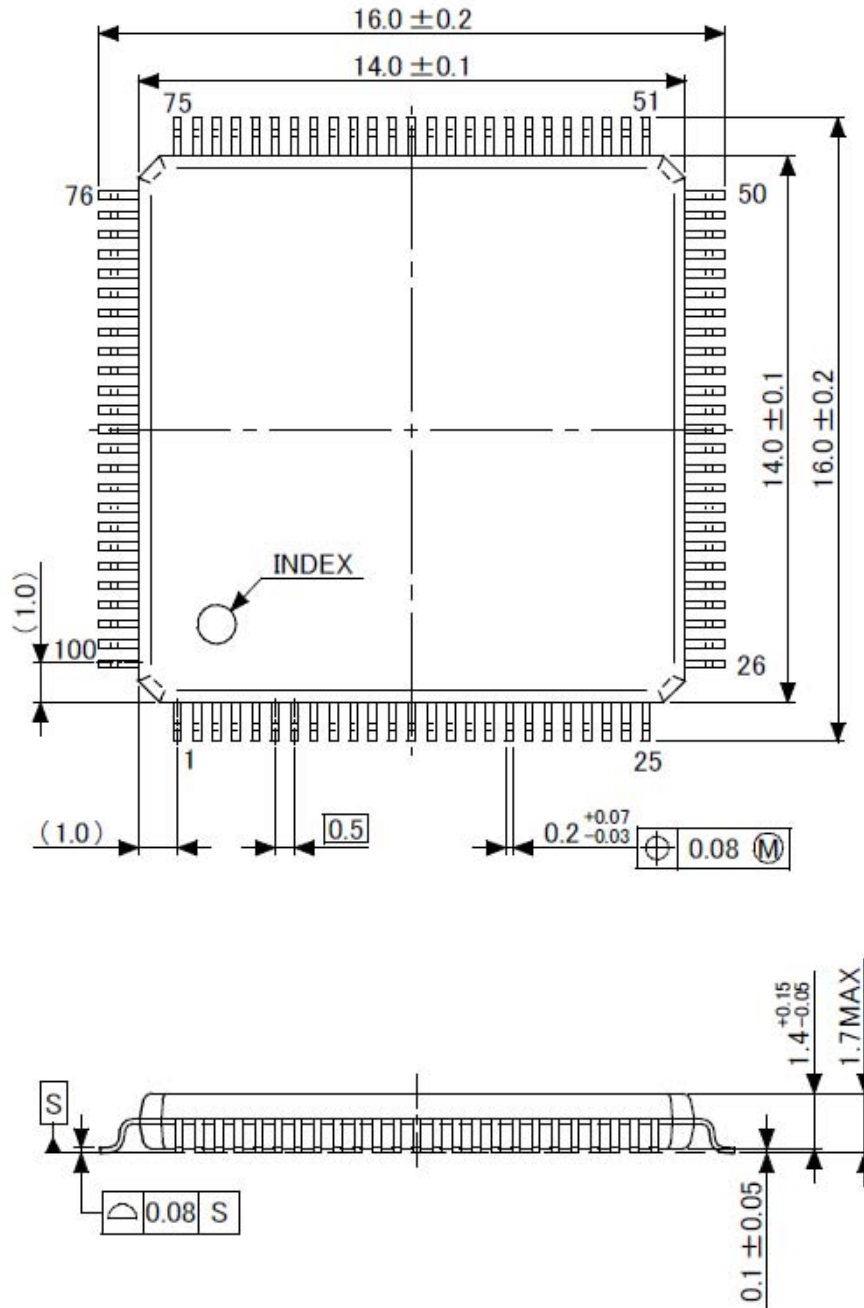
注) 必ず $\overline{\text{RESET}}$ 端子から外部リセットをかけてください。

28 パッケージ寸法図

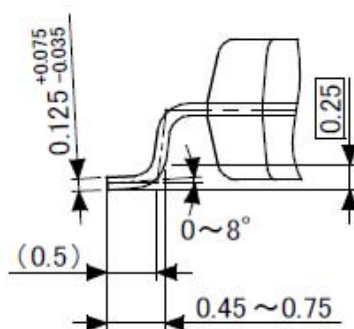
パッケージ型名 : LQFP100-P-1414-0.50H

外形寸法図

Unit : mm



端子先端形状詳細図

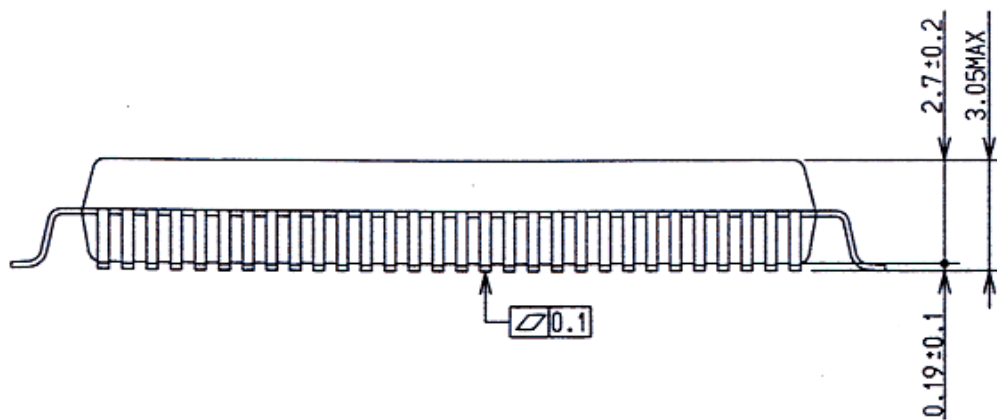
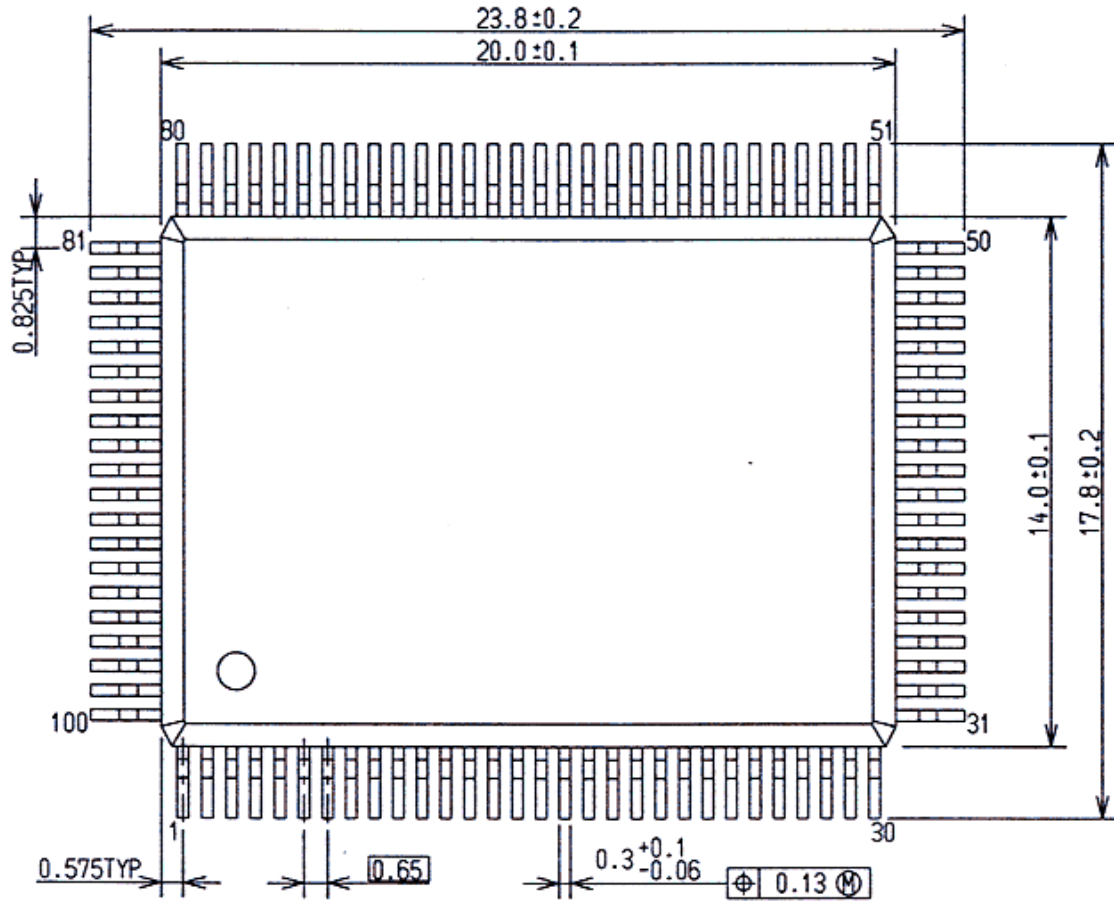


- (注1) 本図面は説明のための図です。
図面上に表記されていない寸法等については弊社担当までお問い合わせください。
- (注2) パラジウムメッキ仕様です。

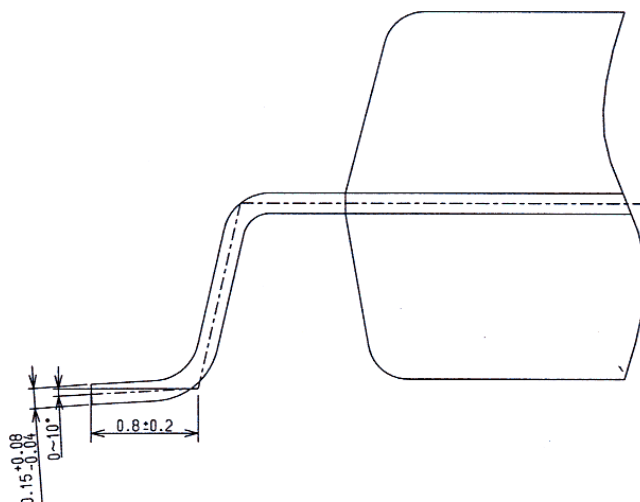
パッケージ型名 : QFP100-P-1420-0.65Q

外形寸法図

Unit : mm



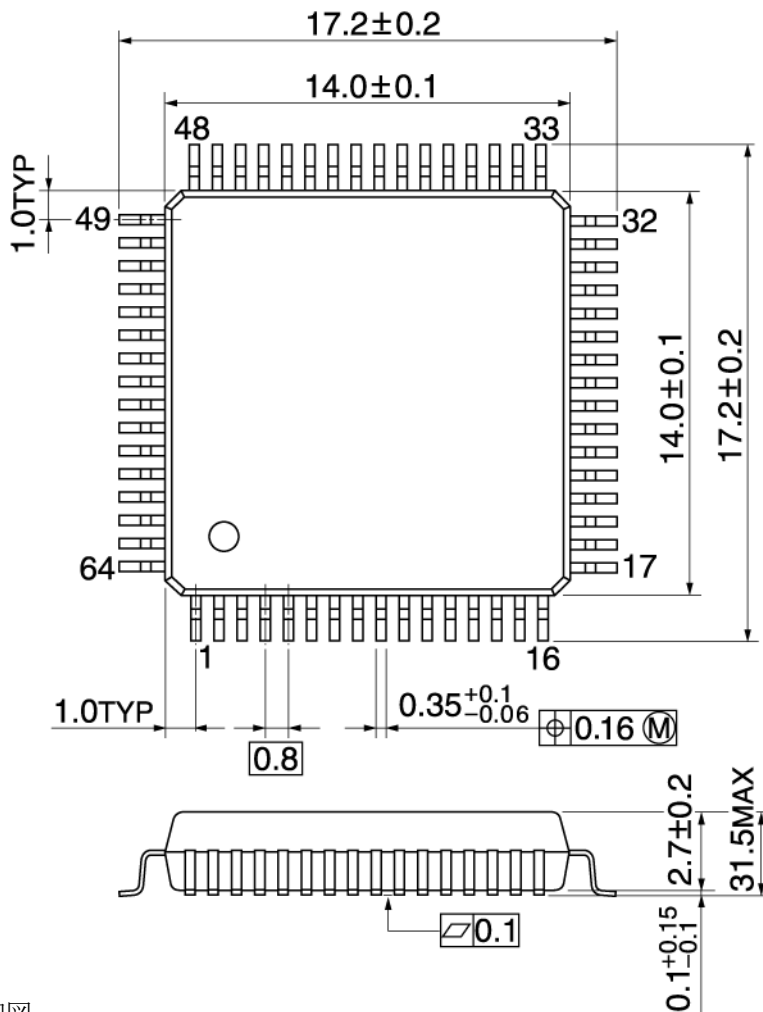
端子先端形状詳細図



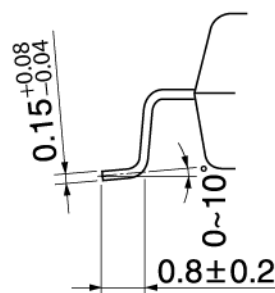
- (注1) 本図面は説明のための図です。
図面上に表記されていない寸法等については弊社担当までお問い合わせください。
- (注2) パラジウムメッキ仕様です。

パッケージ型名 : QFP64-P-1414-0.80C
 外形寸法図

Unit: mm



端子先端形状詳細図



- (注1) 本図面は説明のための図です。
 図面上に記載されていない寸法等については弊社担当までお問い合わせください。
- (注2) パラジウムメッキ仕様です。

製品取り扱い上のお願ひ

- 本資料に掲載されているハードウェア、ソフトウェアおよびシステム（以下、本製品という）に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）または本資料に個別に記載されている用途に使用されることが意図されています。本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれます。本資料に個別に記載されている場合を除き、本製品を特定用途に使用しないでください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。